

ELECTRÓNICA: TEORÍA DE CIRCUITOS

6 Polarización de FET Polarización fija: $V_{GS} = -V_{GG}$, $V_{DS} = V_{DD} - I_D R_D$; autopolarización: $V_{GS} = -I_D R_S$, $V_{DS} = V_{DD} - I_D(R_S + R_D)$, $V_S = I_S R_S$; divisor de voltaje: $V_G = R_2 V_{DD} / (R_1 + R_2)$, $V_{GS} = V_G - I_D R_S$, $V_{DS} = V_{DD} - I_D(R_D + R_S)$; MOSFET incremental: $I_D = k(V_{GS} - V_{GS(Th)})^2$, $k = I_{D(encendido)} / (V_{GS(encendido)} - V_{GS(Th)})^2$; polarización por retroalimentación: $V_{DS} = V_{GS}$, $V_{GS} = V_{DD} - I_D R_D$; divisor de voltaje: $V_G = R_2 V_{DD} / (R_1 + R_2)$, $V_{GS} = V_G - I_D R_S$; curva universal: $m = |V_P| / I_{DSS} R_S$, $M = m \times V_G / |V_P|$, $V_G = R_2 V_{DD} / (R_1 + R_2)$

7 Modelaje de transistores bipolares $Z_i = V_i / I_i$, $I_i = (V_s - V_i) / R_{sensor}$, $I_o = (V_s - V_o) / R_{sensor}$, $Z_o = V_o / I_o$, $A_v = V_o / V_i$, $A_{v_s} = Z_i A_{v_{NL}} / (Z_i + R_s)$, $A_i = -A_v Z_i / R_L$, $r_e = 26 \text{ mV} / I_E$; base común: $Z_i = r_e$, $Z_o = \infty \Omega$, $A_v = R_L / r_e$, $A_i = -1$; emisor común: $Z_i = \beta r_e$, $Z_o = r_o$, $A_v = -R_L / r_e$, $A_i = \beta$, $h_{ie} = \beta r_e$, $h_{fe} = \beta_{ac}$, $h_{ib} = r_e$, $h_{fb} = -\alpha$.

8 Análisis a pequeña señal del transistor bipolar Emisor común: $A_v = -R_C / r_e$, $Z_i = R_B \parallel \beta r_e$, $Z_o = R_C$, $A_i = \beta$; divisor de voltaje: $R' = R_1 \parallel R_2$, $A_v = -R_C / r_e$, $Z_i = R' \parallel \beta r_e$, $Z_o = R_C$; polarización en emisor: $Z_b = \beta(r_e + R_E) = \beta R_E$, $A_v = -\beta R_C / Z_b = -R_C / (r_e + R_E) = -R_C / R_E$; emisor seguidor: $Z_b = \beta(r_e + R_E)$, $A_v \approx 1$, $Z_o \approx r_e$; base común: $A_v = R_C / r_e$, $Z_i = R_E \parallel r_e$, $Z_o = R_C$; retroalimentación en colector: $A_v = -R_C / r_e$, $Z_i = \beta r_e \parallel R_F / |A_v|$, $Z_o \approx R_C \parallel R_F$; retroalimentación de dc en colector: $A_v = -(R_E \parallel R_C) / r_e$, $Z_i = R_F \parallel \beta r_e$, $Z_o = R_C \parallel R_F$; parámetros híbridos: $A_i = h_f(1 + h_o R_L)$, $A_v = -h_f R_L / [h_i + (h_i h_o - h_f h_r) R_L]$, $Z_i = h_i - h_f h_r R_L / (1 + h_o R_L)$, $Z_o = 1 / [h_o - (h_f h_r / (h_i + R_s))]$

9 Análisis a pequeña señal del FET $g_m = g_{m0}(1 - V_{GS} / V_P)$, $g_{m0} = 2I_{DSS} / |V_P|$; configuración básica: $A_v = -g_m R_D$; resistencia de fuente sin desvío: $A_v = -g_m R_D / (1 + g_m R_S)$; seguidor de fuente: $A_v = g_m R_S / (1 + g_m R_S)$; compuerta común: $A_v = g_m(R_D \parallel r_d)$

10 Aproximación a los sistemas: efecto de R_s y R_L BJT: $A_v = R_L A_{v_{NL}} / (R_L + R_o)$, $A_i = -A_v Z_i / R_L$, $V_i = R_i V_s / (R_i + R_s)$; polarización fija: $A_v = -(R_C \parallel R_L) / r_e$, $A_{v_s} = Z_i A_v / (Z_i + R_s)$, $Z_i = \beta r_e$, $Z_o = R_C$; divisor de voltaje: $A_v = -(R_C \parallel R_L) / r_e$, $A_{v_s} = Z_i A_v / (Z_i + R_s)$, $Z_i \approx R_1 \parallel R_2 \parallel \beta r_e$, $Z_o = R_C$; polarización en emisor: $A_v = -(R_C \parallel R_L) / R_E$, $A_{v_s} = Z_i A_v / (Z_i + R_s)$, $Z_i = R_B \parallel \beta R_E$, $Z_o = R_C$; retroalimentación en colector: $A_v = -(R_C \parallel R_L) / r_e$, $A_{v_s} = Z_i A_v / (Z_i + R_s)$, $Z_i = \beta r_e \parallel R_F / |A_v|$, $Z_o = R_C \parallel R_F$; emisor seguidor: $R'_E = R_E \parallel R_L$, $A_v = R'_E / (R'_E + r_e)$, $A_{v_s} = R'_E / (R'_E + R_s \beta + r_e)$, $Z_i = R_B \parallel \beta(r_e + R'_E)$, $Z_o = R_E \parallel (R_s \beta + r_e)$; base común: $A_v = (R_C \parallel R_L) / r_e$, $A_i = -1$, $Z_i = r_e$, $Z_o = R_C$; FET: con desvío R_s : $A_v = -g_m(R_D \parallel R_L)$, $Z_i = R_G$, $Z_o = R_D$; sin desvío R_s : $A_v = -g_m(R_D \parallel R_L) / (1 + g_m R_S)$, $Z_i = R_G$, $Z_o = R_D$; seguidor de fuente: $A_v = g_m(R_S \parallel R_L) / [1 + g_m(R_S \parallel R_L)]$, $Z_i = R_G$, $Z_o = R_S \parallel r_d \parallel 1 / g_m$; compuerta común: $A_v = g_m(R_D \parallel R_L)$, $Z_i = R_S \parallel 1 / g_m$, $Z_o = R_D$; en cascada: $A_{v_T} = A_{v_1} \cdot A_{v_2} \cdot A_{v_3} \cdots A_{v_n}$, $A_{i_T} = \pm A_{v_T} Z_{i_1} / R_L$

CSCAR E. CASHANQUI C.
15.242.904

ECUACIONES IMPORTANTES

1 Diodos semiconductores $W = QV$, $1 \text{ eV} = 1.6 \times 10^{-19} \text{ J}$, $I_D = I_s(e^{kV_D/T_K} - 1)$, $R_{DC} = V_D/I_D$, $r_d = \Delta V_d/\Delta I_d = 26 \text{ mV}/I_D$, $r_{av} = \Delta V_d/\Delta I_d$, $P_D = V_D I_D$, $T_C = \Delta V_z/[V_z(T_1 - T_0)] \times 100\%$

2 Aplicaciones de diodos $V_{BE} = V_D = 0.7 \text{ V}$; media onda: $V_{dc} = 0.318 V_m$; onda completa: $V_{dc} = 0.636 V_m$

3 Transistores bipolares de unión $I_E = I_C + I_B$, $I_C = I_{C_{mayoritario}} + I_{C_{minoritario}}$, $I_C = I_E$, $V_{BE} = 0.7 \text{ V}$, $\alpha_{dc} = I_C/I_E$, $I_C = \alpha I_E + I_{CBO}$, $\alpha_{ac} = \Delta I_C/\Delta I_E$, $I_{CEO} = I_{CBO}/(1 - \alpha)$, $\beta_{dc} = I_C/I_B$, $\beta_{ac} = \Delta I_C/\Delta I_B$, $\alpha = \beta/(\beta + 1)$, $\beta = \alpha/(1 - \alpha)$, $I_C = \beta I_B$, $I_E = (\beta + 1)I_B$, $P_{C_{max}} = V_{CE} I_C$

4 Polarización en dc-BJT En general: $V_{BE} = 0.7 \text{ V}$, $I_C \approx I_E$, $I_C = \beta I_B$; polarización fija: $I_B = (V_{CC} - V_{BE})/R_B$, $V_{CE} = V_{CC} - I_C R_C$, $I_{C_{sat}} = V_{CC}/R_C$; estabilizada en emisor: $I_B = (V_{CC} - V_{BE})/(R_B + (\beta + 1)R_E)$, $R_i = (\beta + 1)R_E$, $V_{CE} = V_{CC} - I_C(R_C + R_E)$, $I_{C_{sat}} = V_{CC}/(R_C + R_E)$; divisor de voltaje: exacto: $R_{Th} = R_1 \parallel R_2$, $E_{Th} = R_2 V_{CC}/(R_1 + R_2)$, $I_B = (E_{Th} - V_{BE})/(R_{Th} + (\beta + 1)R_E)$, $V_{CE} = V_{CC} - I_C(R_C + R_E)$, aproximado: $V_B = R_2 V_{CC}/(R_1 + R_2)$, $\beta R_E \geq 10 R_2$, $V_E = V_B - V_{BE}$, $I_C \approx I_E = V_E/R_E$; por retroalimentación de voltaje: $I_B = (V_{CC} - V_{BE})/[R_B + \beta(R_C + R_E)]$; base común: $I_B = (V_{EE} - V_{BE})/R_E$; conmutación de transistores: $t_{encendido} = t_r + t_d$, $t_{apagado} = t_s + t_f$; estabilidad: $S(I_{CO}) = \Delta I_C/\Delta I_{CO}$; polarización fija: $S(I_{CO}) = \beta + 1$; polarización en emisor: $S(I_{CO}) = (\beta + 1)(1 + R_B/R_E)/(1 + \beta + R_B/R_E)$; divisor de voltaje: $S(I_{CO}) = (\beta + 1)(1 + R_{Th}/R_E)/(1 + \beta + R_{Th}/R_E)$; polarización por retroalimentación: $S(I_{CO}) = (\beta + 1)(1 + R_B/R_C)/(1 + \beta + R_B/R_C)$, $S(V_{BE}) = \Delta I_C/\Delta V_{BE}$; polarización fija: $S(V_{BE}) = -\beta/R_B$; polarización en emisor: $S(V_{BE}) = -\beta/[R_B + (\beta + 1)R_E]$; divisor de voltaje: $S(V_{BE}) = -\beta/[R_{Th} + (\beta + 1)R_E]$; polarización por retroalimentación: $S(V_{BE}) = -\beta/(R_B + (\beta + 1)R_C)$, $S(\beta) = \Delta I_C/\Delta \beta$; polarización fija: $S(\beta) = I_C/\beta_1$; polarización en emisor: $S(\beta) = I_C(1 + R_B/R_E)/[\beta_1(1 + \beta_2 + R_B/R_E)]$; divisor de voltaje: $S(\beta) = I_{C_1}(1 + R_{Th}/R_E)/[\beta_1(1 + \beta_2 + R_{Th}/R_E)]$; polarización por retroalimentación: $S(\beta) = I_{C_1}(R_B + R_C)/[\beta_1(R_B + R_C(1 + \beta_2))]$, $\Delta I_C = S(I_{CO}) \Delta I_{CO} + S(V_{BE}) \Delta V_{BE} + S(\beta) \Delta \beta$

5 Transistores de efecto de campo $I_G = 0 \text{ A}$, $I_D = I_{DSS}(1 - V_{GS}/V_P)^2$, $I_D = I_S$, $V_{GS} = V_P(1 - \sqrt{I_D/I_{DSS}})$, $I_D = I_{DSS}/4$ (si $V_{GS} = V_P/2$), $I_D = I_{DSS}/2$ (si $V_{GS} = 0.3 V_P$), $P_D = V_{DS} I_D$, $I_D = k(V_{GS} - V_T)^2$

ELECTRÓNICA: TEORÍA DE CIRCUITOS

Sexta edición

Robert L. Boylestad
Louis Nashelsky

TRADUCCIÓN:

Juan Purón Mier y Terán

Profesor de asignatura en el Depto. de Matemáticas,

Universidad Iberoamericana,

Profesionista en Sistemas CAD, GIS

Sergio Luis María Ruiz Faudón

Analista de Sistemas

Traductor Profesional

REVISIÓN TÉCNICA:

M. en C. Agustín Suárez Fernández

Departamento de Ingeniería Eléctrica

Universidad Autónoma Metropolitana-Iztapalapa

Pearson
Educación

MÉXICO • ARGENTINA • BRASIL • COLOMBIA • COSTA RICA • CHILE
ESPAÑA • GUATEMALA • PERÚ • PUERTO RICO • VENEZUELA

EDICIÓN EN INGLÉS

Editor: Dave Garza
Developmental Editor: Carol Hinklin Robison
Production Editor: Rex Davidson
Cover Designer: Brian Deep
Production Manager: Laura Messerly
Marketing Manager: Debbie Yarnell
Illustrations: Network Graphics

BOYLESTAD / ELECTRÓNICA: TEORÍA DE CIRCUITOS, 6a. Ed.

Traducido del inglés de la obra: **ELECTRONIC DEVICES AND CIRCUIT THEORY, SIXTH EDITION.**

All rights reserved. Authorized translation from English language edition published by Prentice-Hall, Inc.
A Simon & Schuster Company.

Todos los derechos reservados. Traducción autorizada de la edición en inglés publicada por Prentice-Hall, Inc.
A Simon & Schuster Company.

All rights reserved. No part of this book may be reproduced or transmitted in any form or by any means, electronic or mechanical, including photocopying, recording or by any information storage and retrieval system, without permission in writing from the publisher.

Prohibida la reproducción total o parcial de esta obra, por cualquier medio o método sin autorización por escrito del editor.

Derechos reservados © 1997 respecto a la cuarta edición en español publicada por

Prentice Hall Hispanoamericana, S.A.
Calle 4 N° 25-2° piso Fracc. Ind. Alce Blanco,
Naucalpan de Juárez, Edo. de México,
C.P. 53370

ISBN 968-880-805-9

Miembro de la Cámara Nacional de la Industria Editorial, Reg. Núm. 1524.

Original English Language Edition Published by Prentice-Hall, Inc. A Simon & Schuster Company.

Copyright © MCMXCVI
All rights reserved

ISBN 0-13-375734-X

IMPRESO EN MÉXICO/PRINTED IN MEXICO



PROGRAMAS EDUCATIVOS, S. A. DE C.V.
CALZ. CHABACANO No. 66, LOCAL A
COL. ASTURIAS, DELEG. CUAUHTÉMOC,
C.P. 06950, MÉXICO, D.F.

EMPRESA CERTIFICADA POR EL
INSTITUTO MEXICANO DE NORMALIZACIÓN
Y CERTIFICACIÓN A.C. BAJO LA NORMA
ISO-9002: 1994/NMX-CC-004: 1995
CON EL No. DE REGISTRO RSC-048

Dedicado a

ELSE MARIE, ERIC, ALISON, MARK y KELCY; STACEY y DOUGLAS; JOHANNA

y a

KATRIN, KIRA, LARREN, TOMMY, JUSTIN y PATTY

Contenido

PREFACIO	xvii
-----------------	-------------

AGRADECIMIENTOS	xxi
------------------------	------------

1	DIODOS SEMICONDUCTORES	1
----------	-------------------------------	----------

1.1	Introducción	1
1.2	El diodo ideal	1
1.3	Materiales semiconductores	3
1.4	Niveles de energía	6
1.5	Materiales extrínsecos: tipo n y tipo p	7
1.6	Diodo semiconductor	10
1.7	Niveles de resistencia	17
1.8	Circuitos equivalentes para diodos	24
1.9	Hojas de especificaciones de diodos	27
1.10	Capacitancia de transición y difusión	31
1.11	Tiempo de recuperación inverso	32
1.12	Notación de diodos semiconductores	32
1.13	Prueba de diodos	33
1.14	Diodos Zener	35
1.15	Diodos emisores de luz	38
1.16	Arreglos de diodos: circuitos integrados	42
1.17	Análisis por computadora	44

2 APLICACIONES DE DIODOS 53

- 2.1 Introducción 53
- 2.2 Análisis mediante la recta de carga 54
- 2.3 Aproximaciones de diodos 59
- 2.4 Configuraciones de diodos en serie con entradas dc 61
- 2.5 Configuraciones en paralelo y en serie-paralelo 66
- 2.6 Compuertas AND/OR 69
- 2.7 Entradas senoidales; rectificación de media onda 71
- 2.8 Rectificación de onda completa 74
- 2.9 Recortadores 78
- 2.10 Cambiadores de nivel 85
- 2.11 Diodos Zener 89
- 2.12 Circuitos multiplicadores de voltaje 96
- 2.13 Análisis por computadora 99

3 TRANSISTORES BIPOLARES DE UNIÓN 114

- 3.1 Introducción 114
- 3.2 Construcción de transistores 115
- 3.3 Operación del transistor 115
- 3.4 Configuración de base común 117
- 3.5 Acción amplificadora del transistor 121
- 3.6 Configuración de emisor común 122
- 3.7 Configuración de colector común 129
- 3.8 Límites de operación 130
- 3.9 Hoja de especificaciones de transistores 132
- 3.10 Prueba de transistores 136
- 3.11 Encapsulado de transistores e identificación de terminales 138
- 3.12 Análisis por computadora 140

4 POLARIZACIÓN DE DC-BJT 144

- 4.1 Introducción 144
- 4.2 Punto de operación 145
- 4.3 Circuito de polarización fija 147
- 4.4 Circuito de polarización estabilizado en emisor 154
- 4.5 Polarización por divisor de voltaje 158
- 4.6 Polarización de dc por retroalimentación de voltaje 166
- 4.7 Diversas configuraciones de polarización 169
- 4.8 Operaciones de diseño 175
- 4.9 Redes de conmutación con transistores 181
- 4.10 Técnicas para la localización de fallas 186
- 4.11 Transistores *pn*p 189
- 4.12 Estabilización de la polarización 191
- 4.13 Análisis por computadora 200

5 TRANSISTORES DE EFECTO DE CAMPO 215

- 5.1 Introducción 215
- 5.2 Construcción y características de los JFET 216
- 5.3 Características de transferencia 223
- 5.4 Hojas de especificaciones (JFET) 227
- 5.5 Instrumentación 230
- 5.6 Relaciones importantes 231
- 5.7 MOSFET de tipo decremental 238
- 5.8 MOSFET de tipo incremental 238
- 5.9 Manejo del MOSFET 246
- 5.10 VMOS 247
- 5.11 CMOS 248
- 5.12 Tabla resumen 250
- 5.13 Análisis por computadora 251

6 POLARIZACIÓN DEL FET 256

- 6.1 Introducción 256
- 6.2 Configuración de polarización fija 257
- 6.3 Configuración de autopolarización 261
- 6.4 Polarización mediante divisor de voltaje 267
- 6.5 MOSFET de tipo decremental 273
- 6.6 MOSFET de tipo incremental 277
- 6.7 Tabla resumen 283
- 6.8 Redes combinadas 285
- 6.9 Diseño 288
- 6.10 Localización de fallas 290
- 6.11 FET de canal- p 291
- 6.12 Curva universal de polarización para JFET 294
- 6.13 Análisis por computadora 297

7 MODELAJE DE TRANSISTORES BIPOLARES 311

- 7.1 Introducción 311
- 7.2 Amplificación en el dominio de ac 311
- 7.3 Modelaje de transistores BJT 312
- 7.4 Los parámetros importantes: Z_i , Z_o , A_v , A_i 314
- 7.5 El modelo de transistor r_e 320
- 7.6 El modelo híbrido equivalente 327
- 7.7 Determinación gráfica de los parámetros h 333
- 7.8 Variaciones de los parámetros de transistores 337
- 7.9 Análisis por computadora 339

8 ANÁLISIS A PEQUEÑA SEÑAL DEL TRANSISTOR BIPOLAR 346

- 8.1 Introducción 346
- 8.2 Configuración de emisor común con polarización fija 346
- 8.3 Polarización mediante divisor de voltaje 350
- 8.4 Configuración de E-C con polarización en emisor 353
- 8.5 Configuración emisor-seguidor 360
- 8.6 Configuración de base común 366
- 8.7 Configuración con retroalimentación en colector 368
- 8.8 Configuración con retroalimentación de dc en colector 374
- 8.9 Circuito equivalente híbrido aproximado 377
- 8.10 Modelo equivalente híbrido completo 383
- 8.11 Tabla resumen 390
- 8.12 Solución de problemas 390
- 8.13 Análisis por computadora 393

9 ANÁLISIS A PEQUEÑA SEÑAL DEL FET 415

- 9.1 Introducción 415
- 9.2 Modelo de pequeña señal del FET 416
- 9.3 Configuración de polarización fija para el JFET 424
- 9.4 Configuración de autopolarización para el JFET 426
- 9.5 Configuración de divisor de voltaje para el JFET 432
- 9.6 Configuración fuente-seguidor (drenaje común) para el JFET 433
- 9.7 Configuración de compuerta común para el JFET 436
- 9.8 MOSFET de tipo decremental 440
- 9.9 MOSFET de tipo incremental 442
- 9.10 Configuración de retroalimentación en drenaje para el EMOSFET 443
- 9.11 Configuración de divisor de voltaje para el EMOSFET 446
- 9.12 Cómo diseñar redes de amplificador FET 447
- 9.13 Tabla resumen 450
- 9.14 Solución de problemas 453
- 9.15 Análisis por computadora 453

10 APROXIMACIÓN A LOS SISTEMAS: EFECTOS DE R_s Y R_L 468

- 10.1 Introducción 468
- 10.2 Sistemas de dos puertos 468
- 10.3 Efecto de la impedancia de carga (R_L) 470
- 10.4 Efecto de la impedancia de la fuente (R_s) 475
- 10.5 Efecto combinado de R_s y R_L 477
- 10.6 Redes BJT de CE 479
- 10.7 Redes emisor-seguidor 484
- 10.8 Redes CB 487
- 10.9 Redes FET 489
- 10.10 Tabla resumen 492
- 10.11 Sistemas en cascada 496
- 10.12 Análisis por computadora 497

11 RESPUESTA EN FRECUENCIA DE TRANSISTORES BJT Y JFET **509**

- 11.1 Introducción 509
- 11.2 Logaritmos 509
- 11.3 Decibeles 513
- 11.4 Consideraciones generales sobre la frecuencia 516
- 11.5 Análisis a baja frecuencia, gráfica de Bode 519
- 11.6 Respuesta a baja frecuencia, amplificador a BJT 524
- 11.7 Respuesta a baja frecuencia, amplificador FET 533
- 11.8 Capacitancia de efecto Miller 536
- 11.9 Respuesta a alta frecuencia, amplificador BJT 539
- 11.10 Respuesta a alta frecuencia, amplificador FET 546
- 11.11 Efectos de frecuencia en multietapas 550
- 11.12 Prueba de onda cuadrada 552
- 11.13 Análisis por computadora 554

12 CONFIGURACIONES COMPUESTAS **560**

- 12.1 Introducción 560
- 12.2 Conexión en cascada 560
- 12.3 Conexión cascode 565
- 12.4 Conexión Darlington 566
- 12.5 Par retroalimentado 571
- 12.6 Circuito CMOS 575
- 12.7 Circuitos de fuente de corriente 577
- 12.8 Espejo de corriente 579
- 12.9 Circuito de amplificador diferencial 582
- 12.10 Circuitos de amplificador diferencial BiFET, BiMOS y CMOS 590
- 12.11 Análisis por computadora 591

13 TÉCNICAS DE FABRICACIÓN DE CIRCUITOS DISCRETOS E INTEGRADOS **607**

- 13.1 Introducción 607
- 13.2 Materiales semiconductores, Si, Ge y GaAs 607
- 13.3 Diodos discretos 609
- 13.4 Fabricación de transistores 611
- 13.5 Circuitos integrados 612
- 13.6 Circuitos integrados monolíticos 614
- 13.7 El ciclo de producción 617
- 13.8 Circuitos integrados de película delgada y película gruesa 626
- 13.9 Circuitos integrados híbridos 627

14 AMPLIFICADORES OPERACIONALES 628

- 14.1 Introducción 628
- 14.2 Operación en modo diferencial y en modo común 630
- 14.3 Amplificador operacional básico 634
- 14.4 Circuitos prácticos con amplificadores operacionales 638
- 14.5 Especificaciones, parámetros de desvío de dc 644
- 14.6 Especificaciones de parámetros de frecuencia 647
- 14.7 Especificaciones para una unidad de amplificador operacional 651
- 14.8 Análisis por computadora 657

15 APLICACIONES DEL AMPLIFICADOR OPERACIONAL 669

- 15.1 Multiplicador de ganancia constante 669
- 15.2 Suma de voltajes 673
- 15.3 Acoplador de voltaje 676
- 15.4 Fuentes controladas 677
- 15.5 Circuitos de instrumentación 679
- 15.6 Filtros activos 683
- 15.7 Análisis por computadora 687

16 AMPLIFICADORES DE POTENCIA 701

- 16.1 Introducción: definiciones y tipos de amplificadores 701
- 16.2 Amplificador clase A alimentado en serie 703
- 16.3 Amplificador acoplado con transformador clase A 708
- 16.4 Operación del amplificador clase B 715
- 16.5 Circuitos de amplificador clase B 719
- 16.6 Distorsión del amplificador 726
- 16.7 Disipación de calor del transistor de potencia 730
- 16.8 Amplificadores clase C y clase D 734
- 16.9 Análisis por computadora 736

17 CI LINEALES/DIGITALES 741

- 17.1 Introducción 741
- 17.2 Operación del comparador 741
- 17.3 Convertidores analógicos-digitales 748
- 17.4 Operación del CI temporizador 752
- 17.5 Oscilador controlado por voltaje 755
- 17.6 Lazo de seguimiento de fase 758
- 17.7 Circuitos de interfaz 762
- 17.8 Análisis por computadora 765

18 CIRCUITOS CON RETROALIMENTACIÓN Y OSCILADORES 773

- 18.1 Conceptos de retroalimentación 773
- 18.2 Tipos de conexión de retroalimentación 774

- 18.3 Circuitos prácticos con retroalimentación 780
- 18.4 Amplificador retroalimentado: consideraciones de fase y frecuencia 787
- 18.5 Operación del oscilador 789
- 18.6 Oscilador de corrimiento de fase 791
- 18.7 Oscilador de puente Wien 794
- 18.8 Circuito de oscilador sintonizado 795
- 18.9 Oscilador a cristal 798
- 18.10 Oscilador monounión 802

19 FUENTES DE ALIMENTACIÓN (REGULADORES DE VOLTAJE) 805

- 19.1 Introducción 805
- 19.2 Consideraciones generales de filtros 805
- 19.3 Filtro capacitor 808
- 19.4 Filtro RC 811
- 19.5 Regulación de voltaje con transistores discretos 814
- 19.6 Reguladores de voltaje de CI 821
- 19.7 Análisis por computadora 826

20 OTROS DISPOSITIVOS DE DOS TERMINALES 832

- 20.1 Introducción 832
- 20.2 Diodos de barrera Schottky ("portadores calientes") 832
- 20.3 Diodos varactores (varicap) 836
- 20.4 Diodos de potencia 840
- 20.5 Diodos túnel 841
- 20.6 Fotodiodos 846
- 20.7 Celdas fotoconductoras 849
- 20.8 Emisores de IR 851
- 20.9 Pantallas de cristal líquido 853
- 20.10 Celdas solares 855
- 20.11 Termistores 859

21 DISPOSITIVOS *pnpn* 864

- 21.1 Introducción 864
- 21.2 Rectificador controlado de silicio 864
- 21.3 Operación básica del rectificador controlado de silicio 864
- 21.4 Características y valores nominales del SCR 867
- 21.5 Construcción e identificación de terminales del SCR 869
- 21.6 Aplicaciones del SCR 870
- 21.7 Interruptor controlado de silicio 874
- 21.8 Interruptor controlado en compuerta 876
- 21.9 SCR activado por luz 877
- 21.10 Diodo Shockley 880
- 21.11 DIAC 880
- 21.12 TRIAC 882
- 21.13 Transistor monounión 883
- 21.14 Fototransistores 893
- 21.15 Optoaisladores 895
- 21.16 Transistor monounión programable 897

22	OSCILOSCOPIO Y OTROS INSTRUMENTOS DE MEDICIÓN	906
22.1	Introducción	906
22.2	Tubo de rayos catódicos: teoría y construcción	906
22.3	Operación del osciloscopio de rayos catódicos	907
22.4	Operación del barrido de voltaje	908
22.5	Sincronización y disparo	911
22.6	Operación en multitrazo	915
22.7	Medición utilizando las escalas calibradas	915
22.8	Características especiales	920
22.9	Generadores de señales	921
	APÉNDICE A: PARÁMETROS HÍBRIDOS: ECUACIONES PARA CONVERSIÓN (EXACTAS Y APROXIMADAS)	924
	APÉNDICE B: FACTOR DE RIZO Y CÁLCULOS DE VOLTAJE	926
	APÉNDICE C: GRÁFICAS Y TABLAS	933
	APÉNDICE D: PSPICE	935
	APÉNDICE E: SOLUCIONES A LOS PROBLEMAS SELECCIONADOS CON NÚMERO NON	937
	ÍNDICE	943

Prefacio

Según nos acercábamos al XXV aniversario del texto, se hizo verdaderamente claro que esta sexta edición debía continuar con el importante trabajo de revisión que tuvo la edición. La creciente utilización de la computadora, los circuitos integrados y el expandido rango de cobertura necesaria en los cursos básicos que contribuyeron al refinamiento de la pasada edición continúan siendo los factores principales que afectan el contenido de una nueva versión. A través de los años, hemos aprendido que el mejoramiento de la lectura se puede obtener a través de la apariencia general del texto, de tal forma que nos hemos comprometido al formato que encontrará en la sexta edición de tal manera que el material del texto parezca más “amistoso” para un amplio sector de estudiantes. De la misma manera que en el pasado, continuamos empeñados en el fuerte sentido pedagógico del texto, la exactitud y en un amplio rango de materiales auxiliares que apoyan el proceso educativo.

PEDAGOGÍA

Sin duda, una de las mejoras más importantes que se han retenido de la quinta edición es la manera en la cual el texto se presta para el compendio ordinario del curso. La nueva secuencia de la presentación de los conceptos que afectó la última edición se ha conservado en la presente. Nuestra experiencia docente con esta presentación ha reforzado la creencia de que el material tiene ahora una pedagogía mejorada para apoyar la presentación del instructor y ayudar al estudiante a construir los fundamentos necesarios para sus futuros estudios. Se ha conservado la cantidad de ejemplos, los cuales fueron incrementados de modo considerable desde la quinta edición. Las declaraciones aisladas en negritas (“balas”) identifican aseveraciones y conclusiones importantes. El formato ha sido diseñado para establecer una apariencia amistosa para el estudiante y para asegurar que el trabajo artístico se encuentre tan cercano a la referencia como sea posible. Se han utilizado pantallas para definir características importantes o para aislar cantidades específicas en una red o en una característica. Los iconos, desarrollados para cada capítulo del texto, facilitan la referencia de un área en particular tan rápidamente como sea posible. Los problemas, los cuales han sido desarrollados para cada sección del texto, van en progreso a partir de lo más simple a lo más complejo. Asimismo, un asterisco identifica los ejercicios más difíciles. El título en cada sección también se reproduce en la sección de problemas para identificar con claridad los ejercicios de interés para un tema de estudio en particular.

ENFOQUE DE SISTEMAS

Durante varias visitas a otros colegios, institutos técnicos, y juntas de varias sociedades, se mencionaba que debería desarrollarse un mayor “enfoque de sistemas” para apoyar la necesidad de un estudiante de convertirse en adepto de la aplicación de paquetes de sistemas. Los capítulos 8, 9 y 10 están específicamente organizados para desarrollar los cimientos del análisis de sistemas en el grado posible en este nivel introductorio. Aunque puede resultar más fácil considerar los efectos de R_s y R_L con cada configuración cuando ésta se presenta por primera vez, los efectos de R_s y R_L también ofrecen una oportunidad para aplicar algunos de los conceptos fundamentales del análisis de sistemas. Los últimos capítulos referentes a amplificadores operacionales y circuitos integrados desarrollan aún más los conceptos presentados en los capítulos iniciales.

EXACTITUD

No hay duda que una de las metas primarias de cualquier publicación es que ésta se encuentre libre de errores en lo posible. Ciertamente, la intención no es de retar al instructor o al estudiante con inconsistencias planeadas. De hecho, no existe algo más tenso para un autor que el escuchar sobre errores en su libro. Después de una verificación extensiva acerca de la exactitud en la quinta edición, ahora nos sentimos seguros que este texto gozará del nivel más alto de exactitud que se puede obtener para una publicación de este tipo.

MODELAJE DE TRANSISTORES

El modelaje del transistor bipolar de unión (BJT) es un área que se ha enfocado de varias maneras. Algunas instituciones utilizan exclusivamente el modelo r_e mientras que otras se apoyan en el enfoque híbrido o en una combinación de estos dos. La sexta edición destacará el modelo r_e con la suficiente cobertura del modelo híbrido como para permitir una comparación entre los modelos y la aplicación de ambos. Se ha dedicado un capítulo completo (capítulo 7) a la introducción de los modelos para asegurar un entendimiento claro y correcto de cada uno y de las relaciones que existen entre los dos.

PSpice Y BASIC

Los recientes años han visto un crecimiento continuo del contenido de computación en los cursos introductorios. No solamente aparece la utilización de procesadores de texto en el primer semestre, sino que también se presentan las hojas de cálculo y el empleo de un paquete de análisis tal como PSpice en numerosas instituciones educativas.

Se eligió PSpice como el paquete que aparecerá a través de este texto debido a que recientes encuestas sugieren que es el que se emplea con mayor frecuencia. Otros paquetes posibles incluyen Micro-Cap III y Breadboard. La cobertura de PSpice ofrece suficiente capacidad para permitir la escritura del archivo de captura para la mayoría de las redes analizadas en este texto. No se supone un conocimiento anterior acerca de paquetes para computadora.

PSpice en el ambiente WINDOWS permite entrar al circuito en forma esquemática, el cual puede ser analizado después con resultados de salida similares a PSpice. Aún se incluyen en el texto algunos programas en BASIC para demostrar las ventajas de conocer un lenguaje de computación y de los beneficios adicionales que surgen de su utilización.

SOLUCIÓN DE PROBLEMAS

La solución de los problemas es indudablemente una de las habilidades más difíciles para presentar, desarrollar y demostrar en un texto. Se trata de un arte que debe ser introducido utilizando una variedad de técnicas, pero la experiencia y la exposición son obviamente los elementos clave en el desarrollo de estas habilidades. El contenido es en forma esencial una revisión de situaciones que ocurren con frecuencia dentro del ambiente de laboratorio. Se presentan algunas ideas sobre cómo aislar un área problemática así como una lista de las causas posibles. Esto no pretende sugerir que un estudiante se convertirá en un experto en la solución de las redes presentadas en este texto, pero al menos el lector tendrá algún entendimiento de lo que está relacionado con el proceso de la solución.

UTILIZACIÓN DEL TEXTO

En general, el texto está dividido en dos componentes principales: el análisis en dc y en ac o respuesta en frecuencia. Para algunos colegios la sección dc es suficiente para un semestre, mientras que para otros el texto completo puede ser cubierto en un semestre mediante la elección de temas específicos. En cualquier caso, el presente es un texto que “construye” a partir de los capítulos iniciales. El material superfluo se relega a los últimos capítulos para evitar el contenido excesivo acerca de un tema particular al principio en el nivel de desarrollo. Para cada dispositivo el texto cubre una mayoría de las configuraciones y aplicaciones importantes. Mediante la elección de ejemplos y aplicaciones específicos es posible reducir el contenido de un curso sin perder las características de construcción progresivas del texto. Por tanto, si un instructor siente que un área específica es particularmente importante, se ofrece el detalle con el fin de tener una revisión más extensiva.

ROBERT BOYLESTAD

LOUIS NASHELSKY

Agradecimientos

Nuestros más sinceros agradecimientos se deben extender a los profesores que han utilizado el texto y han enviado algunos comentarios, correcciones y sugerencias. También deseamos agradecer a Rex Davidson, editor de Prentice-Hall, por mantener unidos los tantos aspectos detallados de producción. Nuestro más sincero agradecimiento a Dave Garza, editor *senior*, y a Carol Robison, editor *senior* de desarrollo, de Prentice-Hall, por su apoyo editorial en la sexta edición de este texto.

Deseamos agradecer a aquellas personas que han compartido sus sugerencias y evaluaciones del presente texto a través de sus muchas ediciones. Los comentarios de estas personas nos han permitido presentar *Electrónica: Teoría de Circuitos* en esta nueva edición:

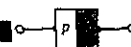
Ernest Lee Abbott	Napa College, Napa, CA
Phillip D. Anderson	Muskegon Community College, Muskegon, MI
Al Anthony	EG&G VACTEC Inc.
A. Duane Bailey	Southern Alberta Institute of Technology, Calgary, Alberta, CANADÁ
Joe Baker	University of Southern California, Los Ángeles, CA
Jerrold Barrosse	Penn State-Ogontz
Ambrose Barry	University of North Carolina-Charlotte
Arthur Birch	Hartford State Technical College, Hartford, CT
Scott Bisland	SEMATECH, Austin, TX
Edward Bloch	The Perkin-Elmer Corporation
Gary C. Bocksch	Charles S. Mott Community College, Flint, MI
Jeffrey Bowe	Bunker Hill Community College, Charlestown, MA
Alfred D. Buerosse	Waukesha County Technical College, Pewaukee, WI
Lila Caggiano	MicroSim Corporation
Robert Casiano	International Rectifier Corporation
Alan H. Czarapata	Montgomery College, Rockville, MD
Mohammad Dabbas	ITT Technical Institute
John Darlington	Humber College, Ontario, CANADÁ
Lucius B. Day	Metropolitan State College, Denver, CO
Mike Durren	Indiana Vocational Technical College, South Bend, IN
Dr. Stephen Evanson	Bradford University, UK
George Fredericks	Northeast State Technical Community College
F. D. Fuller	Humber College, Ontario, CANADÁ
Phil Golden	DeVry Institute of Technology, Irving, TX
Joseph Grabinski	Hartford State Technical College, Hartford, CT
Thomas K. Grady	Western Washington University, Bellingham, WA
William Hill	ITT Technical Institute

Albert L. Ickstadt	San Diego Mesa College, San Diego, CA
Jeng-Nan Juang	Mercer University, Macon, GA
Karen Karger	Tektronix Inc.
Kenneth E. Kent	DeKalb Technical Institute, Clarkston, GA
Donald E. King	ITT Technical Institute, Youngstown, OH
Charles Lewis	APPLIED MATERIALS, Inc.
Donna Liverman	Texas Instruments Inc.
George T. Mason	Indiana Vocational Technical College, South Bend, IN
William Maxwell	Nashville State Technical Institute
Abraham Michelen	Hudson Valley Community College
John MacDougall	University of Western Ontario, London, Ontario, CANADÁ
Donald E. McMillan	Southwest State University, Marshall, MN
Thomas E. Newman	L. H. Bates Vocational-Technical Institute, Tacoma, WA
Dr. Robert Payne	University of Glamorgan, Wales, UK
E. F. Rockafellow	Southern-Alberta Institute of Technology, Calgary, Alberta, CANADÁ
Saeed A. Shaikh	Miami-Dade Community College, Miami, FL
Dr. Noel Shammass	School of Engineering, Beaconside, UK
Eric Sung	Computronics Technology Inc.
Donald P. Szymanski	Owens Technical College, Toledo, OH
Parker M. Tabor	Greenville Technical College, Greenville, SC
Peter Tampas	Michigan Technological University, Houghton, MI
Chuck Tinney	University of Utah
Katherine L. Usik	Mohawk College of Applied Art & Technology, Hamilton, Ontario, CANADÁ
Domingo Uy	Hampton University, Hampton, VA
Richard J. Walters	DeVry Technical Institute, Woodbridge, NJ
Julian Wilson	Southern College of Technology, Marietta, GA
Syd R. Wilson	Motorola Inc.
Jean Younes	ITT Technical Institute, Troy, MI
Charles E. Yungmans	Western Washington University, Bellingham, WA
Ulrich E. Zeisler	Salt Lake Community College, Salt Lake City, UT

ELECTRÓNICA: TEORÍA DE CIRCUITOS

Diodos semiconductores

1



1.1 INTRODUCCIÓN

Unas cuantas décadas que han seguido a la introducción del transistor, hacia finales de los años cuarenta, han sido testigo de un cambio asombroso en la industria de la electrónica. La miniaturización que se ha logrado nos deja sorprendidos de sus alcances. Sistemas completos aparecen ahora sobre una oblea de silicio, miles de veces más pequeña que un solo elemento de las redes iniciales. Las ventajas asociadas con los sistemas actuales, comparados con las redes de bulbos de los años anteriores, resultan, en su mayor parte, obvias de inmediato: son más pequeños y ligeros, no tienen requerimientos de calentamiento o disipación de calor (como en el caso de los bulbos), tienen una construcción más robusta, son más eficientes y no requieren de un periodo de calentamiento.

La miniaturización desarrollada en los años recientes ha dado por resultado sistemas tan pequeños que ahora el propósito básico del encapsulado sólo es obtener algunos medios para manipular el dispositivo y asegurar que las conexiones permanezcan fijas en forma adecuada en la base del semiconductor. Los límites de la miniaturización dependen de tres factores: la calidad del material semiconductor, la técnica del diseño de redes y los límites de la manufactura y el equipo de procesamiento.

1.2 EL DIODO IDEAL

El primer dispositivo electrónico que se presenta es el que se denomina *diodo*, el más sencillo de los dispositivos semiconductores, pero que desempeña un papel muy importante en los sistemas electrónicos. Con sus características, que son muy similares a las de un interruptor sencillo, aparece en una amplia variedad de aplicaciones, que van desde las más sencillas a las más complejas. Además de los detalles de su construcción y características, los datos y gráficas importantes se encontrarán en las hojas de especificaciones y también se estudiarán con objeto de asegurar una comprensión de la terminología que se utiliza, aparte de demostrar la riqueza de la información que los fabricantes suelen proporcionar.

Antes de analizar la construcción y las características de un dispositivo real, primero se considerará el dispositivo ideal para ofrecer una base de comparación. El *diodo ideal* es un dispositivo con *dos terminales*, que tiene el símbolo y características que se muestran en la figura 1.1a y b, respectivamente.

De manera ideal, un diodo conducirá corriente en la dirección que define la flecha en el símbolo, y actuará como un circuito abierto en cualquier intento por establecer corriente en dirección opuesta. En esencia:

Las características de un diodo ideal son aquellas de un interruptor que puede conducir corriente en una sola dirección.

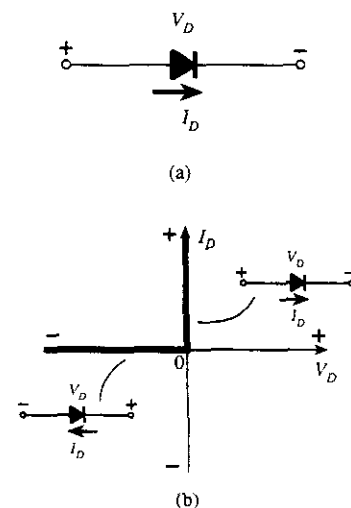
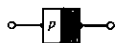


Figura 1.1 Diodo ideal: a) símbolo; b) características.



En la descripción de los elementos que se presentan a continuación es importante que se definan los diferentes *símbolos de letras, polaridades de voltajes y direcciones de la corriente*. Si la polaridad del voltaje aplicado es consistente con el que se muestra en la figura 1.1a, las características que deben ser consideradas en la figura 1.1b están hacia la derecha del eje vertical. En caso de que se aplique un voltaje inverso, son pertinentes las características hacia la izquierda del eje. Si la corriente a través del diodo tiene la dirección que se indica en la figura 1.1a, la porción de las características que deben considerarse es arriba del eje horizontal, mientras que una inversión en la dirección requeriría del empleo de las características abajo del eje. Para la mayoría de las características de los dispositivos que aparecen en este libro, la *ordenada* (o eje "y") será el eje de la *corriente*, en tanto la *abscisa* (o eje "x") será el eje del *voltaje*.

Uno de los parámetros importantes para el diodo es la resistencia en el punto o la región de operación. Si se considera la región de conducción definida por la dirección de I_D y polaridad de V_D en la figura 1.1a (el cuadrante superior derecho de la figura 1.1b), se deduce que el valor de la resistencia directa, R_F , según lo define la ley de Ohm, es

$$R_F = \frac{V_F}{I_F} = \frac{0 \text{ V}}{2, 3, \text{ mA}, \dots, \text{ sólo un valor positivo}} = 0 \Omega \quad (\text{corto circuito})$$

donde V_F es el voltaje de polarización directa a través del diodo e I_F es la corriente a través del diodo.

Por tanto, el diodo ideal es un circuito cerrado para la región de conducción.

Si ahora se considera la región de potencial negativo aplicado (tercer cuadrante) de la figura 1.1b,

$$R_R = \frac{V_R}{I_R} = \frac{-5, -20, \text{ o cualquier potencial de polarización inversa}}{0 \text{ mA}} = \infty \Omega \quad (\text{circuito abierto})$$

donde V_R es el voltaje inverso a través del diodo e I_R es la corriente inversa en el diodo.

Por tanto, el diodo ideal es un circuito abierto en la región de no conducción.

En resumen, son aplicables las condiciones que se describen en la figura 1.2.

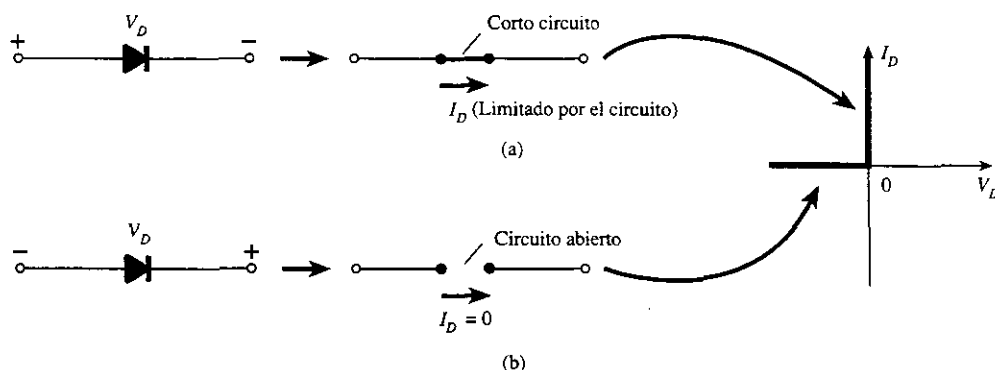


Figura 1.2 a) Estados de conducción y b) no conducción del diodo ideal según está determinado por la polarización aplicada.

Por lo general, resulta sencillo hasta cierto punto determinar si un diodo se encuentra en la región de conducción o de no conducción, al observar la dirección de la corriente I_D que se establece mediante un voltaje aplicado. Para el flujo convencional (opuesto al flujo de electrones), si la corriente resultante del diodo tiene la misma dirección que la punta de la flecha del símbolo del diodo, éste está operando en la región de conducción, según se describe en la figura 1.3a. Si la corriente resultante tiene la dirección opuesta, como se muestra en la figura 1.3b, el circuito abierto equivalente es el apropiado.

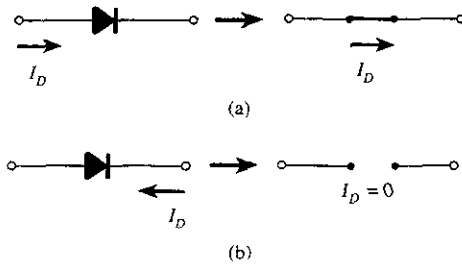


Figura 1.3 a) Estados de conducción y b) no conducción del diodo ideal, según está determinado por la dirección de la corriente convencional establecida por la red.

Como se indicó antes, el propósito inicial de esta sección es presentar las características de un dispositivo ideal para poder compararlas con las características de la variedad comercial. Según se avance a través de las próximas secciones, se deben considerar las siguientes preguntas:

¿Qué tan cercana será la resistencia directa o de “encendido” de un diodo práctico comparado con el nivel $0\text{-}\Omega$ deseado?

¿Es la resistencia inversa parcial lo suficientemente grande como para permitir una aproximación de circuito abierto?

1.3 MATERIALES SEMICONDUCTORES

El término *semiconductor* revela por sí mismo una idea de sus características. El prefijo *semi* suele aplicarse a un rango de niveles situado a la mitad entre dos límites.

El término conductor se aplica a cualquier material que soporte un flujo generoso de carga, cuando una fuente de voltaje de magnitud limitada se aplica a través de sus terminales.

Un aislante es un material que ofrece un nivel muy bajo de conductividad bajo la presión de una fuente de voltaje aplicada.

Un semiconductor, por tanto, es un material que posee un nivel de conductividad sobre algún punto entre los extremos de un aislante y un conductor.

De manera inversa, y relacionada con la conductividad de un material, se encuentra su resistencia al flujo de la carga o corriente. Esto es, mientras más alto es el nivel de conductividad, menor es el nivel de resistencia. En las tablas, el término *resistividad* (ρ , la letra griega rho) se utiliza a menudo para comparar los niveles de resistencia de los materiales. En unidades métricas, la resistividad de un material se mide en $\Omega\text{-cm}$ o $\Omega\text{-m}$. Las unidades de $\Omega\text{-cm}$ se derivan de la sustitución de las unidades para cada cantidad de la figura 1.4 en la siguiente ecuación (derivada de la ecuación básica de resistencia $R = \rho l / A$):

$$\rho = \frac{RA}{l} = \frac{(\Omega)(\text{cm}^2)}{\text{cm}} \Rightarrow \Omega\text{-cm} \quad (1.1)$$

De hecho, si el área de la figura 1.4 es de 1 cm^2 y la longitud de 1 cm , la magnitud de la resistencia del cubo de la figura 1.4 es igual a la magnitud de la resistividad del material según se demuestra a continuación:

$$|R| = \rho \frac{l}{A} = \rho \frac{(1\text{ cm})}{(1\text{ cm}^2)} = |\rho| \text{ ohms}$$

Este hecho será de utilidad cuando se comparen los niveles de resistividad en los análisis que se presentan enseguida.

En la tabla 1.1 se muestran los valores típicos de resistividad para tres categorías amplias de materiales. Aunque se pueda estar familiarizado con las propiedades eléctricas del cobre y la mica, las características de los materiales semiconductores, germanio (Ge) y silicio (Si), pue-

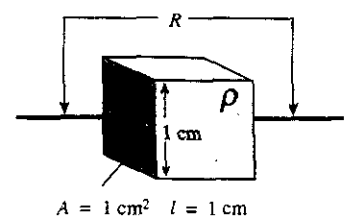


Figura 1.4 Definición de las unidades métricas de resistividad.

TABLA 1.1 Valores típicos de resistividad

Conductor	Semiconductor	Aislante
$\rho \approx 10^{-6} \Omega\text{-cm}$ (cobre)	$\rho \approx 50 \Omega\text{-cm}$ (germanio) $\rho \approx 50 \times 10^3 \Omega\text{-cm}$ (silicio)	$\rho \approx 10^{12} \Omega\text{-cm}$ (mica)

den ser relativamente nuevas. Como se encontrará en los capítulos que siguen, ciertamente no son los únicos dos materiales semiconductores; sin embargo, son los que más interesan en el desarrollo de dispositivos semiconductores. En años recientes el cambio ha sido estable con el silicio, pero no así con el germanio, cuya producción aún es escasa.

Observe en la tabla 1.1 el rango tan grande entre los materiales conductores y aislantes para la longitud de 1 cm (un área de 1-cm²) de material. Dieciocho lugares separan la colocación del punto decimal de un número a otro. Ge y Si han recibido la atención que tienen por varias razones. Una consideración muy importante es el hecho de que pueden ser fabricados con un muy alto nivel de pureza. De hecho, los avances recientes han reducido los niveles de impureza en el material puro a una parte por cada 10 mil millones (1 : 10 000 000 000). Es posible que alguien se pregunte si estos niveles de impureza son realmente necesarios. En realidad lo son si se considera que la adición de una parte de impureza (del tipo adecuado) por millón, en una oblea de silicio, puede cambiar dicho material de un conductor relativamente pobre a un buen conductor de electricidad. Como es obvio, se está manejando un espectro completamente nuevo de niveles de comparación, cuando se trata con el medio de los semiconductores. La capacidad de cambiar las características del material en forma significativa a través de este proceso, que se conoce como "dopado", es otra razón más por la cual el Ge y el Si han recibido tanta atención. Otras razones incluyen el hecho de que sus características pueden alterarse en forma significativa a través de la aplicación de calor o luz, una consideración importante en el desarrollo de dispositivos sensibles al calor o a la luz.

Algunas de las cualidades únicas del Ge y el Si que se observaron antes se deben a su estructura atómica. Los átomos de ambos materiales forman un patrón muy definido que es periódico en naturaleza (esto es que continuamente se repite el mismo). A un patrón completo se le llama *cristal*, y al arreglo periódico de los átomos, *red cristalina*. Para el Ge y el Si el cristal tiene la estructura de diamante de tres dimensiones que se muestra en la figura 1.5. Cualquier material compuesto sólo de estructuras repetidas de cristal del mismo tipo se denomina estructura de *cristal único*. Para los materiales semiconductores de aplicación práctica en el campo de la electrónica, esta característica de cristal único existe y, además, la periodicidad de la estructura no cambia en forma significativa con la adición de impurezas en el proceso de dopado.

Ahora, se examinará la estructura del átomo en sí y se observará cómo se pueden afectar las características eléctricas del material. Como se tiene entendido, el átomo se compone de tres partículas básicas: el *electrón*, el *protón* y el *neutrón*. En la red atómica, los neutrones y los protones forman el *núcleo*, mientras que los electrones se mueven alrededor del núcleo sobre una *órbita* fija. Los modelos de Bohr de los semiconductores que se usan con mayor frecuencia, el *germanio* y el *silicio*, se muestran en la figura 1.6.

Como se indica en la figura 1.6a, el átomo de germanio tiene 32 electrones en órbita, mientras que el silicio tiene 14 electrones en varias órbitas. En cada caso, existen cuatro electrones en la órbita exterior (*valencia*). El potencial (*potencial de ionización*) que se requiere para movilizar cualquiera de estos cuatro electrones de valencia, es menor que el requerido por cualquier otro electrón dentro de la estructura. En un cristal puro de germanio o de silicio estos cuatro electrones de valencia se encuentran unidos a cuatro átomos adjuntos, como se muestra en la figura 1.7 para el silicio. Tanto el Ge como el Si son referidos como *átomos tetravalentes*, porque cada uno tiene cuatro electrones de valencia.

Una unión de átomos fortalecida por el compartimiento de electrones se denomina unión covalente.

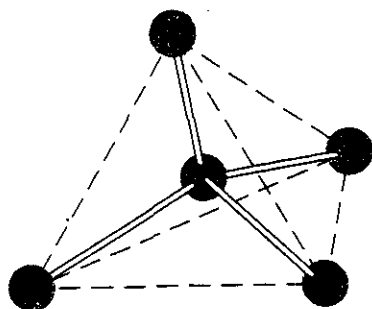


Figura 1.5 Estructura de un solo cristal de Ge y Si.

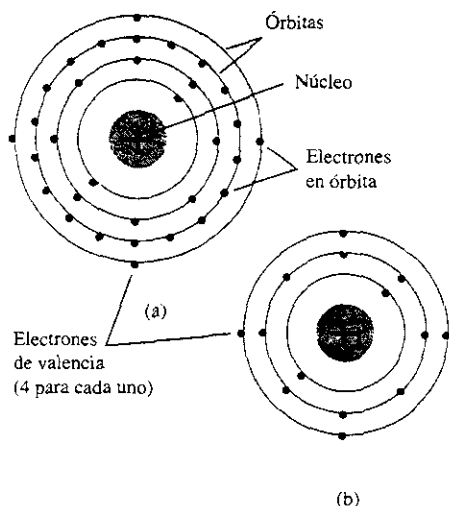


Figura 1.6 Estructura atómica: a) germanio; b) silicio.

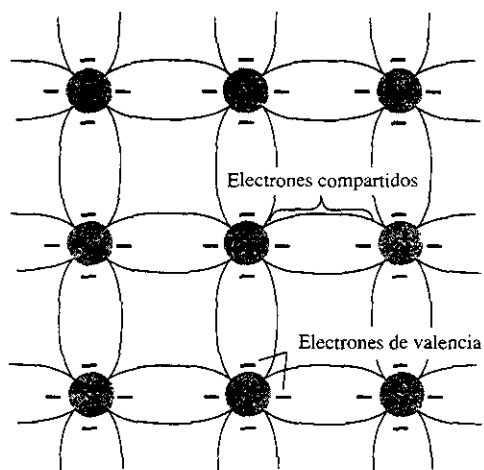


Figura 1.7 Unión covalente del átomo de silicio.

Si bien la unión covalente generará una unión más fuerte entre los electrones de valencia y su átomo, aún es posible para los electrones de valencia absorber suficiente energía cinética por causas naturales, para romper la unión covalente y asumir el estado “libre”. El término “libre” revela que su movimiento es muy sensible a los campos eléctricos aplicados, como los establecidos por las fuentes de voltaje o cualquier diferencia de potencial. Estas causas naturales incluyen efectos como la energía lumínica en la forma de fotones y la energía térmica del medio que lo rodea. A temperatura ambiente existen aproximadamente 1.5×10^{10} portadores libres en un centímetro cúbico de material intrínseco de silicio.

Los materiales intrínsecos son aquellos semiconductores que han sido cuidadosamente refinados para reducir las impurezas a un nivel muy bajo, esencialmente tan puro como se puede obtener a través de la tecnología moderna.

A los electrones libres localizados en el material que se deben sólo a causas naturales, se les conoce como *portadores intrínsecos*. A la misma temperatura, el material intrínseco de germanio tendrá aproximadamente 2.5×10^{13} transmisores libres por centímetro cúbico. La relación del número de portadores en el germanio respecto al silicio es mayor de 10^3 e indica que el germanio es un mejor conductor a temperatura ambiente. Esto puede ser cierto, aunque en el estado intrínseco ambos aún son considerados conductores pobres. Observe en la tabla 1.1 cómo la resistividad también difiere por una relación de aproximadamente 1000 : 1 con el silicio, teniendo, por tanto, un mayor valor. Por supuesto, éste debe ser el caso, debido a que la resistividad y la conductividad son inversamente proporcionales.

Un incremento en la temperatura de un semiconductor puede generar un incremento sustancial en el número de electrones libres en el material.

Según aumenta la temperatura desde el cero absoluto (0 K), un número mayor de electrones de valencia absorben suficiente energía térmica como para romper la unión covalente y contribuir así al número de portadores libres, según se describió antes. Este mayor número de portadores aumentará el índice de conductividad y generará un menor nivel de resistencia.

Se dice que los materiales semiconductores como el Ge y el Si, que muestran una reducción en resistencia con el incremento en la temperatura, tienen un coeficiente de temperatura negativo.

Quizá el lector recuerde que la resistencia de casi todos los conductores se incrementará con la temperatura. Esto se debe al hecho de que el número de portadores en un conductor no

se incrementará significativamente con la temperatura, pero su patrón de vibración con respecto a una localización relativamente fija aumentará la dificultad para que los electrones pasen a través de ella. Un incremento en la temperatura, por tanto, genera un aumento del nivel de resistencia y un *coeficiente positivo de temperatura*.

1.4 NIVELES DE ENERGÍA

En la estructura atómica aislada existen niveles de energía discretos (individuales) asociados con cada electrón en una órbita, según se muestra en la figura 1.8a. Cada material tendrá, de hecho, su propio conjunto de niveles de energía permisibles para los electrones en su estructura atómica.

Mientras más distante se encuentre el electrón del núcleo, mayor es el estado de energía, y cualquier electrón que haya dejado a su átomo, tiene un estado de energía mayor que cualquier electrón en la estructura atómica.

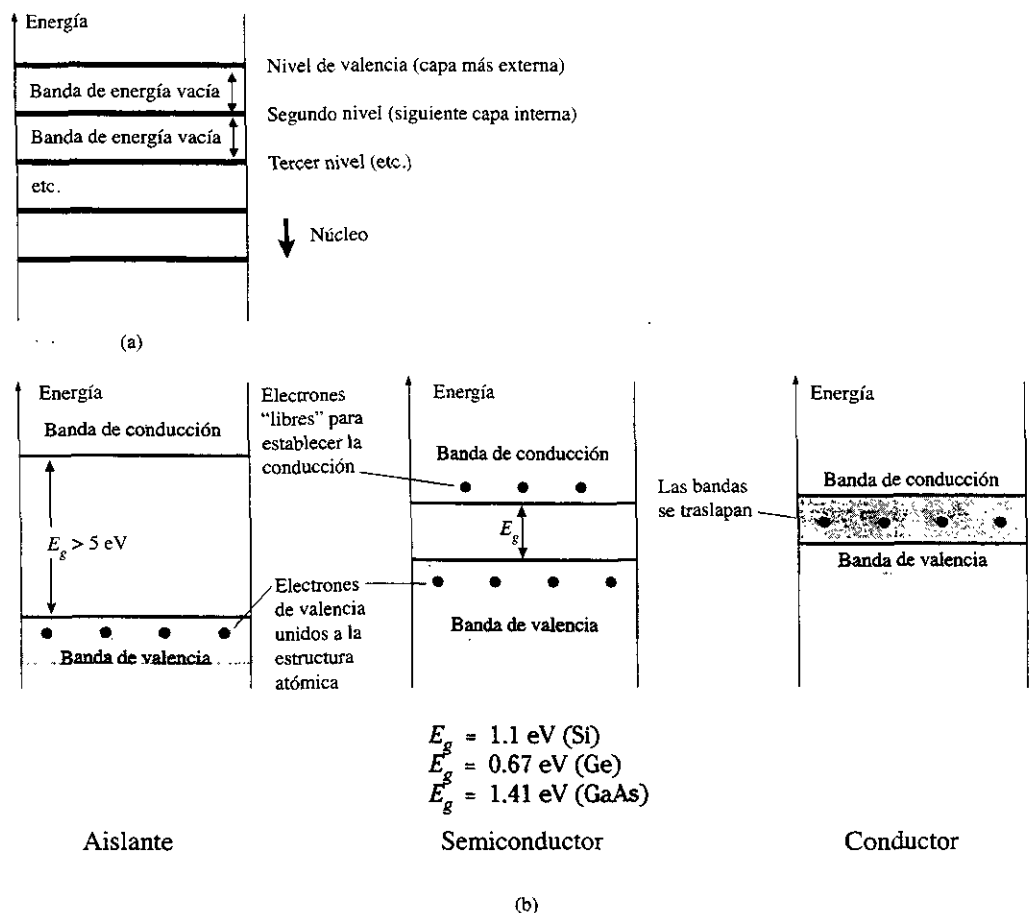


Figura 1.8 Niveles de energía: a) niveles discretos en estructuras atómicas aisladas; b) bandas de conducción y valencia de un aislador, semiconductor y conductor.

Entre los niveles de energía discretos existen bandas vacías, en las cuales no pueden aparecer electrones dentro de la estructura atómica aislada. Cuando los átomos de un material se unen para formar la estructura de la red cristalina, existe una interacción entre los átomos que ocasiona que los electrones dentro de una órbita en particular de un átomo tengan ligeras diferencias en sus niveles de energía, respecto a los electrones en la misma órbita de un átomo adjunto. El resultado neto es una expansión de la banda de los niveles discretos de estados de energía posibles para los electrones de valencia, como se muestra en la figura 1.8b. Observe que existen niveles y estados de energía máximos en los cuales se puede encontrar cualquier electrón, y una *región prohibida* entre la banda de valencia y el nivel de ionización. Recuerde que la ionización es el mecanismo mediante el cual un electrón puede absorber suficiente

energía para separarse de su estructura atómica y entrar en la banda de conducción. Se observará que la energía asociada con cada electrón se mide en *electrón volts* (eV). La unidad de medida es adecuada, porque

$$\boxed{W = QV} \quad \text{eV} \quad (1.2)$$

según se derivó de la ecuación definida para el voltaje $V = W/Q$. Q es la carga asociada con un único electrón.

Sustituyendo la carga de un electrón y una diferencia de potencial de 1 volt en la ecuación (1.2) se tiene un nivel de energía referido como un *electrón volt*. Debido a que la energía también se mide en joules y que la carga de un electrón = 1.6×10^{-19} coulomb,

$$W = QV = (1.6 \times 10^{-19} \text{ C})(1 \text{ V})$$

$$\text{y} \quad \boxed{1 \text{ eV} = 1.6 \times 10^{-19} \text{ J}} \quad (1.3)$$

A 0 K o cero absoluto (-273.15°C), todos los electrones de valencia de los materiales semiconductores se encuentran en la capa exterior del átomo con niveles de energía asociados con la banda de valencia de la figura 1.8b. Sin embargo, a temperatura ambiente (300 K , 25°C) un gran número de electrones de valencia han adquirido suficiente energía para dejar la banda de valencia, y han atravesado la banda de energía vacía definida por E_g en la figura 1.8b y entrado a la banda de conducción. Para el silicio E_g es de 1.1 eV, para el germanio 0.67 eV y para el arseniuro de galio 1.41 eV. Para el germanio, E_g obviamente es menor, y se debe al gran número de portadores en dicho material, comparado al silicio expuesto a temperatura ambiente. Observe que para el aislante la banda de energía es con frecuencia de 5 eV o más, lo cual limita drásticamente el número de electrones que pueden entrar a la banda de conducción a temperatura ambiente. El conductor tiene electrones en la banda de conducción aun a 0 K. Por tanto, es bastante obvio que a temperatura ambiente existan portadores libres más que suficientes para soportar un gran flujo de carga o corriente.

En la sección 1.5 encontrará que si ciertas impurezas se añaden a los materiales semiconductores intrínsecos, ocurrirán estados de energía en las bandas prohibidas, lo que causará una reducción neta en E_g para ambos materiales semiconductores y, por consecuencia, también una mayor densidad de portadores en la banda de conducción a temperatura ambiente.

1.5 MATERIALES EXTRÍNSECOS: TIPO *n* Y TIPO *p*

Las características de los materiales semiconductores pueden ser alteradas significativamente por la adición de ciertos átomos de impureza a un material semiconductor relativamente puro. Estas impurezas, aunque sólo haya sido añadida 1 parte en 10 millones, pueden alterar en forma suficiente la estructura de la banda y cambiar totalmente las propiedades eléctricas del material.

Un material semiconductor que haya sido sujeto al proceso de dopado se denomina un material extrínseco.

Existen dos materiales extrínsecos de gran importancia para la fabricación de dispositivos semiconductores: el tipo *n* y el tipo *p*. Cada uno se describirá con detalle más adelante.

Material tipo *n*

Tanto el material tipo *n* como el tipo *p* se forman mediante la adición de un número predeterminado de átomos de impureza al germanio o al silicio. El tipo *n* se crea a través de la introducción de elementos de impureza que poseen *cinco* electrones de valencia (*pentavalentes*), como el *antimonio*, *arsénico* y *fósforo*. El efecto de estos elementos impuros se indica en la figura 1.9

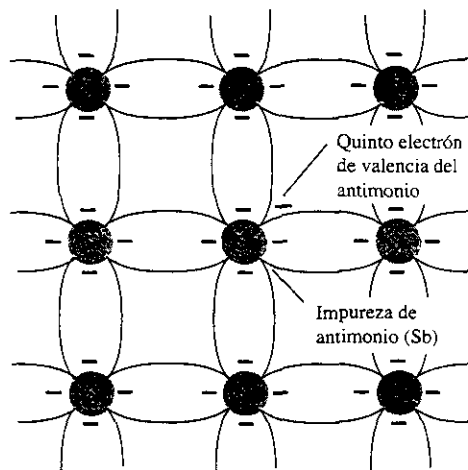


Figura 1.9 Impureza de antimonio en el material tipo n .

(utilizando el antimonio como impureza en el silicio). Observe que las cuatro uniones covalentes aún se encuentran presentes. Existe, sin embargo, un quinto electrón adicional debido al átomo de impureza, mismo que se encuentra *desasociado* de cualquier unión covalente en particular. Este electrón restante, unido débilmente a su átomo (antimonio), se encuentra relativamente libre para moverse dentro del recién formado material tipo n . Debido a que el átomo de impureza insertado ha donado un electrón relativamente “libre” a la estructura:

A las impurezas difundidas con cinco electrones de valencia se les llama átomos donores.

Es importante comprender que, aunque un número importante de portadores “libres” se han creado en el material tipo n , éste aún es eléctricamente *neutral*, debido a que de manera ideal el número de protones cargados positivamente en los núcleos es todavía igual al número de electrones “libres” cargados negativamente y en órbita en la estructura.

El efecto de este proceso de dopado sobre la conductividad relativa se describe mejor a través del diagrama de bandas de energía de la figura 1.10. Observe que un nivel de energía discreto (llamado el *nivel del donador*) aparece en la banda prohibida con un E_g significativamente menor que aquel del material intrínseco. Aquellos electrones “libres” que se deben a la impureza añadida se sitúan en este nivel de energía, y tienen menor dificultad para absorber la energía térmica suficiente para moverse a la banda de conducción a temperatura ambiente. El resultado es que a temperatura ambiente existe un gran número de portadores (electrones) en el nivel de conducción, y la conductividad del material aumenta en forma significativa. A temperatura ambiente en un material de Si intrínseco existe aproximadamente un electrón libre por cada 10^{12} átomos (uno por cada 10^9 para Ge). Si el nivel de “dosificación” fuera de 1 en 10 millones (10^7), la proporción ($10^{12}/10^7 = 10^5$) indicaría que la concentración de portadores se ha incrementado en una proporción de 100,000 : 1.

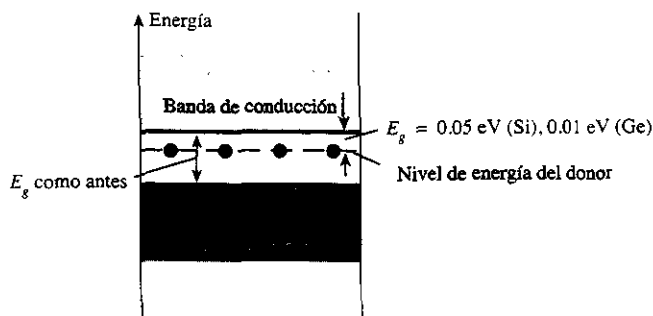


Figura 1.10 Efecto de las impurezas del donador sobre la estructura de la banda de energía.

Material tipo p

El material tipo p se forma mediante el dopado de un cristal puro de germanio o de silicio con átomos de impureza que poseen *tres* electrones de valencia. Los elementos que se utilizan con mayor frecuencia para este propósito son el *boro*, *galio* e *indio*. El efecto de alguno de estos elementos, como el boro sobre el silicio, se indica en la figura 1.11.

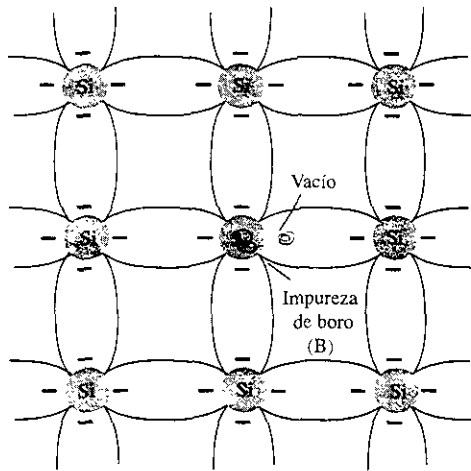


Figura 1.11 Impureza de boro en el material tipo p .

Observe que ahora existe un número de electrones insuficiente para completar las uniones covalentes de la red cristalina recién formada. A la vacante que resulte se le llama *hueco*, y está representado por un pequeño círculo o signo positivo debido a la ausencia de una carga negativa. Por tanto, la vacante resultante *aceptará* con facilidad un electrón “libre”:

A las impurezas difundidas con tres electrones de valencia se les conoce como átomos aceptores.

El material resultante tipo p es eléctricamente neutro, por las mismas razones descritas para el material tipo n .

Flujo de electrones comparado con flujo de huecos

El efecto del hueco sobre la conducción se muestra en la figura 1.12. Si un electrón de valencia adquiere suficiente energía cinética para romper su unión covalente y llena un hueco, entonces se creará un hueco en la unión covalente que liberó el electrón. Sin embargo, existe una transferencia de huecos hacia la izquierda y de electrones hacia la derecha, según se muestra en la figura 1.12. La dirección que se utilizará en el texto es la del *flujo convencional*, el cual se indica por la dirección del flujo de huecos.

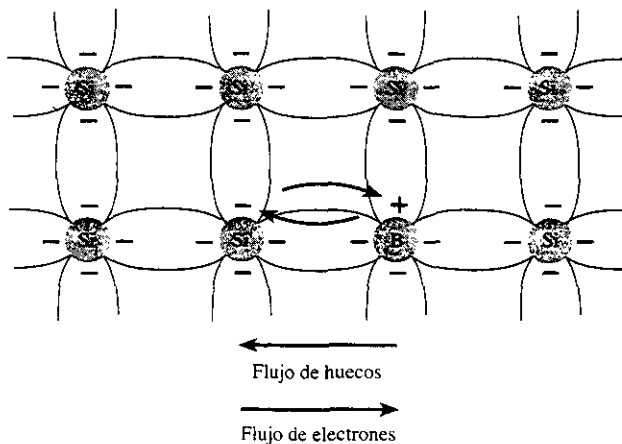


Figura 1.12 Flujo de electrones en función de flujo de huecos.

Portadores mayoritarios y minoritarios

En el estado intrínseco, el número de electrones libres en Ge o en Si se debe sólo a aquellos electrones en la banda de valencia que han adquirido suficiente energía de las fuentes térmicas o lumínicas para romper la unión covalente o a las pocas impurezas que no pudieron eliminarse. Las “vacantes” dejadas atrás en la estructura de uniones covalentes representan una cantidad muy limitada de huecos. En un material tipo n , el número de huecos no ha cambiado de manera significativa de su nivel intrínseco. El resultado neto, por tanto, es que el número de electrones supera por mucho el número de huecos. Por esta razón:

En un material tipo n (figura 1.13a) al electrón se le llama portador mayoritario y el hueco es el portador minoritario.

Para el material tipo p el número de huecos supera por mucho el número de electrones, como se muestra en la figura 1.13b. Por tanto:

En un material tipo p el hueco es el portador mayoritario y el electrón es el portador minoritario.

Cuando el quinto electrón de un átomo donador deja a su átomo, el átomo restante adquiere una carga positiva neta: de ahí el signo positivo en la representación del ion donador. Por razones análogas, el signo negativo aparece en el ion aceptor.

Los materiales tipo n y p representan los bloques de construcción básicos de los dispositivos semiconductores. En la siguiente sección se encontrará que la “unión” de un solo material tipo n con un material tipo p tendrá por resultado un elemento semiconductor de importancia considerable en los sistemas electrónicos.

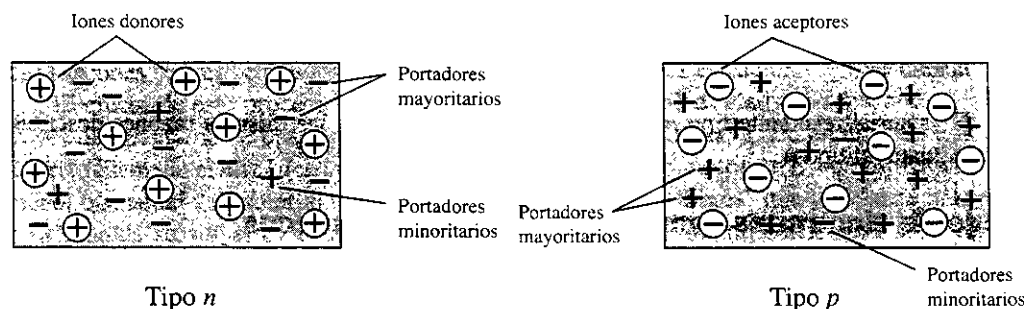


Figura 1.13 a) material tipo n ; b) material tipo p .

1.6 DIODO SEMICONDUCTOR

En la sección 1.5 se presentaron tanto los materiales tipo n como tipo p . El diodo semiconductor se forma con sólo juntar estos materiales (construidos en la misma base: Ge o Si), según se muestra en la figura 1.14, utilizando técnicas que se describirán en el capítulo 20. En el momento en que son “unidos” los dos materiales, los electrones y los huecos en la región de la unión se combinan, dando por resultado una falta de portadores en la región cercana a la unión.

A esta región de iones positivos y negativos descubiertos se le llama región de agotamiento, debido al agotamiento de portadores en esta región.

Como el diodo es un dispositivo de dos terminales, la aplicación de un voltaje a través de sus terminales permite tres posibilidades: *sin polarización* ($V_D = 0$ V), *polarización directa* ($V_D > 0$ V) y *polarización inversa* ($V_D < 0$ V). Cada una es una condición que dará un resultado que el usuario deberá comprender con claridad para que el dispositivo se aplique en forma efectiva.

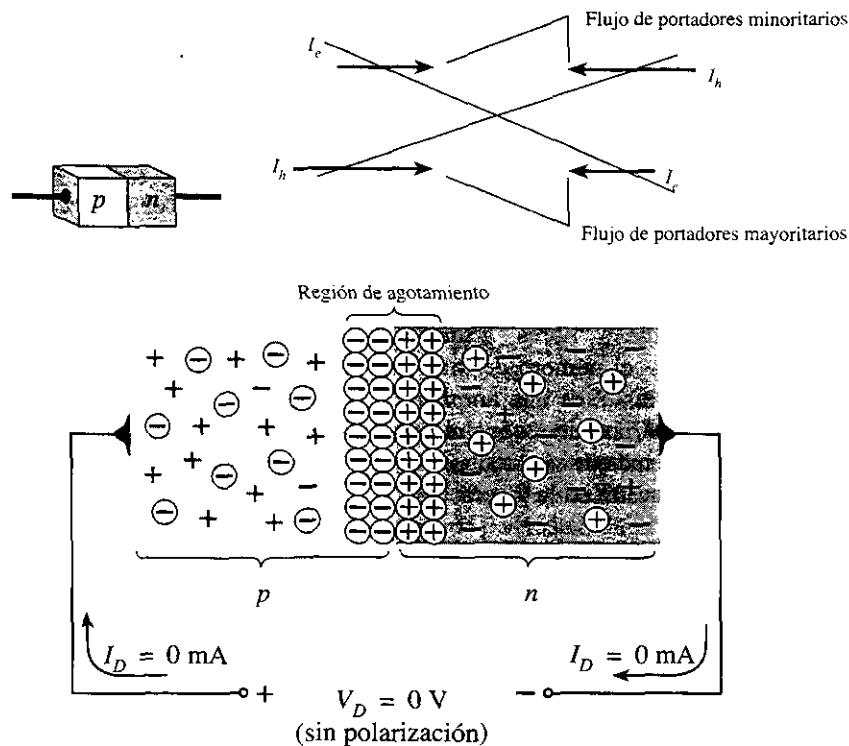


Figura 1.14 Unión p - n sin polarización externa.

Sin polarización aplicada ($V_D = 0 \text{ V}$)

Bajo condiciones sin polarización, cualquiera de los portadores minoritarios (huecos) en el material tipo n que se encuentren dentro de la región de agotamiento, pasarán directamente al material tipo p . Mientras más cercano se encuentre el portador minoritario a la unión, mayor será la atracción de la capa de iones negativos y menor la oposición de los iones positivos en la región de agotamiento del material tipo n . Con la idea de que surjan análisis futuros, se supone que todos los portadores minoritarios del material tipo n que se localizan en la región de agotamiento debido a su movimiento aleatorio pasarán directamente al material tipo p . Se puede considerar que algo similar pasa con los portadores minoritarios (electrones) del material tipo p . Este flujo de portadores se indica en la figura 1.14 para los portadores minoritarios de cada material.

Los portadores mayoritarios (electrones) del material tipo n deben sobreponerse a las fuerzas de atracción de la capa de iones positivos del material tipo n , y a la capa de iones negativos en el material tipo p , con el fin de migrar hacia el área localizada más allá del área de agotamiento del material tipo p . Sin embargo, en el material tipo n el número de portadores mayoritarios es tan grande que invariablemente habrá un pequeño número de portadores mayoritarios con suficiente energía cinética para pasar a través de la región de agotamiento hacia el material tipo p . Una vez más, la misma consideración se puede aplicar a los portadores mayoritarios (huecos) del material tipo p . El flujo resultante debido a los portadores mayoritarios también se describe en la figura 1.14.

Si se examina con cuidado la figura 1.14, se observará que las magnitudes relativas de los vectores de flujo son tales que el flujo neto en cualquier dirección es igual a cero. Esta cancelación de los vectores se indica por medio de las líneas cruzadas. La longitud del vector que representa el flujo de huecos se dibujó en una escala mayor que el flujo de los electrones con objeto de demostrar que la magnitud de cada uno no necesariamente debe ser la misma para la cancelación del flujo, y que los niveles de dopado para cada material pueden dar como resultado un flujo de portadores desigual de electrones y huecos. En resumen:

En ausencia de un voltaje de polarización aplicado, el flujo neto de la carga en cualquier dirección para un diodo semiconductor es cero.

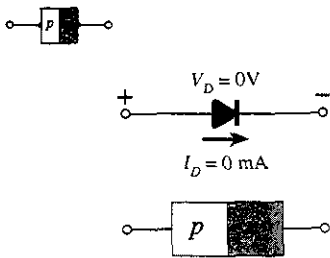


Figura 1.15 Condiciones para un diodo semiconductor sin polarización.

El símbolo para el diodo se repite en la figura 1.15 con las regiones tipo n y tipo p asociadas. Observe que la flecha está asociada con el componente tipo p y la barra con la región de tipo n . Como se indicó, para $V_D = 0\text{ V}$, la corriente en cualquier dirección es 0 mA .

Condición de polarización inversa ($V_D < 0\text{ V}$)

Si un potencial externo de V volts se aplica a través de la unión p - n de tal forma que la terminal positiva se encuentre conectada con el material tipo n y la terminal negativa esté conectada con el material tipo p como se muestra en la figura 1.16, el número de iones positivos en la región de agotamiento del material tipo n se incrementará debido al gran número de electrones “libres” atraídos por el potencial positivo del voltaje aplicado. Por razones similares, el número de iones negativos se incrementará en el material tipo p . El efecto neto, por tanto, es una ampliación de la región de agotamiento. Dicha ampliación establecerá una barrera de potencial demasiado grande para ser superada por los portadores mayoritarios, además de una reducción efectiva del flujo de los portadores mayoritarios a cero, como se muestra en la figura 1.16.

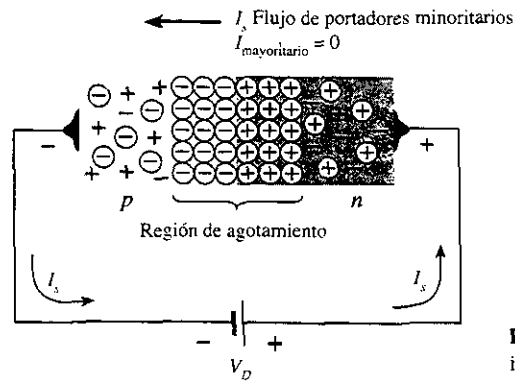


Figura 1.16 Unión p - n con polarización inversa.

Sin embargo, el número de portadores minoritarios que están entrando a la región de agotamiento no cambiarán, y dan como resultado vectores de flujo de portadores minoritarios de la misma magnitud que sin voltaje aplicado, como lo indica la figura 1.14.

A la corriente que existe bajo las condiciones de polarización inversa se le llama corriente de saturación inversa, y se representa mediante I_s .

La corriente de saturación inversa rara vez es mayor que unos cuantos microamperes, con excepción de los dispositivos de alta potencia. De hecho, en años recientes se encontró que su nivel está casi siempre en el rango de nanoamperes para dispositivos de silicio, y en el rango de microamperes para el germanio. El término *saturación* proviene del hecho de que alcanza su máximo nivel con rapidez y no cambia de manera significativa con el incremento del potencial de polarización inversa, como se muestra en las características de los diodos de la figura 1.19 para $V_D < 0\text{ V}$. Las condiciones de polarización inversa se describen en la figura 1.17 para el símbolo de diodo y la unión p - n . Observe, en particular, que la dirección de I_s es contra la flecha del símbolo. A su vez, que el potencial negativo está conectado al material tipo p y el potencial positivo al material tipo n , y que la diferencia en las literales subrayadas para cada región revela una condición de polarización inversa.

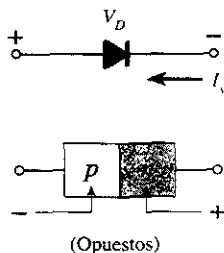


Figura 1.17 Condiciones de polarización inversa para un diodo semiconductor.

Condición de polarización directa ($V_D > 0\text{ V}$)

Una condición de *polarización directa* o “encendido” se establece al aplicar el potencial positivo al material tipo p y el potencial negativo al material tipo n , como lo muestra la figura 1.18. Por tanto, para mayor referencia:

Un diodo semiconductor tiene polarización directa cuando se ha establecido la asociación tipo p y positivo y tipo n y negativo.

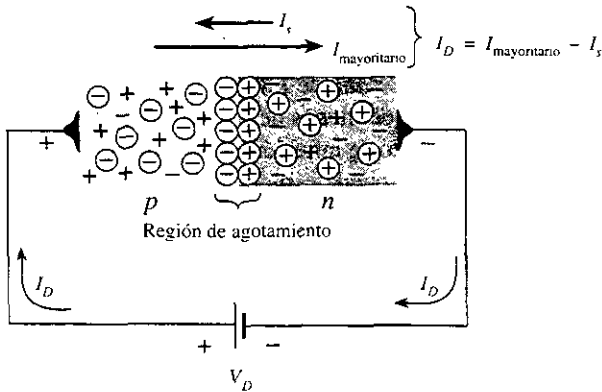


Figura 1.18 Unión p - n con polarización directa.

La aplicación de un potencial de polarización directa V_D “presionará” los electrones en el material tipo n y los huecos en el material tipo p para que se recombinen con los iones cercanos a la unión y reducirá el ancho de la región de agotamiento como se indica en la figura 1.18. El flujo de electrones, portadores minoritarios, del material tipo p al material tipo n (y de los huecos del material tipo n al material tipo p) no ha cambiado en magnitud (debido a que el nivel de conducción se encuentra controlado básicamente por el número limitado de impurezas en el material), pero la reducción en el ancho de la región de agotamiento ha generado un gran flujo de portadores mayoritarios a través de la unión. Ahora, un electrón de material tipo n “observa” una barrera muy reducida en la unión, debido a la pequeña región de agotamiento y a una fuerte atracción del potencial positivo aplicado al material tipo p . Mientras se incrementa en magnitud la polarización aplicada, la región de agotamiento continuará disminuyendo su anchura hasta que un flujo de electrones pueda pasar a través de la unión, lo que da como resultado un incremento exponencial en la corriente, como se muestra en la región de polarización directa de las caracte-

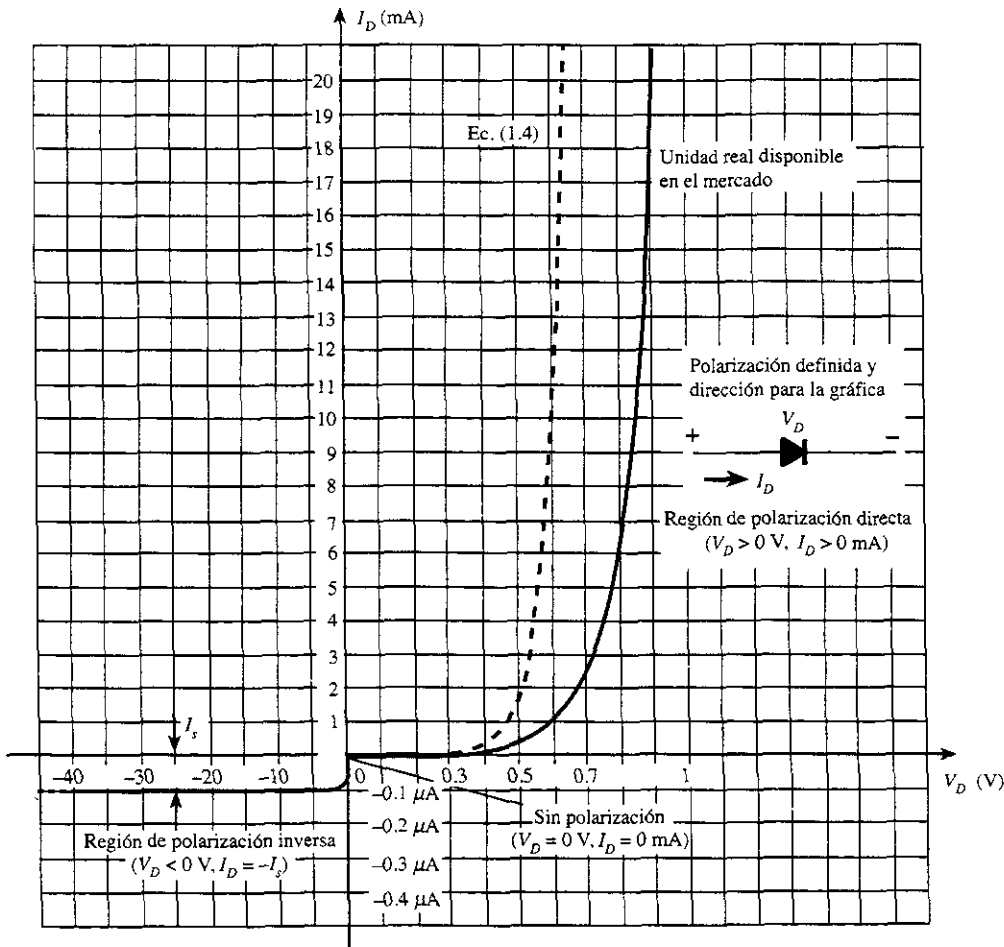


Figura 1.19 Características del diodo semiconductor de silicio.



rísticas de la figura 1.19. Observe que la escala vertical de la figura 1.19 está en miliamperes (aunque algunos diodos semiconductores tendrán una escala vertical en amperes), y la escala horizontal en la región de polarización directa tiene un máximo de 1 V. Por tanto, en general, el voltaje a través de un diodo de polarización directa será de menos de 1 V. Observe también la rapidez con que se incrementa la corriente después del punto de inflexión de la curva de respuesta.

A través del empleo de la física del estado sólido se puede demostrar que las características generales de un diodo semiconductor se pueden definir mediante la ecuación siguiente para las regiones de polarización directa e inversa:

$$I_D = I_s(e^{KV_D/T_K} - 1) \quad (1.4)$$

donde I_s = corriente de saturación inversa

$K = 11,600 / \eta$ con $\eta = 1$ para Ge y $\eta = 2$ para Si en niveles relativamente bajos de corriente del diodo (en o abajo del punto de inflexión de la curva) y $\eta = 1$ para Ge y Si en mayores niveles de corriente del diodo (en la sección de crecimiento rápido de la curva)

$$T_K = T_C + 273^\circ$$

En la figura 1.19 se ofrece una gráfica de la ecuación (1.4). Si se expande la ecuación (1.4) en la forma siguiente, se puede describir con facilidad el componente de contribución para cada región de la figura 1.19:

$$I_D = I_s e^{KV_D/T_K} - I_s$$

Para valores positivos de V_D , el primer término de la ecuación anterior crecerá con mayor rapidez, y superará el efecto del segundo término. El resultado será positivo para los valores positivos de V_D e I_D , y crecerá de la misma manera que la función $y = e^x$, la cual aparece en la figura 1.20. En $V_D = 0$ V, la ecuación (1.4) se convierte en $I_D = I_s(e^0 - 1) = I_s(1 - 1) = 0$ mA, como aparece en la figura 1.19. Para valores negativos de V_D , el primer término disminuirá rápidamente debajo de I_s , dando como resultado $I_D = -I_s$, que es la línea horizontal de la figura 1.19. La ruptura de las características en $V_D = 0$ V se debe sólo al cambio drástico en la escala de mA a μ A.

Observe en la figura 1.19 que la unidad comercial disponible tiene características que se encuentran desplazadas a la derecha por unas cuantas décimas de un volt. Esto se debe a la resistencia interna del "cuerpo" y a la resistencia externa de "contacto" de un diodo. Cada una contribuye a un voltaje adicional sobre el mismo nivel de corriente, como lo determina la ley de Ohm ($V = IR$). Con el tiempo, mientras se mejoran los métodos de producción, esta diferencia disminuirá y las características reales se aproximarán a aquellas de la sección (1.4).

Es importante observar el cambio en la escala para los ejes vertical y horizontal. Para los valores positivos de I_D , la escala se encuentra en miliamperes y la escala de la corriente abajo del eje se calcula en microamperes (o posiblemente nanoamperes). Para V_D , la escala para los valores positivos está en décimas de volts y para los valores negativos la escala es en decenas de volts.

En un principio, la ecuación (1.4) parece algo compleja y es susceptible de generar un temor injustificado de que ésta se someterá a todas las aplicaciones subsecuentes de diodos. Sin embargo, afortunadamente en una sección posterior se hará un número de aproximaciones que eliminará la necesidad de aplicar la ecuación (1.4) y ofrecerá una solución con un mínimo de dificultad matemática.

Antes de dejar el tema del estado de polarización directa, las condiciones para la conducción (el estado "encendido") se repiten en la figura 1.21 con los requerimientos de polaridad y la dirección resultante del flujo de portadores mayoritarios. Observe en particular cómo la dirección de la conducción concuerda con la flecha en el símbolo (según se reveló para el diodo ideal).

Región Zener

Aunque la escala de la figura 1.19 se encuentra en múltiplos de diez volts en la región negativa, existe un punto en el cual la aplicación de un voltaje demasiado negativo dará por resultado un agudo cambio en las características, como lo muestra la figura 1.22. La corriente se incrementa

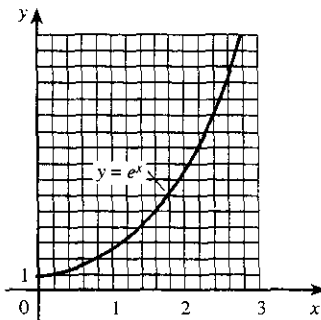


Figura 1.20 Gráfica de e^x .

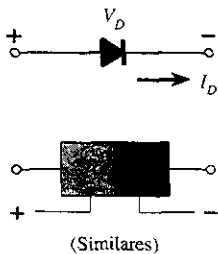


Figura 1.21 Condiciones de polarización directa para un diodo semiconductor.

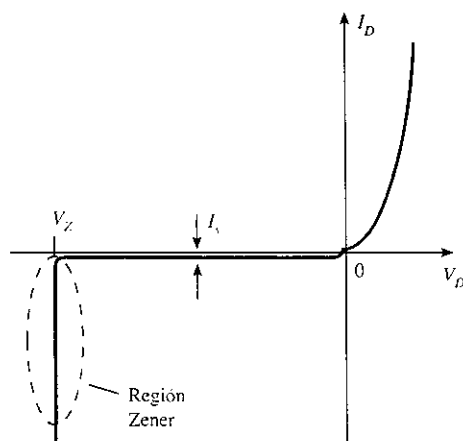


Figura 1.22 Región Zener.

a una velocidad muy rápida en una dirección opuesta a aquella de la región de voltaje positivo. El potencial de polarización inversa que da como resultado este cambio muy drástico de las características se le llama *potencial Zener* y se le da el símbolo V_Z .

Mientras el voltaje a través del diodo se incrementa en la región de polarización inversa, la velocidad de los portadores minoritarios responsables de la corriente de saturación inversa I_s también se incrementarán. Eventualmente, su velocidad y energía cinética asociada ($W_K = \frac{1}{2}mv^2$) será suficiente para liberar portadores adicionales por medio de colisiones con otras estructuras atómicas estables. Esto es, se generará un proceso de *ionización* por medio del cual los electrones de valencia absorben suficiente energía para dejar su átomo. Dichos portadores adicionales pueden luego ayudar al proceso de ionización, hasta el punto en el cual se establece una gran corriente de *avalancha* que determina la región de *ruptura de avalancha*.

La región de avalancha (V_Z) se puede acercar al eje vertical al incrementar los niveles de dopado en los materiales tipo *p* y tipo *n*. Sin embargo, mientras V_Z disminuye a niveles muy bajos, como -5 V, otro mecanismo llamado *ruptura Zener* contribuirá con un cambio agudo en la característica. Esto ocurre debido a que existe un fuerte campo eléctrico en la región de la unión que puede superar las fuerzas de unión dentro del átomo y “generar” portadores. Aunque el mecanismo de ruptura Zener es un contribuyente significativo sólo en los niveles más bajos de V_Z , este cambio rápido en la característica a cualquier nivel se denomina *región Zener*, y los diodos que utilizan esta porción única de la característica de una unión *p-n* son los *diodos Zener*. Estos diodos se describen en la sección 1.14.

La región Zener del diodo semiconductor descrito se debe evitar si la respuesta de un sistema no debe ser alterada completamente por el severo cambio en las características de esta región de voltaje inverso.

El máximo potencial de polarización inversa que puede ser aplicado antes de entrar a la región Zener se conoce como voltaje pico inverso (referido simplemente como el valor PIV, por las iniciales en inglés de: Peak Inverse Voltage) o PRV, por las iniciales en inglés de: Peak Reverse Voltage).

Si una aplicación requiere de un valor PIV mayor que el de una sola unidad, se deben conectar en serie un número de diodos de la misma característica. Los diodos también se conectan de manera paralela para aumentar la capacidad de transporte de corriente.

Silicio en función de germanio

Los diodos de silicio tienen, en general, un PIV y un valor de corriente más altos, y rangos más amplios de temperatura que los diodos de germanio. Los valores PIV para el silicio pueden encontrarse en la vecindad de 1000 V, mientras que el valor máximo para el germanio está más cerca de los 400 V. El silicio puede utilizarse para aplicaciones en las cuales la temperatura puede aumentar a cerca de 200 °C (400 °F), mientras que el germanio tiene un valor máximo mucho menor (100 °C). Sin embargo, la desventaja del silicio, comparado con el germanio, según se indica en la figura 1.23, es el mayor voltaje de polarización directa que se requiere

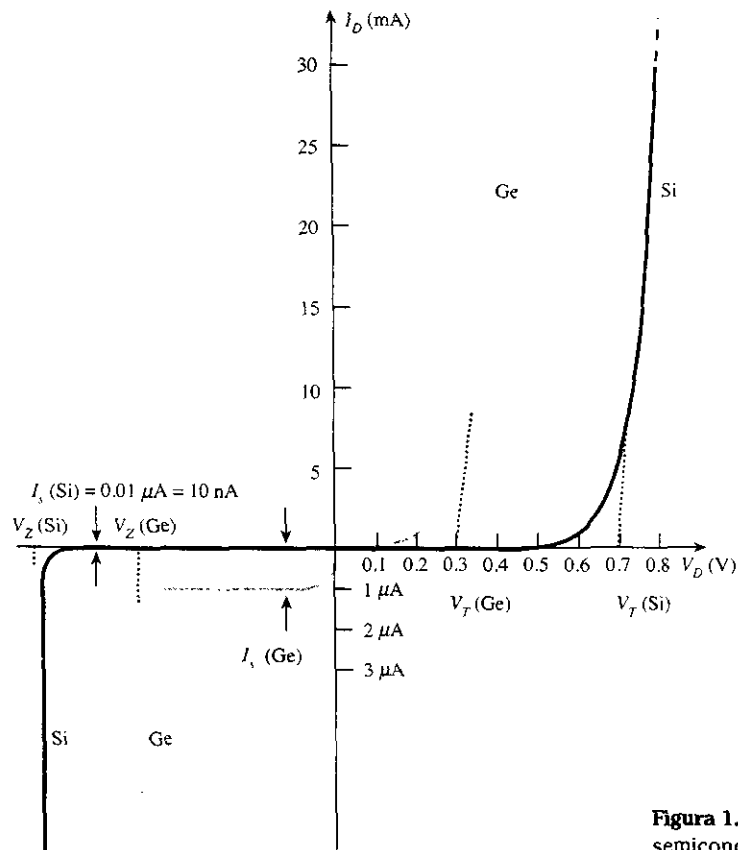


Figura 1.23 Comparación de diodos semiconductores de Si y Ge.

para alcanzar la región de conducción. Éste suele ser del orden de 0.7 V de magnitud para los diodos de silicio disponibles *en el mercado*, y 0.3 V para diodos de germanio cuando se redondea a la siguiente décima. La mayor variación para el silicio se debe, básicamente, al factor η en la sección (1.4). Este factor toma parte en la determinación de la forma de la curva sólo en niveles de corriente muy bajos. Una vez que la curva empieza su crecimiento vertical, el factor η cae a 1 (el valor continuo del germanio). Esto es evidente por las similitudes en las curvas una vez que el potencial de conducción se ha alcanzado. El potencial por el cual ocurre este crecimiento se conoce como *potencial de conducción de umbral* o *de encendido*. Con frecuencia, la primera letra de un término que describe una cantidad en particular se usa en la notación para dicha cantidad. Sin embargo, para asegurar un mínimo de confusión con otros términos, como el voltaje de salida (V_o , por las iniciales en inglés de: *output*) y el voltaje de polarización directa (V_F , por la inicial en inglés de: *forward*), la notación V_T ha sido adaptada para este libro por la palabra “umbral” (por la inicial en inglés de: *threshold*).

En resumen:

$$\begin{aligned} V_T &= 0.7 \text{ (Si)} \\ V_T &= 0.3 \text{ (Ge)} \end{aligned}$$

Obviamente, mientras más cercana al eje vertical es la excursión, más cerca de lo “ideal” está el dispositivo. Sin embargo, las otras características del silicio comparadas con el germanio lo hacen ser el elegido en la mayor parte de las unidades disponibles en el mercado.

Efectos de la temperatura

La temperatura puede tener un marcado efecto sobre las características de un diodo semiconductor de silicio, según se comprobó mediante un diodo de silicio típico en la figura 1.24. A partir de múltiples experimentos se encontró que:

La corriente de saturación inversa I_s será casi igual al doble en magnitud por cada 10 °C de incremento en la temperatura.

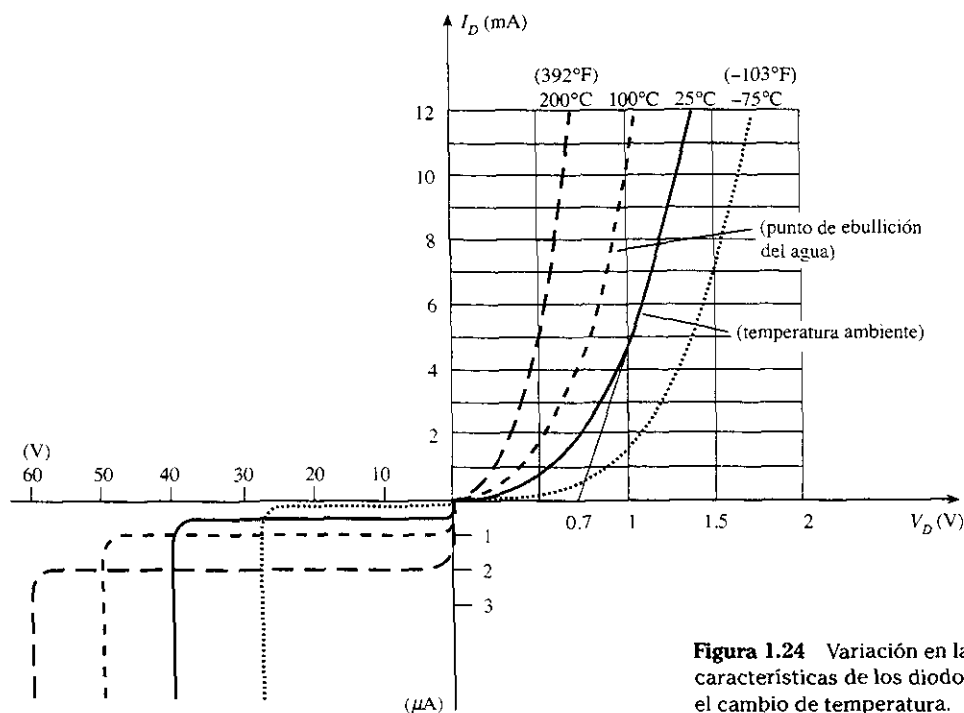


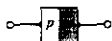
Figura 1.24 Variación en las características de los diodos con el cambio de temperatura.

No es poco frecuente que un diodo de germanio con un I_s del orden de 1 o 2 μA a 25 °C tenga una corriente de fuga de 100 μA = 0.1 mA a una temperatura de 100 °C. Los niveles de corriente de esta magnitud en la región de polarización inversa con seguridad cuestionarían la condición deseada de circuito abierto en la región de polarización inversa. Los valores típicos de I_s para el silicio son mucho menores que para el germanio para unos niveles similares de potencia y corriente, según se mostró en la figura 1.23. El resultado es que aún a mayor temperatura, los niveles de I_s para los diodos de silicio no alcanzan los mismos altos niveles que para el germanio, una razón muy importante para que los dispositivos de silicio tengan un nivel significativamente mayor de desarrollo y utilización en el diseño. Fundamentalmente, el equivalente de circuito abierto en la región de polarización inversa es mejor a cualquier temperatura con silicio en lugar de germanio.

Los niveles de I_s aumentan a mayor temperatura con niveles menores del voltaje de umbral, como se muestra en la figura 1.24. Simplemente, al incrementar el nivel de I_s en la ecuación (1.4) observe el rápido incremento en la corriente del diodo. Desde luego, el nivel de T_K también se incrementará en la misma ecuación, pero el mayor valor de I_s sobrepasará el menor cambio en porcentaje en T_K . Mientras la temperatura mejora las características en polarización directa, en realidad se convierten en características más “ideales”, pero cuando se revisan las hojas de especificación se encuentra que las temperaturas más allá del rango de operación normal pueden tener un efecto muy perjudicial en los niveles de potencia y corriente máximas del diodo. En la región de polarización inversa, el voltaje de ruptura se incrementa con la temperatura, pero observe también el incremento no deseado en la corriente de saturación inversa.

1.7 NIVELES DE RESISTENCIA

Cuando el punto de operación de un diodo se mueve desde una región a otra, la resistencia del diodo también cambiará debido a la forma no lineal de la curva característica. En los siguientes párrafos se demostrará cómo el tipo de voltaje o señal aplicado definirá el nivel de la resistencia de interés. Se presentarán tres niveles diferentes en esta sección, pero aparecerán de nuevo cuando se analicen otros dispositivos. Por tanto, es muy importante que su determinación se comprenda con claridad.



Resistencia en dc o estática

La aplicación de un voltaje dc a un circuito que contiene un diodo semiconductor tendrá por resultado un punto de operación sobre la curva característica que no cambiará con el tiempo. La resistencia del diodo en el punto de operación puede encontrarse con sólo localizar los niveles correspondientes de V_D e I_D como se muestra en la figura 1.25 y aplicando la siguiente ecuación:

$$R_D = \frac{V_D}{I_D} \quad (1.5)$$

Los niveles de resistencia en dc en el punto de inflexión y hacia abajo serán mayores que los niveles de resistencia que se obtienen para la sección de crecimiento vertical de las características. Como es natural, los niveles de resistencia en la región de polarización inversa serán muy altos. Debido a que, por lo regular, los óhmetros utilizan una fuente de corriente relativamente constante, la resistencia determinada será en el nivel de corriente predeterminado (casi siempre unos cuantos miliamperes).

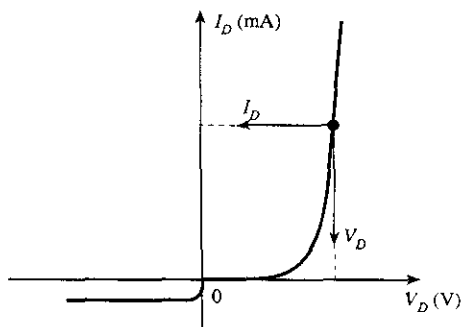


Figura 1.25 Determinación de la resistencia en dc de un diodo en un punto de operación en particular.

EJEMPLO 1.1

Determine los niveles de resistencia en dc para el diodo de la figura 1.26 en

- $I_D = 2 \text{ mA}$
- $I_D = 20 \text{ mA}$
- $V_D = -10 \text{ V}$

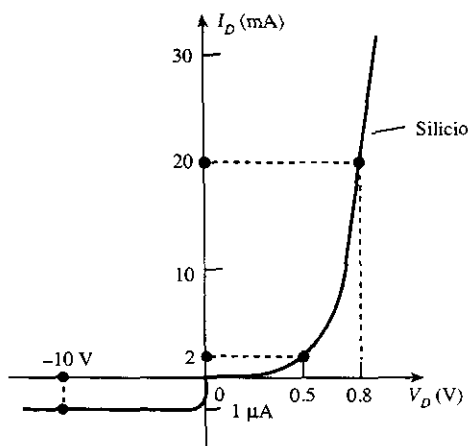
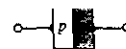


Figura 1.26 Ejemplo 1.1.

Solución

- En $I_D = 2 \text{ mA}$, $V_D = 0.5 \text{ V}$ (de la curva) y

$$R_D = \frac{V_D}{I_D} = \frac{0.5 \text{ V}}{2 \text{ mA}} = 250 \Omega$$



b) En $I_D = 20 \text{ mA}$, $V_D = 0.8 \text{ V}$ (de la curva) y

$$R_D = \frac{V_D}{I_D} = \frac{0.8 \text{ V}}{20 \text{ mA}} = 40 \Omega$$

c) En $V_D = -10 \text{ V}$, $I_D = -I_s = -1 \mu\text{A}$ (de la curva) y

$$R_D = \frac{V_D}{I_D} = \frac{10 \text{ V}}{1 \mu\text{A}} = 10 \text{ M}\Omega$$

Es obvio que se sustentan algunos de los comentarios anteriores con respecto a los niveles de resistencia dc de un diodo.

Resistencia en ac o dinámica

A partir de la ecuación 1.5 y en el ejemplo 1.1 resulta obvio que la resistencia en dc de un diodo es independiente de la forma de la característica en la región que rodea el punto de interés. Si se aplica una entrada senoidal en lugar de una entrada de dc, la situación cambiará por completo. La entrada variante desplazará de manera instantánea el punto de operación hacia arriba y abajo en una región de las características y, por tanto, define un cambio específico en corriente y voltaje, como lo muestra la figura 1.27. Sin tener una señal con variación aplicada, el punto de operación sería el punto Q que aparece en la figura 1.27, determinado por los niveles de dc aplicados. La designación del punto Q se deriva de la palabra *estable* (por la inicial en inglés de: *quiescent*), que significa “estable o sin variación”.

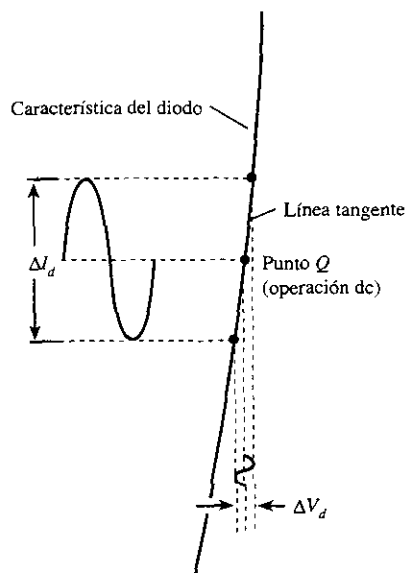


Figura 1.27 Definición de la resistencia dinámica o en ac.

Una línea recta dibujada tangencialmente a la curva a través del punto Q , como se muestra en la figura 1.28, definirá un cambio en particular en el voltaje, así como en la corriente que pueden ser utilizados para determinar la resistencia en ac o *dinámica* para esta región en las características del diodo. Se debe hacer un esfuerzo para mantener tan pequeño y equidistante como sea posible el cambio en el voltaje y en la corriente a cualquier lado del punto Q . En forma de ecuación,

$$r_d = \frac{\Delta V_d}{\Delta I_d} \quad \text{donde } \Delta \text{ significa un cambio finito en la cantidad.} \quad (1.6)$$

Mientras mayor sea la pendiente, menor será el valor de ΔV_d para el mismo cambio en ΔI_d y menor será la resistencia. La resistencia ac en la región de crecimiento vertical de la característica es, por tanto, muy pequeña, mientras que la resistencia ac es mucho más alta en los niveles de corriente bajos.

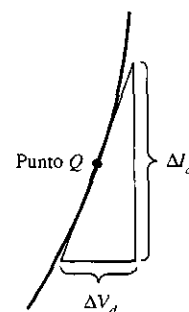


Figura 1.28 Determinación de la resistencia en ac en un punto Q .

EJEMPLO 1.2

Para las características de la figura 1.29:

- Determinar la resistencia en ac en $I_D = 2$ mA.
- Determinar la resistencia en ac en $I_D = 25$ mA.
- Comparar los resultados de los incisos a y b con las resistencias en dc a cada nivel.

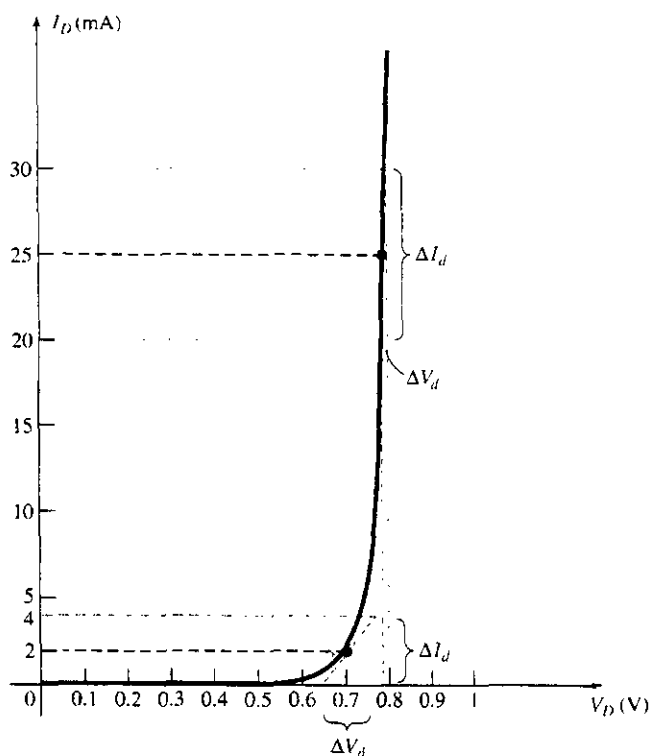


Figura 1.29 Ejemplo 1.2.

Solución

- Para $I_D = 2$ mA; la línea tangente en $I_D = 2$ mA se dibujó como se muestra en la figura y se eligió una excursión de 2 mA arriba y abajo de la corriente del diodo especificada. En $I_D = 4$ mA; $V_D = 0.76$ V, y en $I_D = 0$ mA; $V_D = 0.65$ V. Los cambios que resultan en la corriente y el voltaje son

$$\Delta I_d = 4 \text{ mA} - 0 \text{ mA} = 4 \text{ mA}$$

y

$$\Delta V_d = 0.76 \text{ V} - 0.65 \text{ V} = 0.11 \text{ V}$$

y la resistencia en ac:

$$r_d = \frac{\Delta V_d}{\Delta I_d} = \frac{0.11 \text{ V}}{4 \text{ mA}} = 27.5 \Omega$$

- Para $I_D = 25$ mA; la línea tangente en $I_D = 25$ mA se dibujó como se muestra en la figura y se eligió una excursión de 5 mA arriba y abajo de la corriente del diodo especificada. En $I_D = 30$ mA; $V_D = 0.8$ V, y en $I_D = 20$ mA; $V_D = 0.78$ V. Los cambios que resultan en la corriente y el voltaje son

$$\Delta I_d = 30 \text{ mA} - 20 \text{ mA} = 10 \text{ mA}$$

y

$$\Delta V_d = 0.8 \text{ V} - 0.78 \text{ V} = 0.02 \text{ V}$$

y la resistencia ac:

$$r_d = \frac{\Delta V_d}{\Delta I_d} = \frac{0.02 \text{ V}}{10 \text{ mA}} = 2 \Omega$$

c) Para $I_D = 2 \text{ mA}$, $V_D = 0.7 \text{ V}$ y

$$R_D = \frac{V_D}{I_D} = \frac{0.7 \text{ V}}{2 \text{ mA}} = 350 \Omega$$

la cual excede por mucho la r_d de 27.5Ω .

Para $I_D = 25 \text{ mA}$, $V_D = 0.79 \text{ V}$ y

$$R_D = \frac{V_D}{I_D} = \frac{0.79 \text{ V}}{25 \text{ mA}} = 31.62 \Omega$$

la cual excede por mucho la r_d de 2Ω .

Se ha encontrado la resistencia dinámica en forma gráfica, pero existe una definición básica en el cálculo diferencial que establece:

La derivada de una función en un punto es igual a la pendiente de la línea tangente dibujada en dicho punto.

Por tanto, la ecuación (1.6), según se definió en la figura 1.28, consiste, en esencia, encontrar la derivada de la función en el punto Q de operación. Si se encuentra la derivada de la ecuación general (1.4) para el diodo semiconductor con respecto a la polarización directa aplicada y luego se invierte el resultado, se tendrá una ecuación para la resistencia dinámica o ac en esa región. Es decir, tomando la derivada de la ecuación (1.4) con respecto a la polarización aplicada, se tendrá

$$\frac{d}{dV_D} (I_D) = \frac{d}{dV} [I_s(e^{kV_D/T_K} - 1)]$$

$$y \quad \frac{dI_D}{dV_D} = \frac{k}{T_K} (I_D + I_s)$$

siguiendo algunas maniobras básicas de cálculo diferencial. En general, $I_D \gg I_s$ en la sección de pendiente vertical de las características y

$$\frac{dI_D}{dV_D} \cong \frac{k}{T_K} I_D$$

Sustituyendo $\eta = 1$ para Ge y Si en la sección de crecimiento vertical de las características, se obtiene

$$k = \frac{11,600}{\eta} = \frac{11,600}{1} = 11,600$$

y a temperatura ambiente

$$T_K = T_C + 273^\circ = 25^\circ + 273^\circ = 298^\circ$$

$$\text{de tal forma que} \quad \frac{k}{T_K} = \frac{11,600}{298} \cong 38.93$$

$$y \quad \frac{dI_D}{dV_D} = 38.93 I_D$$

Invirtiendo el resultado para definir una proporción de resistencia ($R = V/I$), se obtiene

$$\frac{dV_D}{dI_D} \cong \frac{0.026}{I_D}$$

$$\text{o} \quad \boxed{rd = \frac{26 \text{ mV}}{I_D}}_{\text{Ge, Si}} \quad (1.7)$$



El significado de la ecuación (1.7) debe comprenderse con claridad. Éste implica que la resistencia dinámica se puede encontrar mediante la sustitución del valor de la corriente en el punto de operación del diodo en la ecuación. No hay necesidad de tener las características disponibles o de preocuparse por trazar líneas tangenciales como se definió en la ecuación (1.6). Sin embargo, es importante considerar que la ecuación (1.7) es exacta sólo para valores de I_D en la sección de crecimiento vertical de la curva. Para valores menores de I_D , $\eta = 2$ (silicio) y el valor obtenido de r_d se debe multiplicar por un factor de 2. Para los valores pequeños de I_D por abajo del punto de inflexión de la curva, la ecuación (1.7) resulta inadecuada.

Todos los niveles de resistencia que se han determinado hasta ahora han sido definidos para la unión *p-n* y no incluyen la resistencia del material semiconductor en sí (llamada resistencia del *cuerpo*), y la resistencia que presentan la conexión entre el material del semiconductor y el conductor metálico exterior (llamada resistencia del *contacto*). Estos niveles de resistencia adicionales pueden incluirse en la ecuación (1.7) al añadir la resistencia denotada por r_B como aparece en la ecuación (1.8). Por tanto, la resistencia r'_d incluye la resistencia dinámica definida por la ecuación 1.7 y la resistencia r_B que recién se presentó.

$$\boxed{r'_d = \frac{26 \text{ mV}}{I_D} + r_B} \quad \text{ohms} \quad (1.8)$$

El factor r_B puede tener un rango típico desde 0.1Ω para los dispositivos de alta potencia a 2Ω para algunos diodos de baja potencia y propósitos generales. Para el ejemplo 1.2 la resistencia ac en 25 mA se calculó como 2Ω . Utilizando la ecuación (1.7) se obtiene

$$r_d = \frac{26 \text{ mV}}{I_D} = \frac{26 \text{ mV}}{25 \text{ mA}} = 1.04 \Omega$$

La diferencia de aproximadamente 1Ω se debe tomar como una contribución de r_B .

Para el ejemplo 1.2 la resistencia ac en 2 mA se calculó como de 27.5Ω . Utilizando la ecuación (1.7), pero multiplicando por un factor de 2 para esta región (en el punto de inflexión de la curva $\eta = 2$),

$$r_d = 2 \left(\frac{26 \text{ mV}}{I_D} \right) = 2 \left(\frac{26 \text{ mV}}{2 \text{ mA}} \right) = 2(13 \Omega) = 26 \Omega$$

La diferencia de 1.5Ω se debe tomar como una contribución debida a r_B .

En realidad, la determinación de r_d con un alto grado de exactitud de una curva característica utilizando la ecuación (1.6) es un proceso difícil, y en el mejor de los casos los resultados deben manejarse con cuidado. En los niveles bajos de corriente del diodo, el factor r_B es lo suficientemente bajo comparado con r_d como para permitir que se omita su impacto sobre la resistencia ac del diodo. En los niveles altos de corriente, el nivel de r_B puede acercarse al de r_d , pero debido a que con frecuencia habrá otros elementos de resistencia de mucho mayor magnitud en serie con el diodo, a lo largo del libro se supone que la resistencia ac se encuentra determinada sólo por r_d y que el impacto de r_B se ignorará a menos que se observe lo contrario. Las mejoras tecnológicas de los años recientes sugieren que el nivel de r_B continuará disminuyendo en magnitud, y en algún momento se convertirá en un factor que con seguridad no se tomará en cuenta al compararse con r_d .

El análisis anterior se centró sólo en la región de polarización directa. En la región de polarización inversa se supondrá que el cambio en la corriente a lo largo de la línea I_s es nulo desde 0 V hasta la región Zener, y que la resistencia ac resultante al utilizar la ecuación (1.6) es suficientemente alta como para permitir la aproximación del circuito abierto.

Resistencia en ac promedio

Si la señal de entrada es lo suficientemente grande para producir una gran excursión tal como lo indica la figura 1.30, a la resistencia asociada con el dispositivo para esta región se le llama *resistencia en ac promedio*. La resistencia ac promedio es, por definición, la resistencia deter-

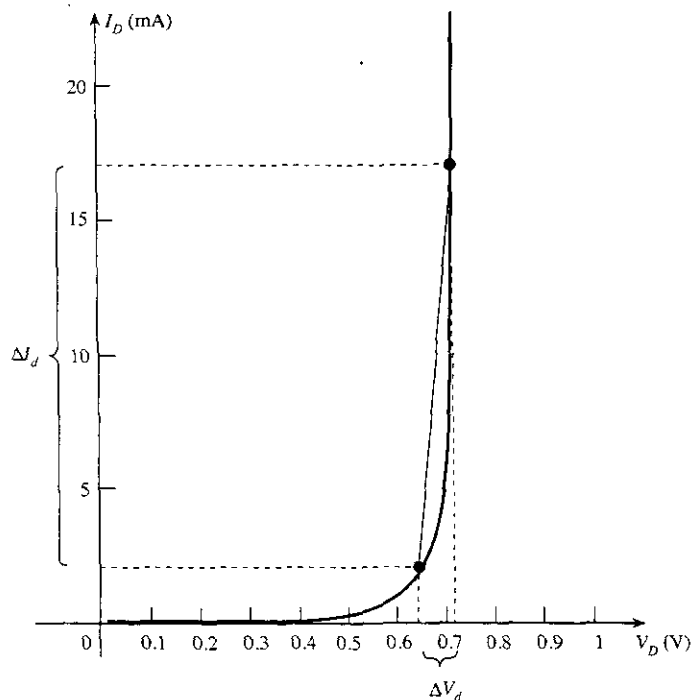


Figura 1.30 Determinación de la resistencia en ac promedio entre los límites indicados.

minada por una línea recta dibujada entre dos intersecciones establecidas por unos valores máximos y mínimos del voltaje de entrada. En forma de ecuación (obsérvese la figura 1.30),

$$r_{av} = \left. \frac{\Delta V_d}{\Delta I_d} \right|_{\text{punto por punto}} \quad (1.9)$$

Para la situación indicada por la figura 1.30,

$$\Delta I_d = 17 \text{ mA} - 2 \text{ mA} = 15 \text{ mA}$$

y
$$\Delta V_d = 0.725 \text{ V} - 0.65 \text{ V} = 0.075 \text{ V}$$

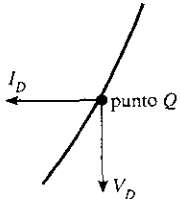
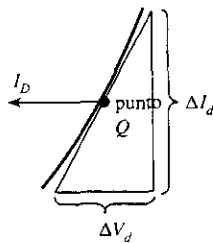
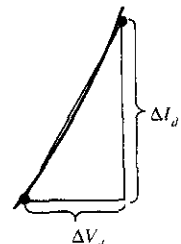
con
$$r_{av} = \frac{\Delta V_d}{\Delta I_d} = \frac{0.075 \text{ V}}{15 \text{ mA}} = 5 \Omega$$

Si la resistencia ac (r_d) estuviera determinada por $I_D = 2 \text{ mA}$, su valor no sería mayor a 5Ω , y si fuera determinada a 17 mA , sería menor. En medio, la resistencia ac haría la transición desde un valor alto en 2 mA al valor bajo en 17 mA . La ecuación (1.9) definió un valor que se considera el promedio de los valores ac de 2 a 17 mA . El hecho de que pueda utilizarse un nivel de resistencia para tan amplio rango de las características probará ser bastante útil en la definición de circuitos equivalentes para un diodo en una sección posterior.

Tabla resumen

La tabla 1.2 se desarrolló con objeto de reforzar las importantes conclusiones de las últimas páginas y de hacer énfasis en las diferencias entre los diversos niveles de resistencia. Como se indicó antes, el contenido de esta sección es el fundamento para gran cantidad de cálculos de resistencia que se efectuarán en secciones y capítulos posteriores.

TABLA 1.2 Niveles de resistencia

Tipo	Ecuación	Características especiales	Determinación gráfica
DC o estática	$R_D = \frac{V_D}{I_D}$	Definida como un <i>punto</i> en las características	
AC o dinámica	$r_d = \frac{\Delta V_d}{\Delta I_d} = \frac{26 \text{ mV}}{I_D}$	Definida por una línea tangencial en el punto <i>Q</i>	
ac promedio	$r_{av} = \frac{\Delta V_d}{\Delta I_d} \Big _{\text{punto a punto}}$	Definida por una línea recta entre los límites de operación	

1.8 CIRCUITOS EQUIVALENTES PARA DIODOS

Un circuito equivalente es una combinación de elementos que se eligen en forma adecuada para representar, lo mejor posible, las características terminales reales de un dispositivo, sistema o similar en una región de operación en particular.

En otras palabras, una vez que se define el circuito equivalente, el símbolo del dispositivo puede eliminarse de un esquema, e insertar el circuito equivalente en su lugar sin afectar de forma severa el comportamiento real del sistema. El resultado es a menudo una red que puede resolverse mediante el empleo de técnicas tradicionales de análisis de circuitos.

Circuito equivalente de segmentos lineales

Una técnica para obtener un circuito equivalente para un diodo consiste en aproximar las características del dispositivo mediante segmentos lineales, como se muestra en la figura 1.31. Como es natural, al circuito equivalente que resulta se le llama *circuito equivalente de segmentos lineales*. A partir de la figura 1.31 debe resultar obvio que los segmentos lineales no resultan ser una duplicación exacta de las características reales, sobre todo en la región de inflexión de la curva de respuesta. Sin embargo, los segmentos resultantes son lo suficientemente cercanos a la curva real como para establecer un circuito equivalente, que ofrecerá una excelente primera aproximación al comportamiento real del dispositivo. Para la sección con pendiente del equivalente, el nivel de resistencia ac promedio que se presentó en la sección 1.7 es la resistencia que aparece en el circuito equivalente de la figura 1.32, a continuación del dispositivo real. En esencia, define el nivel de resistencia cuando se encuentra en el estado “encendido”. El diodo ideal se incluye con el fin de establecer que existe una única dirección de conducción a

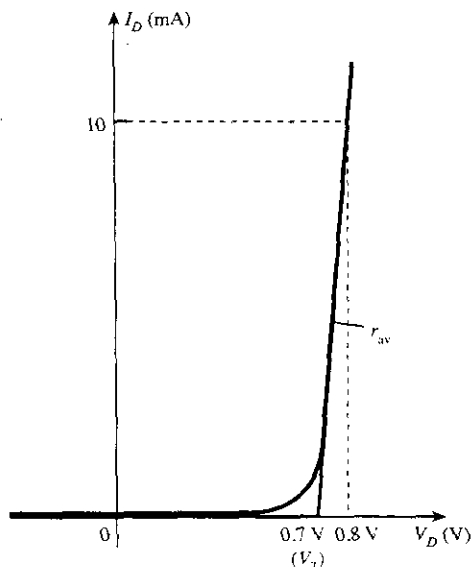


Figura 1.31 Definición del circuito equivalente de segmentos lineales mediante el empleo de segmentos de línea recta para aproximar la curva característica.

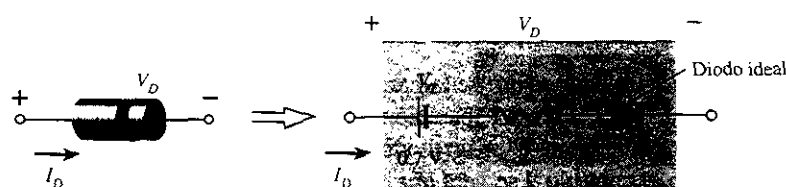


Figura 1.32 Componentes del circuito equivalente de segmentos lineales.

través del dispositivo, y se generará una condición de polarización inversa en el estado de circuito abierto para el dispositivo. Debido a que un diodo semiconductor de silicio no alcanza el estado de conducción hasta que V_D alcanza 0.7 V con una polarización directa (según se muestra en la figura 1.31), debe aparecer una batería V_T que se opone a la conducción en el circuito equivalente según se muestra en la figura 1.32. La batería sólo especifica que el voltaje a través del dispositivo debe ser mayor que el umbral del voltaje de la batería antes que pueda establecerse la conducción a través del dispositivo en la dirección que dicta el diodo ideal. Cuando se establezca la conducción, la resistencia del diodo será el valor especificado de r_{av} .

Sin embargo, tenga en cuenta que V_T en el circuito equivalente no es una fuente de voltaje independiente. Si se coloca un voltímetro a través de un diodo aislado encima de una mesa de laboratorio, no se obtendrá una lectura de 0.7 V. La batería sólo representa el defasamiento horizontal de las características que deben excederse para establecer la conducción.

Por lo regular, el nivel aproximado de r_{av} puede determinarse a partir de un punto de operación en la hoja de especificaciones (la cual se analizará en la sección 1.9). Por ejemplo, para un diodo semiconductor de silicio, si $I_F = 10$ mA (una corriente de conducción directa en el diodo) a $V_D = 0.8$ V, se sabe que para el silicio se requiere un cambio de 0.7 V antes que haya conducción y

$$r_{av} = \left. \frac{\Delta V_d}{\Delta I_d} \right|_{\text{punto a punto}} = \frac{0.8 \text{ V} - 0.7 \text{ V}}{10 \text{ mA} - 0 \text{ mA}} = \frac{0.1 \text{ V}}{10 \text{ mA}} = 10 \Omega$$

según se obtuvo para la figura 1.30.

Circuito equivalente simplificado

Para la mayor parte de las aplicaciones, la resistencia r_{av} es lo suficientemente pequeña como para omitirse en comparación con otros elementos en la red. La eliminación de r_{av} del circuito

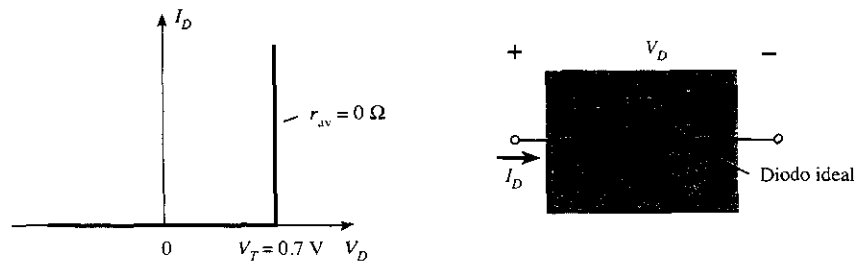


Figura 1.33 Circuito equivalente simplificado para el diodo semiconductor de silicio.

equivalente es la misma que aparece en las características del diodo, tal como se muestra en la figura 1.33. Desde luego, esta aproximación se emplea con frecuencia en el análisis de circuitos semiconductores según se demuestra en el capítulo 2. El circuito equivalente reducido aparece en la misma figura. Éste establece que un diodo de silicio con polarización directa en un sistema electrónico bajo condiciones de dc tiene una caída de 0.7 V a través de él, en el estado de conducción a cualquier nivel de corriente del diodo (desde luego, dentro de los valores nominales).

Circuito equivalente ideal

Ahora que r_{av} se eliminó del circuito equivalente se tomará un paso más, y se establece que un nivel de 0.7-V puede, a menudo, omitirse, en comparación con el nivel de voltaje aplicado. En este caso, el circuito equivalente se reducirá al de un diodo ideal, tal como lo muestra la figura 1.34 con sus características. En el capítulo 2 se verá que esta aproximación suele hacerse sin perjuicio considerable en cuanto a exactitud.

En la industria, una sustitución popular para la frase “circuito equivalente de diodo” es *modelo de diodo*, un modelo que, por definición, es la representación de un dispositivo, objeto y sistema existente, y así sucesivamente. De hecho, esta terminología de sustitución se empleará casi de manera exclusiva en los capítulos subsiguientes.

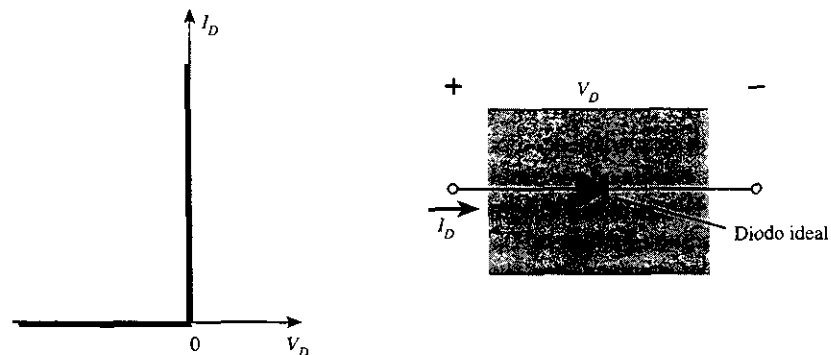
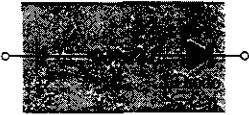
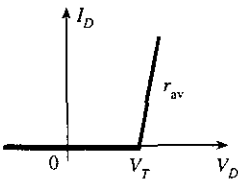
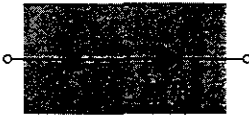
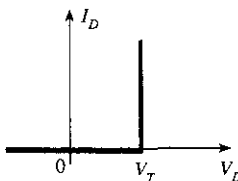
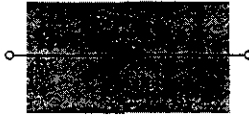
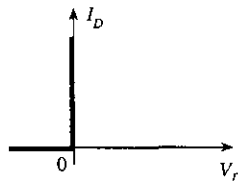


Figura 1.34 Diodo ideal y sus características.

Tabla resumen

Por claridad, los modelos de diodos que se utilizan para el rango de parámetros y aplicaciones de circuito se presentan en la tabla 1.3, con todas sus características en segmentos lineales. Cada uno se investigará con mayor detalle en el capítulo 2. Siempre existen excepciones a la regla general, pero es muy cierto que el modelo equivalente simplificado se utilizará con mucha frecuencia en el análisis de sistemas electrónicos, mientras que el diodo ideal es aplicado con mayor regularidad en el análisis de los sistemas de fuente de alimentación donde se localizan los mayores voltajes.

TABLA 1.3 Circuitos equivalentes para diodos (modelos)

Tipo	Condiciones	Modelo	Características
Modelo de segmentos lineales			
Modelo simplificado	$R_{red} \gg r_{av}$		
Dispositivo ideal	$R_{red} \gg r_{av}$ $E_{red} \gg V_T$		

1.9 HOJAS DE ESPECIFICACIONES DE DIODOS

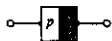
Los datos acerca de los dispositivos semiconductores específicos suele presentarlos el fabricante de dos maneras. Es común que consistan sólo de una breve descripción limitada, a veces de una página. De otra forma, es un extenso examen de las características con sus gráficas, trabajo artístico, tablas, etc. Sin embargo, en cualquier caso, existen piezas específicas de datos que deben incluirse para una correcta utilización del dispositivo. Éstos incluyen:

1. El voltaje directo V_F (a una corriente y temperatura especificadas)
2. La corriente directa máxima I_F (a una temperatura especificada)
3. La corriente de saturación inversa I_R (a una corriente y temperatura especificadas)
4. El valor de voltaje inverso [PIV o PRV o V(BR), donde BR proviene del término “ruptura” (por la inicial en inglés de: *breakdown*) (a una temperatura especificada)]
5. El nivel máximo de disipación de potencia a una temperatura en particular
6. Los niveles de capacitancia (según se definirá en la sección 1.10)
7. El tiempo de recuperación inverso t_{rr} (como se definirá en la sección 1.11)
8. El rango de temperatura de operación

Dependiendo del tipo de diodo que se considere, también se presentan datos adicionales, como el rango de frecuencia, el nivel de ruido, el tiempo de conmutación, los niveles de resistencia térmica y los valores pico repetitivos. Para la aplicación considerada, el significado de los datos, en general, será claro por sí mismo. Si se proporciona la máxima potencia o el valor nominal de disipación, se entiende que éste es igual al producto siguiente:

$$P_{D_{max}} = V_D I_D \quad (1.10)$$

donde I_D y V_D son la corriente y el voltaje del diodo en un punto de operación en particular.



Si se aplica el modelo simplificado para una aplicación en particular (un caso frecuente), se puede sustituir $V_D = V_T = 0.7 \text{ V}$ para un diodo de silicio en la ecuación (1.10), y determinar la disipación de potencia resultante para compararla contra el valor de máxima potencia. Es decir,

$$P_{\text{disipada}} \cong (0.7 \text{ V}) I_D \quad (1.11)$$

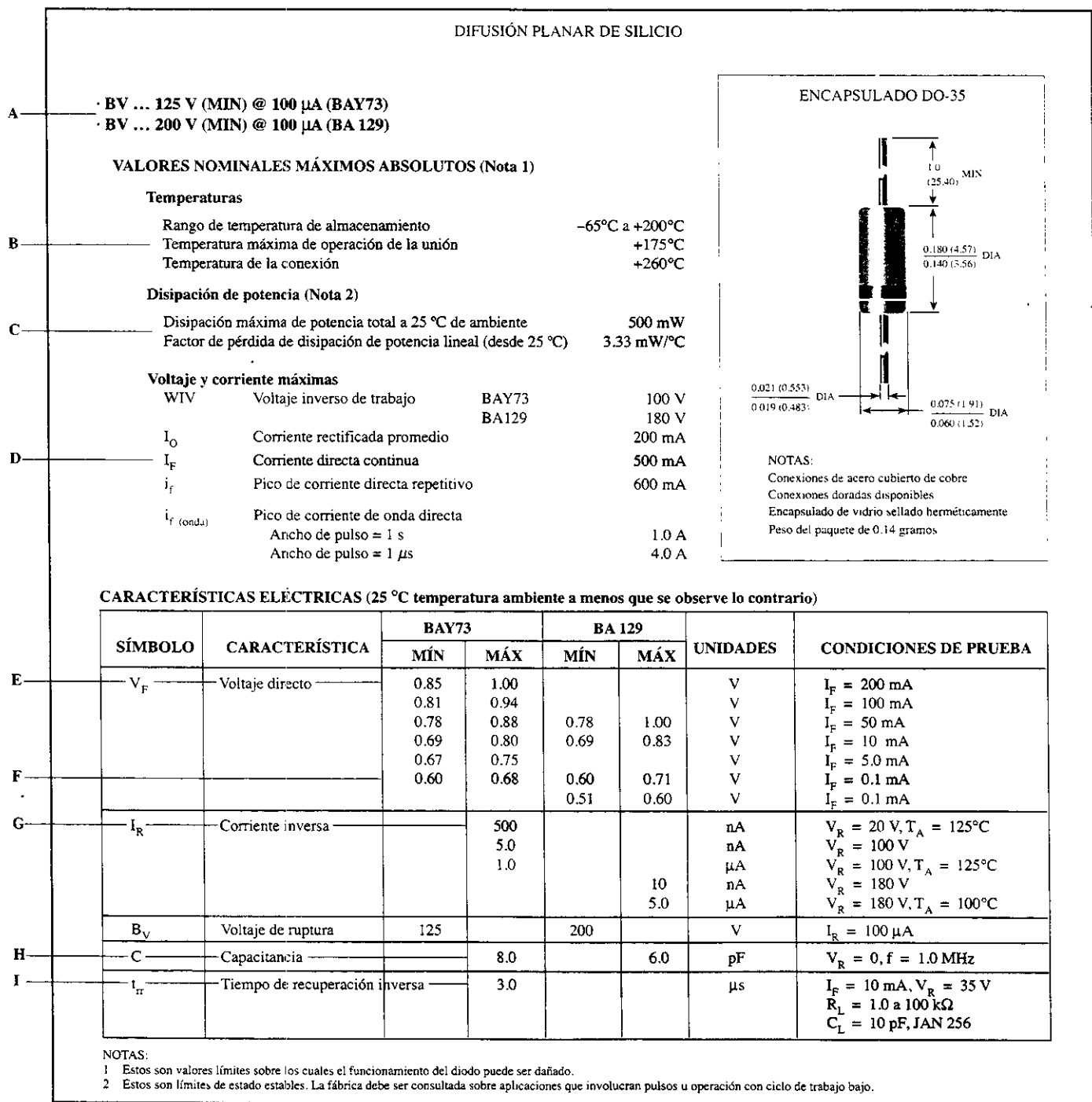


Figura 1.35 Características eléctricas de los diodos de alto voltaje y baja fuga Fairchild BAY73 · BA 129. (Cortesía de Fairchild Camera and Instrument Corporation.)



Una copia exacta de los datos proporcionados por Fairchild Camera and Instrument Corporation para sus diodos de alto voltaje y baja fuga BAY73 y BA 129 aparece en las figuras 1.35 y 1.36. Este ejemplo representaría la lista extensa de datos y características. El término *rectificador* se aplica a un diodo cuando se emplea con frecuencia en un proceso de *rectificación*, mismo que se describirá en el capítulo 2.

CURVAS CARACTERÍSTICAS ELÉCTRICAS TÍPICAS
a 25 °C temperatura ambiente a menos que se observe lo contrario

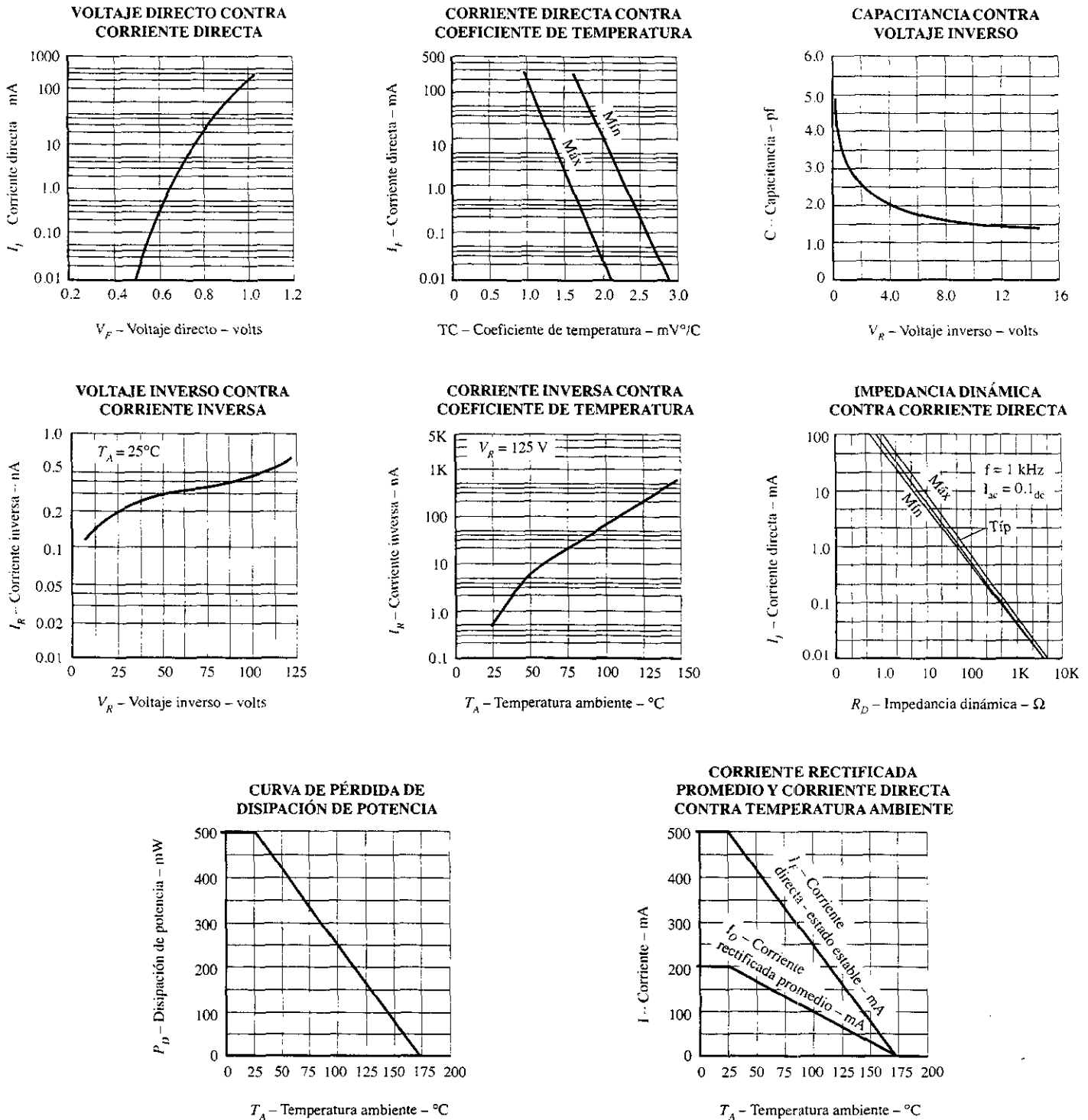


Figura 1.36 Características térmicas de los diodos de alto voltaje Fairchild BAY73 y BA 129. (Cortesía de Fairchild Camera and Instrument Corporation.)



Las áreas específicas de las hojas de datos se resaltaron en gris con una letra de identificación correspondiente a la descripción siguiente:

- A: Los voltajes *mínimos* de polarización inversa (PIV) para cada diodo a una corriente de saturación inversa especificada.
- B: Características de temperatura según se indican. Observe el empleo de la escala Celsius y un amplio rango de utilización [recuerde que $32\text{ }^{\circ}\text{F} = 0\text{ }^{\circ}\text{C}$ = congelamiento (H_2O) y $212\text{ }^{\circ}\text{F} = 100\text{ }^{\circ}\text{C}$ = ebullición (H_2O)].
- C: Nivel de disipación de potencia máxima $P_D = V_D I_D = 500\text{ mW}$. El valor de potencia máxima disminuye a una proporción de 3.33 mW por grado de incremento en la temperatura arriba de la temperatura ambiente ($25\text{ }^{\circ}\text{C}$), según se indica con claridad en la *curva de pérdida de disipación de potencia* en la figura 1.36.
- D: Corriente directa continua máxima $I_{F,\text{máx}} = 500\text{ mA}$ (observe I_F en función de la temperatura en la figura 1.36).
- E: El rango de valores de V_F en $I_F = 200\text{ mA}$. Observe que excede $V_T = 0.7\text{ V}$ para ambos dispositivos.
- F: El rango de valores de V_F en $I_F = 1.0\text{ mA}$. En este caso, observe cómo los límites superiores se encuentran alrededor de 0.7 V .
- G: En $V_R = 20\text{ V}$ y una temperatura de operación típica $I_R = 500\text{ nA} = 0.5\text{ }\mu\text{A}$, mientras que a un voltaje inverso mayor I_R cae a $5\text{ nA} = 0.005\text{ }\mu\text{A}$.
- H: El nivel de capacitancia entre las terminales es aproximadamente de 8 pF para el diodo BAY73 en $V_R = V_D = 0\text{ V}$ (sin polarización) y con una frecuencia aplicada de 1 MHz .
- I: El tiempo de recuperación inverso es $3\text{ }\mu\text{s}$ para la lista de condiciones de operación.

En algunas de las curvas de la figura 1.36 se utiliza una escala logarítmica. Una breve investigación de la sección 11.2 debe ayudar a la lectura de las gráficas. Observe, en la figura superior izquierda, la manera en que V_F se incrementó desde cerca de 0.5 V a más de 1 V , mientras I_F aumentó de $10\text{ }\mu\text{A}$ a más de 100 mA . En la figura inferior se encuentra que la corriente de saturación inversa cambia un poco con los cambios crecientes de V_R , pero permanece en menos de 1 nA a temperatura ambiente hasta $V_R = 125\text{ V}$. Sin embargo, como se aprecia en la figura adjunta, la corriente de saturación inversa se incrementa con rapidez con el aumento en la temperatura (tal como se pronosticó antes).

En la figura superior derecha se observa cómo disminuye la capacitancia con el incremento en el voltaje de polarización inversa, y en la figura inferior se puede ver que la resistencia ac (r_d) es sólo cercana a $1\text{ }\Omega$ en 100 mA y aumenta a $100\text{ }\Omega$ en corrientes menores de 1 mA (según se esperaba a partir del análisis en secciones anteriores).

La corriente rectificada promedio, la corriente directa pico repetitiva y la corriente de sobrecarga pico, como aparecen en la hoja de especificaciones, se definen de la manera siguiente:

1. *Corriente rectificada promedio*. Una señal rectificada de media onda (descrita en la sección 2.8) tiene un valor promedio definido por $I_{\text{av}} = 0.318 I_{\text{pico}}$. El valor de la corriente promedio es menor que las corrientes directas continuas o pico repetitivo, porque una forma de onda de corriente de media onda tendrá valores instantáneos mucho más altos que el valor promedio.
2. *Corriente directa pico repetitivo*. Éste es el valor máximo instantáneo de la corriente directa repetitiva. Observe que debido a que se encuentra en este nivel durante un breve periodo, su nivel puede ser superior al nivel continuo.
3. *Corriente de sobrecarga pico*. En ocasiones, durante el encendido, el mal funcionamiento y otros factores similares, existirán corrientes muy altas a través del dispositivo durante breves intervalos de tiempo (que no son repetitivos). Este valor nominal define el valor máximo y el intervalo de tiempo para tales sobrecargas del nivel de corriente.

Mientras más se está en contacto con las hojas de especificaciones, éstas se volverán más “amistosas”, en particular cuando el impacto de cada parámetro se comprende con mayor claridad para la aplicación que se esté investigando.

1.10 CAPACITANCIA DE TRANSICIÓN Y DIFUSIÓN

Los dispositivos electrónicos son inherentemente sensibles a las frecuencias muy altas. Casi todos los efectos relativos a la capacitancia pueden omitirse a bajas frecuencias, debido a que su reactancia $X_C = 1/2\pi fC$ es muy grande (equivalente a circuito abierto). Sin embargo, esto no se puede ignorar a frecuencias muy altas. X_C será lo suficientemente pequeño debido al alto valor de f para presentar una trayectoria de “corto” de baja reactancia. En el diodo semiconductor $p-n$ existen dos efectos de capacitancia que deben considerarse. Ambos tipos de capacitancia se encuentran presentes en las regiones de polarización directa y polarización inversa, pero una sobrepasa a la otra de tal manera que en cada región sólo se consideran los efectos de una sola capacitancia.

En la región de polarización inversa se tiene la capacitancia de la región de transición o de agotamiento (C_T), mientras que en la región de polarización directa se tiene la capacitancia de difusión (C_D) o de almacenamiento.

Recuerde que la ecuación básica para la capacitancia de un capacitor de placas paralelas está definida por $C = \epsilon A/d$, donde ϵ es la permitividad del dieléctrico (aislante) entre las placas de área A separada por una distancia d . En la región de polarización inversa existe una región de agotamiento (libre de portadores) que, en esencia, se comporta como un aislante entre las capas de carga opuesta. Debido a que el ancho de esta región (d) se incrementará mediante el aumento del potencial de polarización inversa, la capacitancia de transición que resulta disminuirá, como lo muestra la figura 1.37. El hecho de que la capacitancia es dependiente del potencial de polarización inverso aplicado, tiene aplicación en numerosos sistemas electrónicos. De hecho, en el capítulo 20 se presentará un diodo cuya operación depende totalmente de este fenómeno.

Aunque el efecto descrito también se encontrará presente en la región de polarización directa, éste es mucho menor que un efecto de capacitancia directamente dependiente de la velocidad a la que la carga es inyectada hacia las regiones justo afuera de la región de agotamiento. El resultado es que niveles crecientes de corriente resultarán en niveles crecientes de la capacitancia de difusión. Sin embargo, los niveles crecientes de corriente resultan en niveles reducidos de resistencia asociada (lo cual se demostrará más adelante), y la constante de tiempo resultante ($\tau = RC$), misma que es muy importante en las aplicaciones de alta velocidad, porque no se hace excesiva.

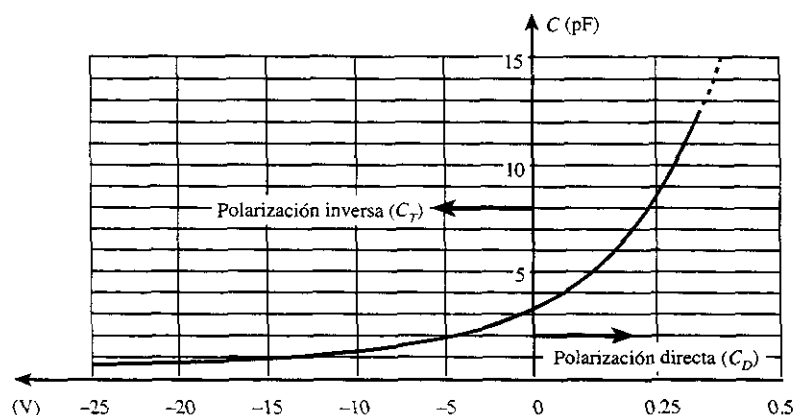


Figura 1.37 Capacitancia de transición y de difusión en función de la polarización aplicada para un diodo de silicio.

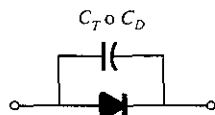


Figura 1.38 Se incluye el efecto de la capacitancia de transición o de difusión en el diodo semiconductor.

Los efectos de la capacitancia que se describieron antes se encuentran representados por un capacitor en paralelo con el diodo ideal, según se muestra en la figura 1.38. Sin embargo, para las aplicaciones de baja o mediana frecuencia (excepto en el área de potencia), por lo regular, el capacitor no está incluido en el símbolo del diodo.

1.11 TIEMPO DE RECUPERACIÓN INVERSO

Existen ciertas partes de datos que, por lo general, presentan los fabricantes en las hojas de especificaciones de diodos. Una de estas cantidades que todavía no se ha considerado es el tiempo de recuperación inverso, y se denota mediante t_{rr} . En el estado de polarización directa, se mostró antes que existe un gran número de electrones del material tipo n que pasan a través del material tipo p , y un gran número de huecos en el tipo n , lo cual es un requisito para la conducción. Los electrones en el tipo p y los huecos que se difunden hacia el material tipo n establecen un gran número de portadores minoritarios en cada material. Si el voltaje aplicado se invierte para establecer una nueva situación de polarización inversa, idealmente se desearía ver que el diodo cambia de forma instantánea, del estado de conducción al de no conducción. Sin embargo, debido a que un gran número de portadores minoritarios se localizan en cada material, la corriente del diodo se invertirá como se muestra en la figura 1.39, y permanecerá en este nivel susceptible de ser medido durante un tiempo t_s (tiempo de almacenamiento) que requieren los portadores minoritarios para retornar a su estado de portadores mayoritarios dentro del material opuesto. En esencia, el diodo permanecerá en el estado de circuito cerrado con una corriente $I_{inversa}$ determinada por los parámetros de la red. En algún momento, una vez que ha pasado esta fase de almacenamiento, la corriente se reducirá en nivel hasta llegar a aquel asociado con el estado de no conducción. Este segundo periodo se denota mediante t_t (intervalo de transición). El tiempo de recuperación inversa es la suma de estos dos intervalos: $t_{rr} = t_s + t_t$. Naturalmente, es una consideración importante en las aplicaciones de conmutación de alta velocidad. Casi todos los diodos de conmutación disponibles en el mercado tienen un t_{rr} en el rango de unos cuantos nanosegundos hasta $1 \mu s$. Sin embargo, hay unidades disponibles con un t_{rr} de sólo unos cuantos cientos de picosegundos (10^{-12}).

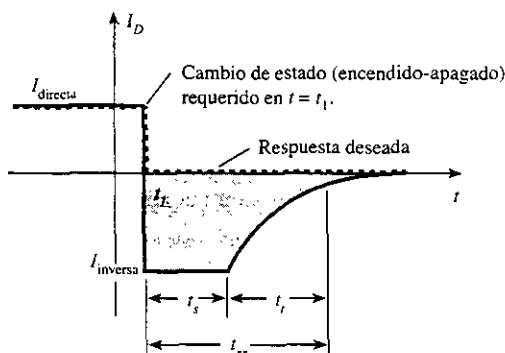


Figura 1.39 Definición del tiempo de recuperación inverso.

1.12 NOTACIÓN DE DIODOS SEMICONDUCTORES

La notación que más se suele utilizar para los diodos semiconductores se presenta en la figura 1.40. Para la mayor parte de los diodos cualquier marca, como un punto o banda, según lo muestra la figura 1.40, aparece en el extremo del cátodo. La terminología ánodo y cátodo es una herencia de la notación de bulbos. El ánodo se refiere a un potencial mayor o positivo y el cátodo se refiere a una terminal a un potencial más bajo o negativo. Esta combinación de niveles de polarización dará por resultado una condición de polarización directa o “encendido” para el diodo. En la figura 1.41 aparecen varios diodos semiconductores disponibles en el mercado. Algunos detalles de la construcción real de dispositivos, como los que aparecen en la figura 1.41, se explican en los capítulos 12 y 20.

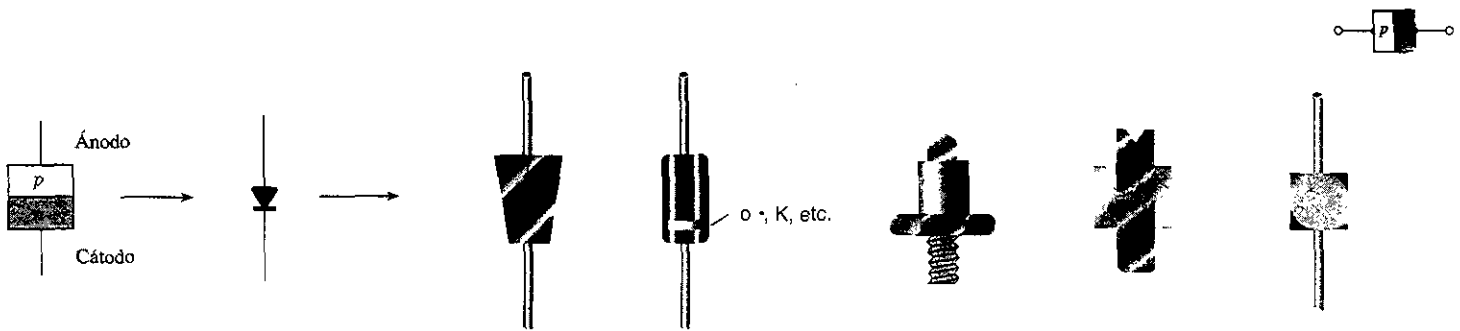
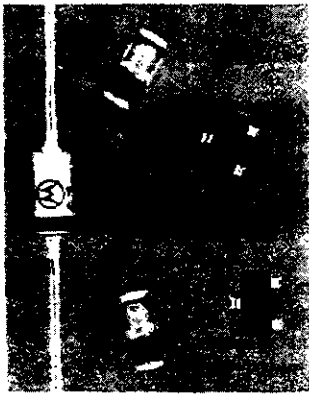
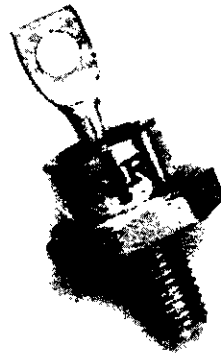


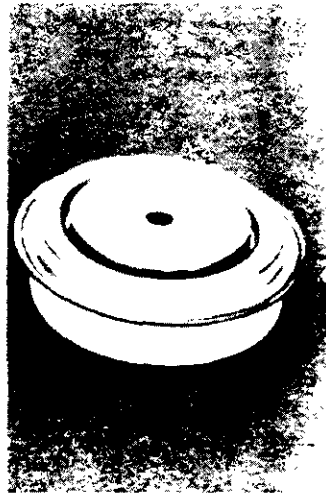
Figura 1.40 Notación de los diodos semiconductores.



(a)



(b)



(c)

Figura 1.41 Varios tipos de diodos de unión. [a) Cortesía de Motorola Inc.; y b) y c) Cortesía de International Rectifier Corporation.]

1.13 PRUEBA DE DIODOS

La condición de un diodo semiconductor se puede determinar con rapidez utilizando: 1) un multímetro digital (DDM, por las iniciales en inglés de: *digital display meter*) con una *función de verificación de diodos*, 2) la *sección de medición de ohms* de un multímetro, o 3) un *trazador de curvas*.

Función de verificación de diodos

En la figura 1.42 se ilustra un multímetro digital con capacidad de verificación de diodos. Observe el pequeño símbolo de diodo en la parte inferior del selector. Cuando se coloca en esta posición y se conecta como se muestra en la figura 1.43a, el diodo debe estar en "encendido", y la pantalla indicará el voltaje de polarización directa tal como 0.67 V (para Si). El medidor tiene una fuente interna de corriente constante (cercana a 2 mA) que definirá el nivel de voltaje, como se muestra en la figura 1.43b. Una indicación OL al conectar como en la figura 1.43a revela un diodo abierto (defectuoso). Si las conexiones se encuentran invertidas, debe resultar una indicación OL debido a la equivalencia de circuito abierto que se espera para el diodo. Por tanto, en general, una indicación OL en ambas direcciones es indicativa de un diodo abierto o defectuoso.

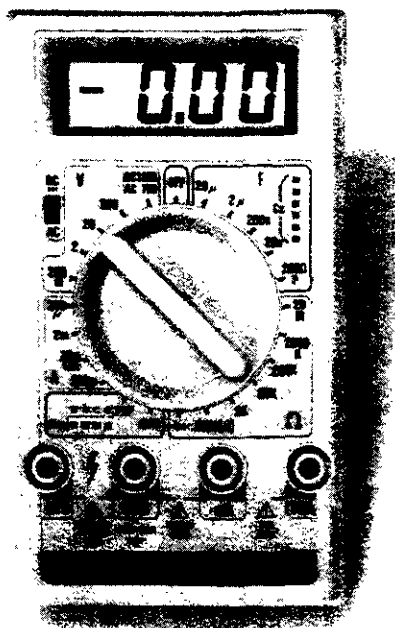


Figura 1.42 Multímetro digital con capacidad de verificación de diodos. (Cortesía de Computronics Technology, Inc.)

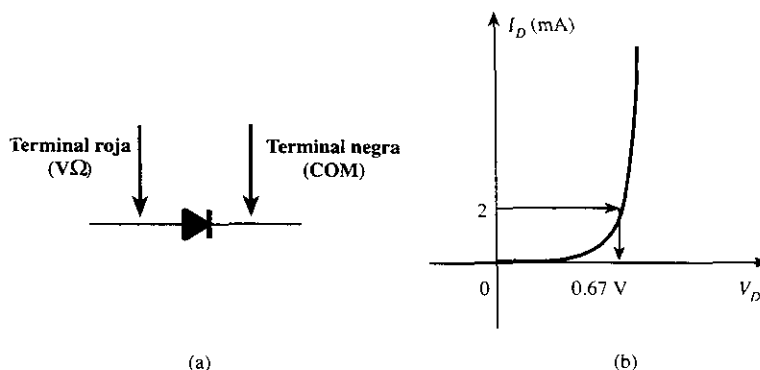


Figura 1.43 Verificación de un diodo en el estado de polarización directa.

Prueba con un óhmetro

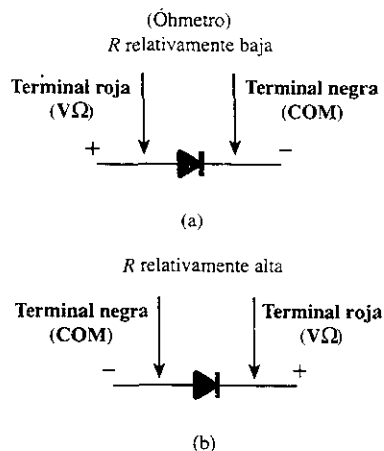


Figura 1.44 Verificación de un diodo mediante un óhmetro.

En la sección 1.7 se encontró que la resistencia en polarización directa para un diodo semiconductor es bastante baja comparada con el nivel de polarización inversa. Por tanto, si se mide la resistencia de un diodo utilizando las conexiones que se señalan en la figura 1.44a, se puede esperar un nivel relativamente bajo. La indicación resultante en el óhmetro será una función de la corriente establecida por la batería interna a través del diodo (a menudo 1.5 V) por el circuito del óhmetro. Mientras más alta sea la corriente, menor será el nivel de resistencia. Para la situación de polarización inversa la lectura debe ser bastante alta, requiriendo, tal vez, de una mayor escala de resistencia en el medidor, según se indica en la figura 1.44b. Una lectura alta en la resistencia en ambas direcciones indica con claridad una condición abierta (dispositivo defectuoso), mientras que una lectura muy baja de la resistencia en ambas direcciones quizá indique un dispositivo en corto.

Trazador de curvas

El trazador de curvas de la figura 1.45 puede desplegar las características de una gran cantidad de dispositivos, incluyendo el diodo semiconductor. Al conectar el diodo en forma adecuada al tablero de pruebas en la parte central e inferior de la unidad y ajustando los controles, se puede

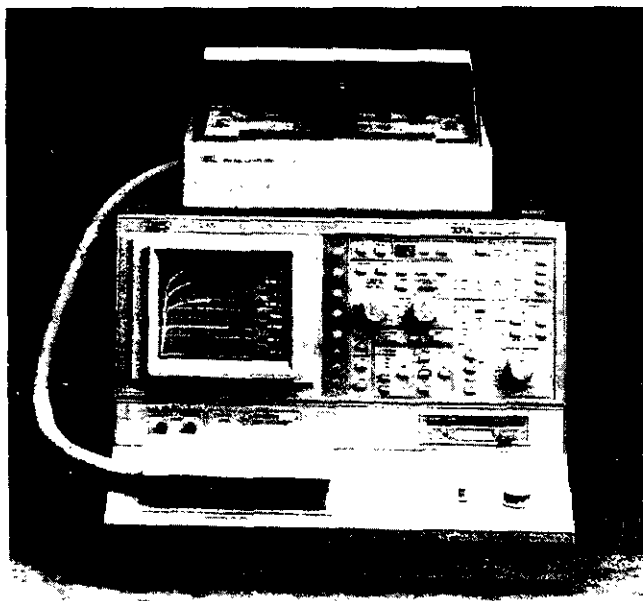


Figura 1.45 Trazador de curvas.
(Cortesía de Tektronix, Inc.)

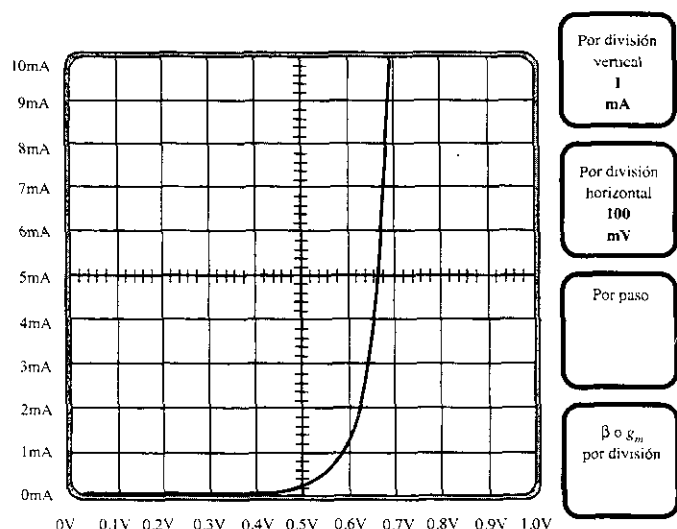


Figura 1.46 Respuesta del trazador de curvas para el diodo de silicio 1N4007.

obtener una imagen en la pantalla como la de la figura 1.46. Observe que la escala vertical es de 1 mA/div, lo que da por resultado los niveles indicados. Para el eje horizontal, la escala es de 100 mV/div, lo que da por resultado los niveles de voltaje que se indican. Para un nivel de 2-mA, como se definió para un DDM, el voltaje resultante sería de $625 \text{ mV} = 0.625 \text{ V}$. Aunque, en principio, el instrumento parece ser muy complejo, el manual de instrucciones y algunos momentos de contacto revelarán que los resultados deseados por lo general se pueden obtener sin mucho esfuerzo y tiempo. El mismo instrumento aparecerá en más de una ocasión en los capítulos subsiguientes, a medida que se investigan las características de diversos dispositivos.

1.14 DIODOS ZENER

La región Zener de la figura 1.47 se analizó con cierto nivel de detalle en la sección 1.6. La característica cae de manera casi vertical en un potencial de polarización inversa denotado como V_Z . El hecho de que la curva caiga abajo y lejos del eje horizontal, en vez de arriba y lejos para la región positiva V_D , revela que la corriente en la región Zener tiene una dirección opuesta a aquella de un diodo con polarización directa.

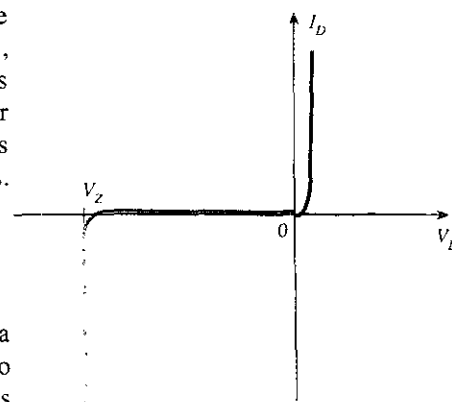


Figura 1.47 Revisión de la región Zener.

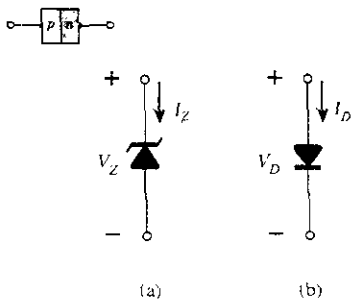


Figura 1.48 Dirección de la conducción: a) diodo Zener; b) diodo semiconductor.

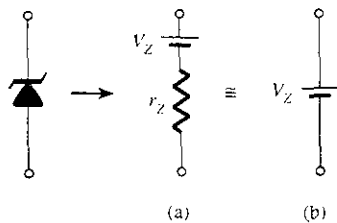


Figura 1.49 Circuito equivalente de Zener: a) completo; b) aproximado.

Esta región de características únicas se utiliza en el diseño de los *diodos Zener*, los cuales tienen el símbolo gráfico que aparece en la figura 1.48a. Tanto el diodo semiconductor como el diodo Zener se presentan uno al lado de otro en la figura 1.48 con objeto de asegurar que la dirección de la conducción se comprenda con todo detalle junto con la polarización requerida del voltaje aplicado. El diodo semiconductor, en el estado “encendido”, soportará una corriente en la dirección de la flecha en el símbolo. Para el diodo Zener la dirección de la conducción es opuesta a la de la flecha sobre el símbolo, de acuerdo con el comentario en la introducción de esta sección. Observe, a su vez, que la polarización de V_D y de V_Z son iguales, como si se hubieran obtenido en caso de que cada uno hubiera sido un elemento resistivo.

La localización de la región Zener puede controlarse mediante la variación de los niveles de dopado. Un incremento en el dopado, que produzca un aumento en el número de impurezas agregadas, disminuirá el potencial Zener. Los diodos Zener se encuentran disponibles con potenciales Zener desde 1.8 hasta 200 V, con rangos de potencia desde $\frac{1}{4}$ hasta 50 W. Debido a su capacidad para soportar mayor temperatura y corriente, por lo general en la manufactura de los diodos Zener se prefiere silicio. El circuito equivalente completo del diodo Zener en la región Zener, incluye una pequeña resistencia dinámica y una batería igual al potencial Zener, como se muestra en la figura 1.49. Sin embargo, para todas las aplicaciones siguientes se deberá suponer como primera aproximación que las resistencias son de magnitudes mucho mayores que la resistencia Zener equivalente, y que el circuito equivalente es el que se indica en la figura 1.49b.

En la figura 1.50 se muestra un dibujo más grande de la región Zener con objeto de permitir una descripción de los datos con el nombre Zener que aparecen en la tabla 1.4 para un diodo Fairchild 1N961 de 500-mW y 20%. El término “nominal” asociado con V_Z indica que se trata de un valor típico promedio. Debido a que se trata de un diodo de 20%, se puede esperar que el

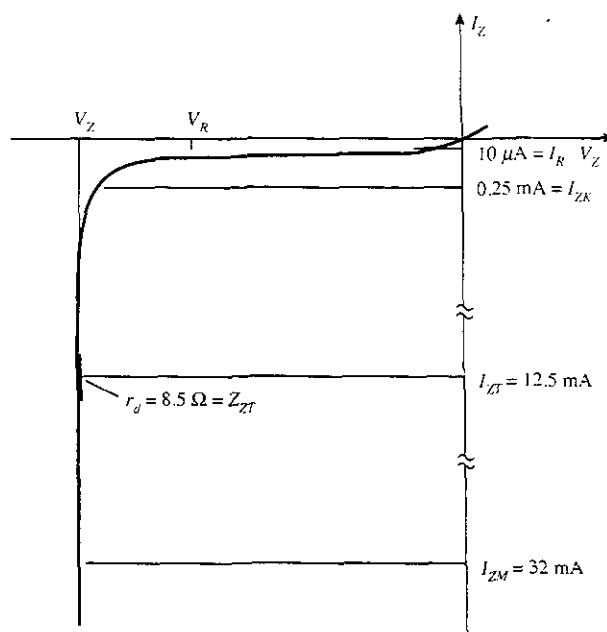


Figura 1.50 Características de prueba de Zener (Fairchild 1N961).

TABLA 1.4 Características eléctricas (25°C de temperatura ambiente, a menos que se observe lo contrario)

Tipo Jedec	Voltaje Zener nominal, V_Z (V)	Corriente de prueba, I_{ZT} (mA)	Impedancia dinámica máxima Z_{ZT} o I_{ZT} (Ω)	Impedancia máxima de punto de inflexión Z_{ZK} o I_{ZK} (Ω) (mA)	Corriente inversa máxima I_R o V_R (μA)	Voltaje de prueba V_R (V)	Corriente reguladora máxima I_{ZM} (mA)	Coefficiente de temperatura típico (%/°C)
1N961	10	12.5	8.5	700 0.25	10	7.2	32	+0.072

potencial Zener varíe cerca de $10\text{ V} \pm 20\%$ o entre 8 y 12 V en su rango de aplicación. También se encuentran disponibles diodos de 10% y 5% con las mismas especificaciones. La corriente de prueba I_{ZT} es la definida por el nivel $\frac{1}{2}$ de potencia y Z_{ZT} es la impedancia dinámica en este nivel de corriente. La máxima impedancia del punto de inflexión ocurre en la corriente del punto de inflexión de I_{ZK} . La corriente de saturación inversa se alcanza en un nivel particular de potencia, e I_{ZM} representa la corriente máxima para la unidad de 20%.

El coeficiente de temperatura refleja el cambio porcentual en V_Z con respecto a la temperatura. Ésta se define por la ecuación

$$T_C = \frac{\Delta V_Z}{V_Z(T_1 - T_0)} \times 100\% \quad \%/^{\circ}\text{C} \quad (1.12)$$

donde ΔV_Z es el cambio que resulta en el potencial Zener debido a la variación de la temperatura. Observe en la figura 1.51 que el coeficiente de temperatura puede ser positivo, negativo, o incluso hasta cero para diferentes niveles Zener. Un valor positivo reflejaría un incremento en V_Z con un aumento en la temperatura, mientras que un valor negativo daría como resultado la disminución en el valor con un incremento en la temperatura. Los niveles de 24 V, 6.8 V, y 3.6 V se refieren a tres diodos Zener que tienen estos valores nominales dentro de la misma familia Zener como el 1N961. Naturalmente, la curva para el 1N961 de 10 V caería entre las curvas de los dispositivos de 6.8 V y 24 V. Regresando a la ecuación (1.12), T_0 es la temperatura a la cual se ofrece V_Z (por lo regular la temperatura ambiente, 25 °C), y T_1 es el nuevo nivel. El ejemplo 1.3 demostrará el empleo de la ecuación (1.12).

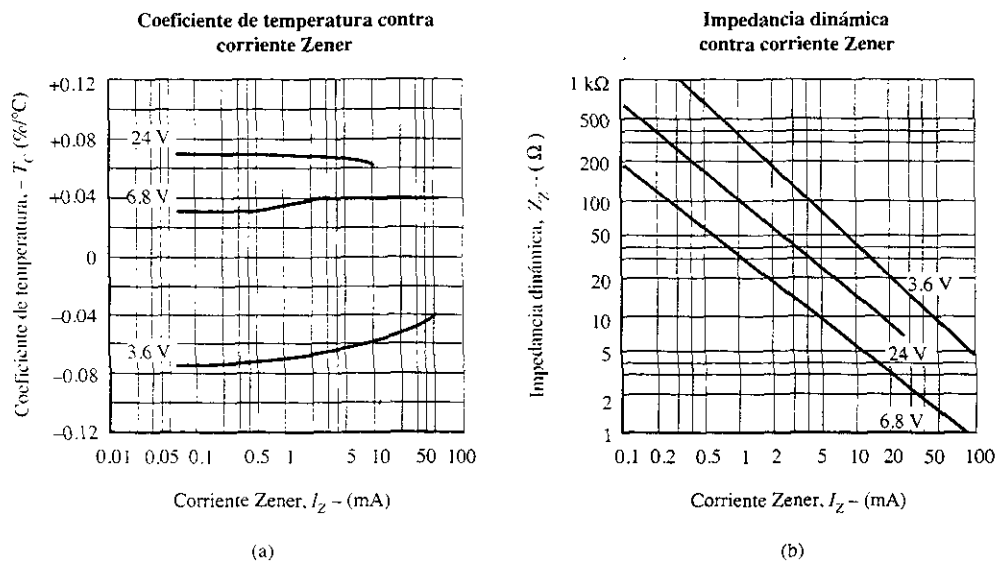


Figura 1.51 Características eléctricas para un diodo Zener Fairchild de 500 mW. (Cortesía de Fairchild Camera and Instrument Corporation.)

Determinar el voltaje nominal para un diodo Zener Fairchild 1N961 de la tabla 1.4 a una temperatura de 100 °C.

EJEMPLO 1.3

Solución

A partir de la ecuación (1.12),

$$\Delta V_Z = \frac{T_C V_Z}{100} (T_1 - T_0)$$



Los valores sustituidos a partir de la tabla 1.4 generan

$$\begin{aligned}\Delta V_Z &= \frac{(0.072)(10 \text{ V})}{100}(100^\circ\text{C} - 25^\circ\text{C}) \\ &= (0.0072)(75) \\ &= 0.54 \text{ V}\end{aligned}$$

y debido al coeficiente de temperatura positivo, un nuevo potencial Zener, definido por V'_Z , es

$$\begin{aligned}V'_Z &= V_Z + 0.54 \text{ V} \\ &= 10.54 \text{ V}\end{aligned}$$

La variación en la impedancia dinámica (fundamentalmente, su resistencia en serie) con la corriente aparece en la figura 1.51b. Una vez más, el Zener de 10 V surge entre los Zeners de 6.8 V y de 24 V. Observe que mientras más grande es la corriente (o mientras más arriba se esté en el eje vertical de la figura 1.47), menor será el valor de la resistencia. Observe igualmente que cuando se cae abajo del punto de inflexión de la curva, la resistencia se incrementa a niveles significativos.

La identificación de la terminales y el encapsulado para una variedad de diodos Zener aparece en la figura 1.52. La figura 1.53 es una fotografía de diversos dispositivos Zener. Observe que su aspecto es muy similar al diodo semiconductor. Algunas áreas de aplicación del diodo Zener se examinarán en el capítulo 2.

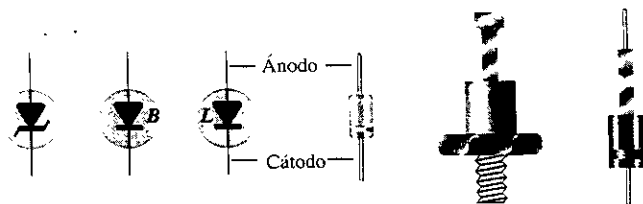


Figura 1.52 Identificación y símbolos de las terminales Zener.

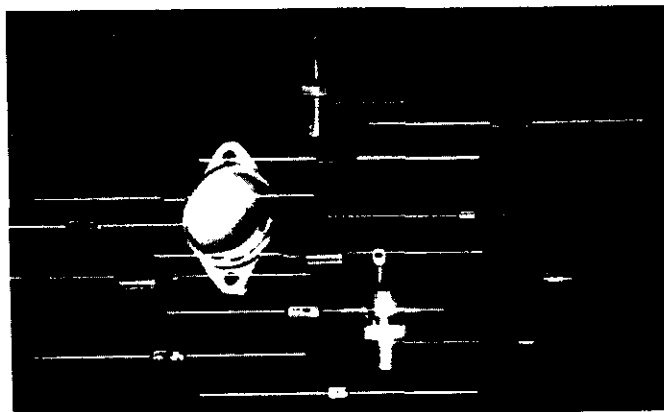


Figura 1.53 Diodos Zener.
(Cortesía de Siemens Corporation.)

1.15 DIODOS EMISORES DE LUZ

El aumento en el uso de pantallas digitales en las calculadoras, relojes y todo tipo de instrumentos ha contribuido a generar el muy considerable interés que hoy en día existe respecto a las estructuras que emiten luz cuando se polarizan en forma apropiada. En la actualidad, los dos tipos que se utilizan con más frecuencia para llevar a cabo esta función son el *diodo emisor de luz* (LED, por las iniciales en inglés de: *light emitting diode*) y la *pantalla de cristal líquido* (LCD, por las iniciales en inglés de: *liquid crystal display*). Debido a que el LED entra

en la familia de los dispositivos de unión $p-n$, se estudiará en este capítulo y algunas de sus redes se estudiarán en los capítulos siguientes. La pantalla LCD se describe en el capítulo 20.

Como su nombre lo indica, el diodo emisor de luz (LED) es un diodo que emite luz visible cuando se energiza. En cualquier unión $p-n$ con polarización directa existe, dentro de la estructura y en forma primaria cerca de la unión, una recombinación de huecos y electrones. Esta recombinación requiere que la energía que posee un electrón libre se transfiera a otro estado. En todas las uniones $p-n$ de semiconductor, parte de esta energía se emite como calor y otra parte en forma de fotones. En el silicio y el germanio el mayor porcentaje se genera en forma de calor y la luz emitida es insignificante. En otros materiales, como el fosforo arseniuro de galio (GaAsP) o fosforo de galio (GaP), el número de fotones de energía de luz emitida es suficiente para crear una fuente de luz muy visible.

Al proceso de emisión de luz mediante la aplicación de una fuente de energía eléctrica se le llama electroluminiscencia.

Como se muestra en la figura 1.54 con su símbolo gráfico, la superficie conductora conectada al material p es mucho más pequeña, con objeto de permitir la emisión de un número máximo de fotones de energía lumínica. Observe en la figura que la recombinación de los portadores inyectados debido a la unión con polarización directa genera luz, que se emite en el lugar en que se da la recombinación. Puede haber, desde luego, alguna absorción de los paquetes de energía de los fotones en la superficie misma, pero un gran porcentaje se encuentra disponible para salir, según se muestra en la figura.

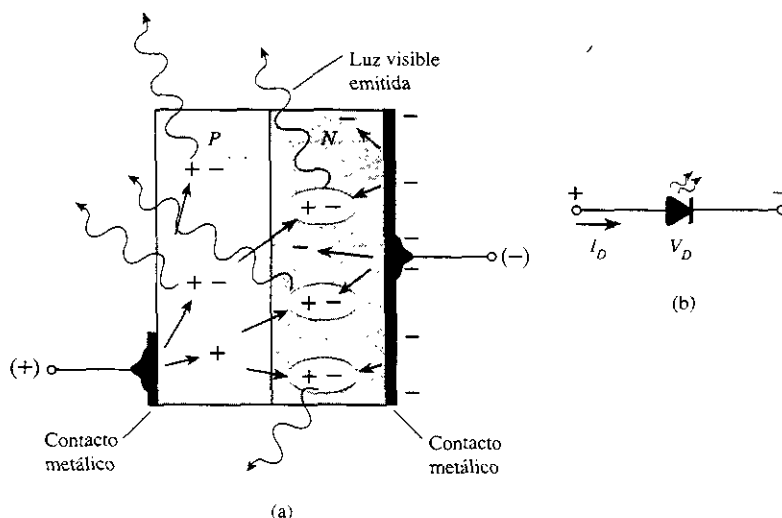


Figura 1.54 a) Proceso de electroluminiscencia en el LED; b) símbolo gráfico.

La apariencia y características de una lámpara subminiatura de estado sólido de gran eficiencia que fabrica Hewlett-Packard aparece en la figura 1.55. Observe, en la figura 1.55(b), que la corriente pico directa es de 60 mA con 20 mA de corriente directa promedio típica. Sin embargo, las condiciones de prueba que se enumeran en la figura 1.55(c) corresponden a una corriente directa de 10 mA. El nivel de V_D bajo condiciones de polarización directa se indica como V_F y se extiende de 2.2 a 3 V. En otras palabras, se puede esperar una corriente de operación típica de aproximadamente 10 mA a 2.5 V para una buena emisión de luz.

Aparecen dos cantidades que aún no se han identificado bajo el encabezado de características eléctricas / ópticas a $T_A = 25^\circ\text{C}$. Estas son la *intensidad lumínica axial* (I_v) y la *eficiencia lumínica* (η_v). La intensidad de la luz se mide en *candelas*. Una candela emite un flujo de luz de 4π lúmenes y establece una iluminación de 1 candela pie en un área de 1 pie cuadrado a 1 pie de la fuente de luz. Aunque esta descripción quizá no ofrezca una comprensión clara de la candela como unidad de medida, su nivel bien puede compararse entre dispositivos similares. El término *eficacia* es, por definición, una medida de la capacidad de un dispositivo para generar un efecto deseado. Para el LED, este es el cociente del número de lúmenes generados por watt aplicado de energía eléctrica. Esta eficiencia relativa está definida por la intensidad



lumínica por unidad de corriente, según se muestra en la figura 1.55g. La intensidad relativa de cada color contra la longitud de onda se muestra en la figura 1.55d.

Debido a que el LED es un dispositivo de unión $p-n$, tendrá una característica en polarización directa (figura 1.55e) similar a las curvas de respuesta del diodo. Observe el incremento casi lineal en la intensidad lumínica relativa con corriente directa (figura 1.55f). La figura 1.55h revela que mientras más larga es la duración del pulso a una frecuencia en particular, menor será la corriente pico permitida (después de pasar el valor de ruptura de t_p). La figura 1.55i muestra que la intensidad es mayor a 0° (de cabeza) y la menor a 90° (cuando el dispositivo se observa desde un lado).



(a)

Valores máximos absolutos a $T_A = 25^\circ\text{C}$		
Parámetros	Rojo de alta eficiencia 4160	Unidades
Disipación de potencia	120	mW
Corriente directa promedio	20 ^[1]	mA
Corriente directa pico	60	mA
Rango de temperatura de operación y almacenamiento	-55°C a 100°C	
Temperatura de soldadura de la conexión [1.6 mm (0.063 pulg) del cuerpo]	230°C durante 3 segundos	

[1] Pérdida desde 50°C a $0.2\text{ mA}/^\circ\text{C}$.

(b)

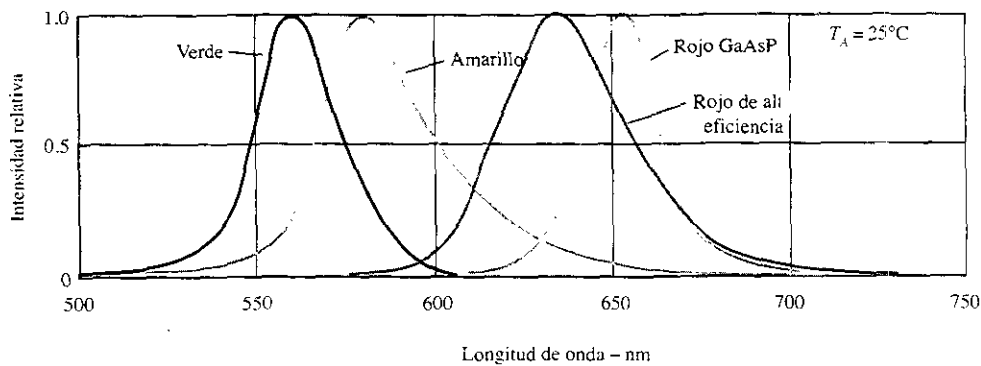
Características eléctricas/ópticas a $T_A = 25^\circ\text{C}$						
Símbolo	Descripción	Rojo de alta eficiencia 4160			Unidades	Condiciones de prueba
		Mínimo	Típico	Máximo		
I_v	Intensidad lumínica axial	1.0	3.0		mcd	
$2\theta_{1/2}$	Incluyendo el ángulo entre los puntos de la mitad de intensidad lumínica		80		deg.	Nota 1
λ_{pico}	Longitud de onda de pico		635		nm	Medida en el pico
λ_d	Longitud de onda dominante		628		nm	Nota 2
τ_r	Velocidad de respuesta		90		ns	
C	Capacitancia		11		pF	$V_F = 0; f = 1\text{ Mhz}$
θ_{JC}	Resistencia térmica		120		$^\circ\text{C}/\text{W}$	Unión a la conexión cátodo a 079 mm (.031 pulg) desde el cuerpo
V_F	Voltaje directo		2.2	3.0	V	$I_F = 10\text{ mA}$
BV_R	Voltaje de ruptura inverso	5.0			V	$I_R = 100\text{ }\mu\text{A}$
η_v	Eficacia lumínica		147		lm/W	Nota 3

NOTAS:

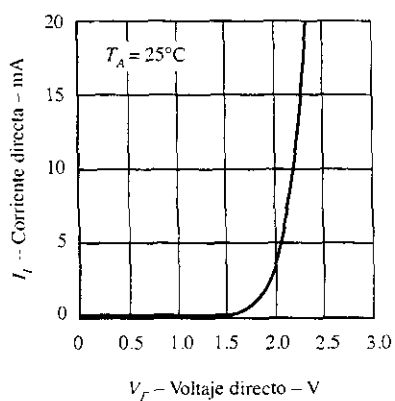
- $\theta_{1/2}$ es el ángulo fuera del eje al cual la intensidad lumínica es la mitad de la intensidad lumínica axial.
- La longitud de onda dominante, λ_d , se deriva del diagrama de cromaticidad CIE y representa la longitud de onda única que define el color del dispositivo.
- La intensidad radiante, I_e , en watts/estereorradianes, se puede encontrar a partir de la ecuación $I_e = I_v / \eta_v$, donde I_v es la intensidad lumínica en candelas y η_v es la eficacia lumínica en lúmenes/watt.

(c)

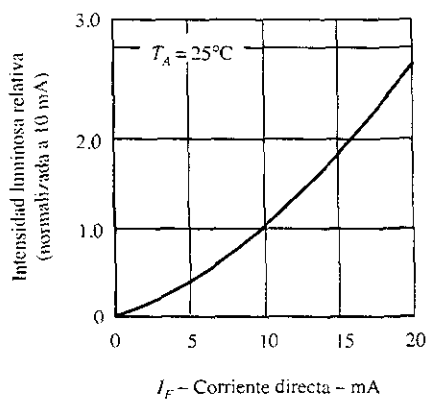
Figura 1.55 Lámpara subminiatura roja de estado sólido de alta eficiencia de Hewlett-Packard; a) apariencia; b) valores nominales máximos absolutos; c) características eléctricas/ópticas; d) intensidad relativa contra longitud de onda; e) corriente directa contra voltaje directo; f) intensidad lumínica relativa contra corriente directa; g) eficiencia relativa contra corriente pico; h) corriente pico máxima contra duración del pulso; i) intensidad lumínica relativa contra desplazamiento angular. (Cortesía de Hewlett-Packard Corporation.)



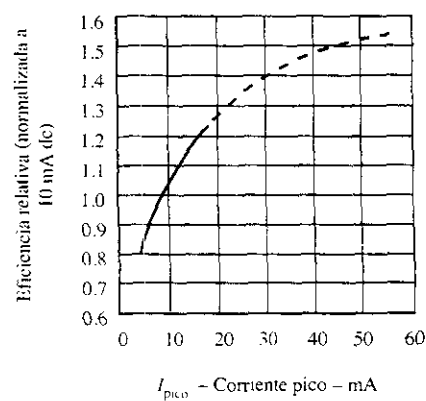
(d)



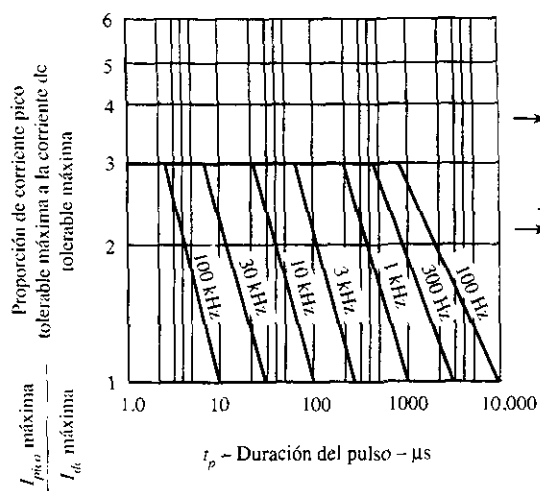
(e)



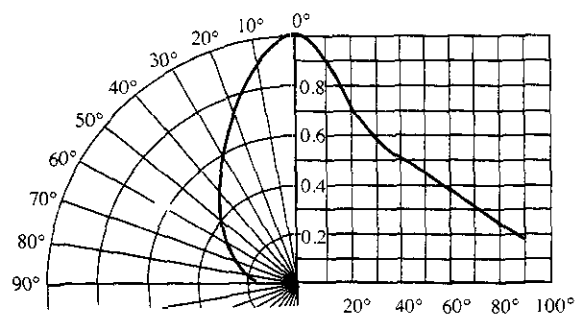
(f)



(g)



(h)



(i)

Figura 1.55 Continuación.

Hoy en día, las pantallas de visualización LED se encuentran disponibles en muchos tamaños y formas diferentes. La región de emisión de luz está disponible en longitudes desde 0.1 a 1 pulgada. Los números pueden crearse por segmentos como los que se ejemplifican en la figura 1.56. Al aplicar una polarización directa al segmento apropiado de material tipo *p*, se puede desplegar cualquier número del 0 al 9.

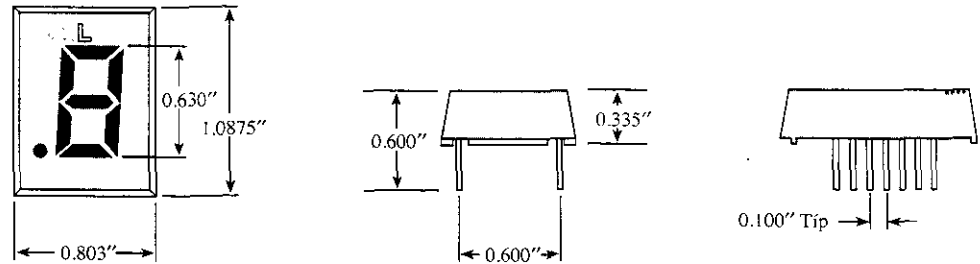


Figura 1.56 Pantalla visual de segmentos Litronix.

La pantalla de visualización de la figura 1.57 ofrece ocho dígitos y se utiliza en calculadoras. Existen también lámparas LED con dos conexiones que contienen dos LED, de tal forma que una inversión en la polarización cambiará el color de rojo a verde o viceversa. Actualmente, los LED se encuentran disponibles en rojo, verde, amarillo, naranja y blanco; el blanco con azul estará disponible pronto. En general, los LED operan a niveles de voltaje desde 1.7 hasta 3.3 V, lo cual los hace por completo compatibles con los circuitos de estado sólido. Tienen un tiempo de respuesta rápido (nanosegundos) y ofrecen buenas relaciones de contraste para la visibilidad. El requerimiento de potencia suelen ser de 10 hasta 150 mW con un tiempo de vida de 100,000 horas o más. Su construcción de semiconductor le añade un significativo factor de fortaleza.

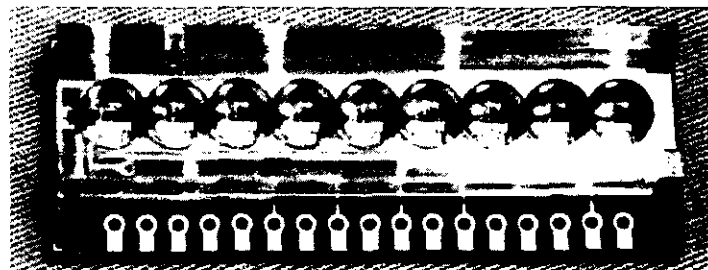


Figura 1.57 Pantalla visual para calculadora con ocho dígitos y signo. (Cortesía de Hewlett-Packard Corporation.)

1.16 ARREGLOS DE DIODOS: CIRCUITOS INTEGRADOS

Las características únicas de los circuitos integrados se presentarán en el capítulo 12. Sin embargo, se ha alcanzado una plataforma en la introducción de circuitos electrónicos que permite por lo menos hacer un examen superficial a los arreglos de diodos en circuitos integrados. Se encontrará que el circuito integrado no es un dispositivo único con características totalmente diferentes a aquellas que se analizarán en estos capítulos introductorios. Simplemente es una técnica que permite una reducción significativa en el tamaño de los sistemas electrónicos. En otras palabras, dentro del circuito integrado se encuentran sistemas y dispositivos discretos que estuvieron disponibles mucho tiempo antes que el circuito integrado como se le conoce actualmente, se convirtiera en una realidad.

Un arreglo posible aparece en la figura 1.58. Observe que los ocho diodos son internos en el arreglo de diodos Fairchild FSA1410M. Esto es, en el encapsulado mostrado en la figura 1.59 existe un arreglo de diodos en una placa única de silicio que tiene todos los ánodos conectados a la terminal 1 y los cátodos de cada uno a las terminales 2 al 9. Observe, en la misma figura, que la terminal 1 puede determinarse como la que está del lado izquierdo de la pequeña proyección o ceja del encapsulado si se mira desde abajo hacia el encapsulado. Los otros números siguen después en secuencia. Si sólo se utiliza un diodo, solamente se utilizarían las terminales 1 y 2 (o cualquier otro número del 3 al 9).

FSA1410M

ARREGLO MONOLÍTICO PLANAR DE DIODOS AISLADOS DEL AIRE

- C ... 5.0 pF (MÁX)
- ΔV_F ... 15 mV (MÁX) @ 10 mA

VALORES NOMINALES MÁXIMOS ABSOLUTOS (Nota 1)

Temperaturas

Rango de temperatura de almacenamiento	-55°C a +200°C
Máxima temperatura de operación de la unión	+150°C
Temperatura en la conexión	+260°C

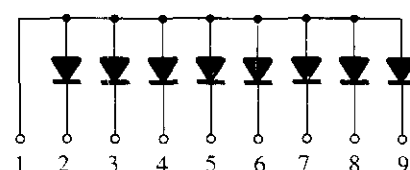
Disipación de potencia (Nota 2)

Máxima disipación en la unión a 25 °C de ambiente	400 mW
Por encapsulado a 25 °C de ambiente	600 mW
Factor de pérdida de disipación lineal (desde 25 °C) en la unión	3.2 mW/°C
Encapsulado	4.8 mW/°C

Corriente y voltaje máximos

WIV	Voltaje inverso de trabajo	55 V
I_F	Corriente directa continua	350 mA
$I_{T(sobrecarga)}$	Corriente de onda de pico directo	
	Ancho de pulso = 1.0 s	1.0 A
	Ancho de pulso = 1.0 μ s	2.0 A

DIAGRAMA DE CONEXIÓN FSA 14 10M



Ver diagrama de base del encapsulado TO-96

CARACTERÍSTICAS ELÉCTRICAS (25 °C de temperatura ambiente a menos que se especifique lo contrario)

SÍMBOLO	CARACTERÍSTICA	MÍNIMO	MÁXIMO	UNIDADES	CONDICIONES DE PRUEBA
B_V	L 27. Voltaje de ruptura	60		V	$I_R = 10 \mu A$
V_F	Voltaje directo (Nota 3)		1.5 1.1 1.0	V V V	$I_F = 500 \text{ mA}$ $I_F = 200 \text{ mA}$ $I_F = 100 \text{ mA}$
I_R	Corriente inversa Corriente inversa ($T_A = 150^\circ\text{C}$)		100 100	nA μA	$V_R = 40 \text{ V}$ $V_R = 40 \text{ V}$
C	Capacitancia		5.0	pF	$V_R = 0, f = 1 \text{ MHz}$
V_{FM}	Voltaje pico directo		4.0	V	$I_F = 500 \text{ mA}, t_r < 10 \text{ ns}$
t_{fr}	Tiempo de recuperación directo		40	ns	$I_F = 500 \text{ mA}, t_r < 10 \text{ ns}$
t_{rr}	Tiempo de recuperación inverso		10 50	ns ns	$I_F = I_r = 10 - 200 \text{ mA}$ $R_L = 100\Omega, \text{ Rec. a } 0.1 I_r$ $I_F = 500 \text{ mA}, I_r = 50 \text{ mA}$ $R_L = 100\Omega, \text{ Rec. a } 5 \text{ mA}$
ΔV_F	Igualdad de voltaje directo		15	mV	$I_F = 10 \text{ mA}$

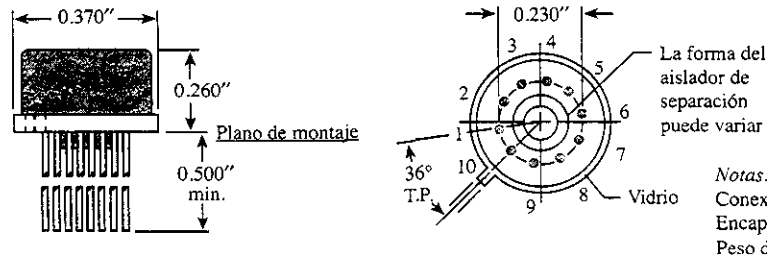
NOTAS:

- 1 Estos valores son valores límites sobre los cuales la vida o el desempeño satisfactorios pueden ser dañados.
- 2 Estos son límites estables de los estados. La fábrica debe ser consultada para aplicaciones que involucren operación con pulso o un ciclo de trabajo bajo.
- 3 V_F se mide utilizando un pulso de 8 ms.

Figura 1.58 Arreglo monolítico de diodos. (Cortesía de Fairchild Camera and Instrument Corporation.)



Figura 1.59 Descripción del encapsulado TO-96 para el arreglo de diodos FSA1410M. Todas las dimensiones se encuentran en pulgadas. (Cortesía de Fairchild Camera and Instrument Corporation.)



Los diodos restantes se quedarían “colgando” y no afectarían la red a la cual sólo estarían conectadas las terminales 1 y 2.

Otro arreglo de diodos aparece en la figura 1.60. En este caso el encapsulado es diferente, pero la secuencia de numeración aparece en el diagrama de base. La terminal 1 es la que está directamente arriba de la pequeña muesca cuando el dispositivo se observa con las terminales hacia abajo.

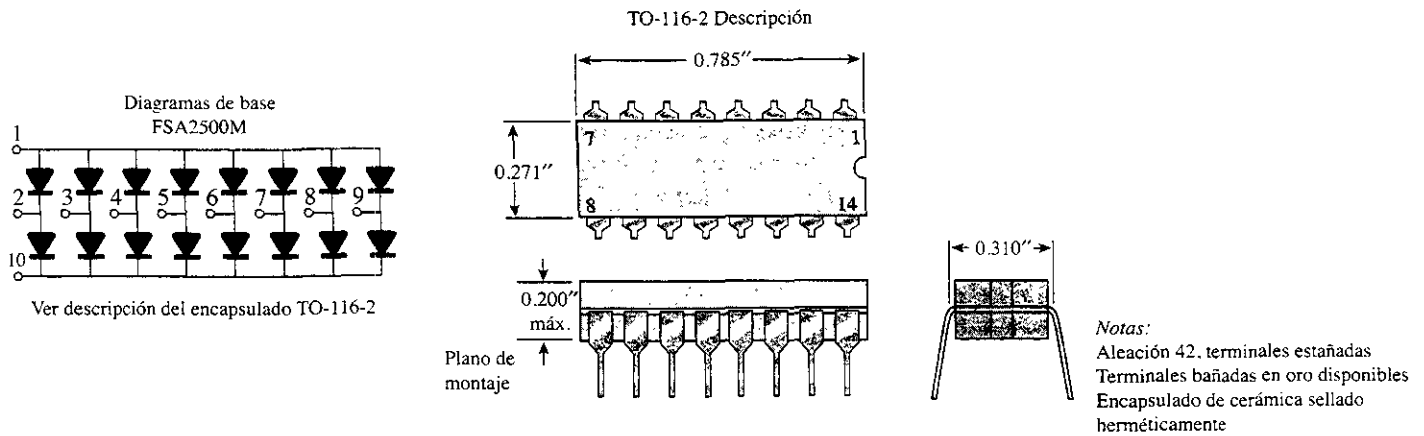


Figura 1.60 Arreglo monolítico de diodos. Todas las dimensiones se encuentran en pulgadas. (Cortesía de Fairchild Camera and Instrument Corporation.)

1.17 ANÁLISIS POR COMPUTADORA

La computadora se ha convertido en una parte integral de la industria electrónica, de tal manera que las capacidades de esta “herramienta” de trabajo se deben presentar en la primera oportunidad posible. Para aquellos estudiantes sin experiencia previa en computación, existe al principio un temor muy común hacia este poderoso sistema que parece complicado. Tomando esto en cuenta, el análisis por computadora de este libro fue diseñado para hacer que el sistema por computadora resulte más “amistoso”, mediante la revelación de la relativa facilidad con que se puede aplicar para llevar a cabo algunas tareas muy útiles y especiales con una cantidad mínima de tiempo y un alto grado de exactitud. El contenido se escribió suponiendo que el lector no tiene experiencia previa en computación ni tampoco contacto con la terminología que se utilizará. Tampoco existe sugerencia alguna en cuanto a que el contenido de este libro sea suficiente para permitir una comprensión completa de los “cómos” y los “porqués” que surgirán. El propósito aquí es meramente presentar algo de la terminología, analizar algunas de sus capacidades, revelar las posibilidades disponibles, tocar algunas de las limitaciones y demostrar su versatilidad con un número de ejemplos cuidadosamente seleccionados.

En general, el análisis por computadora de los sistemas electrónicos puede tomar uno de dos métodos: utilizando un *lenguaje* tal como el BASIC, Fortran, Pascal, o C, o utilizando un *paquete de programación* como PSpice, MicroCap II, Breadboard, o Circuit Master, por nombrar unos cuantos. Un lenguaje, a través de su notación simbólica, construye un puente entre el

usuario y la computadora, el cual permite un diálogo entre los dos con el fin de establecer las operaciones que deben llevarse a cabo.

El lenguaje que se usa en este libro es el BASIC, y se eligió debido a que emplea una cantidad de palabras y frases familiares de la lengua inglesa que revelan, por sí mismas, la operación que se desarrollará. Cuando se utiliza un lenguaje para analizar un sistema, se desarrolla un *programa* que define, en forma secuencial, las operaciones que se llevarán a cabo, en su mayor parte, siguiendo el mismo orden con que se realiza el mismo análisis efectuando los cálculos a mano. Al igual que ocurre con el método de calcular a mano, un paso incorrecto y el resultado que se obtiene carecerá por completo de significado. Obviamente, los programas que se desarrollan con tiempo y aplicación son medios más eficaces para obtener una solución. Una vez que se establecen en su “mejor” forma, se pueden catalogar y utilizar posteriormente. La ventaja más importante del método de los lenguajes radica en que el programa puede adaptarse con objeto de satisfacer todas las necesidades especiales del usuario. Permite que este último haga “movimientos” especiales que darán por resultado la obtención de datos en forma impresa, de manera informativa e interesante.

El método alterno que se describió antes utiliza un paquete de computadora para llevar a cabo la investigación deseada. Un paquete de programación es un programa escrito y probado durante cierto tiempo, que se diseña para realizar un tipo de análisis o síntesis en particular de manera eficiente y con un alto nivel de exactitud.

El paquete en sí no puede ser alterado por el usuario y su aplicación está limitada a las operaciones que se integran al sistema. Un usuario debe ajustar su deseo de información de salida al rango de posibilidades que ofrece el paquete. Además, el usuario debe capturar información, tal y como lo exige el paquete, o de lo contrario los datos pueden ser malinterpretados. El paquete de programación que se eligió para este libro es PSpice.* En la actualidad, PSpice se encuentra disponible en dos formas: DOS y Windows. El formato DOS fue el primero que se introdujo y es el más popular hoy en día. Sin embargo, la versión Windows cobra cada vez más aceptación conforme los usuarios conocen sus capacidades. Es como todo: una vez que se logra dominar un método que hará el trabajo por nosotros, se genera menos entusiasmo por tomar el tiempo para aprender otro método del que se obtendrán resultados similares. Sin embargo, los autores confirman que conforme se conoce más la versión Windows, ésta ofrece algunas características interesantes que bien vale la pena investigar. La versión de DOS que se usa en este texto es la 6.0 y la de Windows es la 6.1. En MicroSim, ubicada en Irvine, California, se encuentran disponibles copias para evaluación. En la figura 1.61 aparece una fotografía de un paquete de Centro de Diseño completo con la versión CD-ROM 6.2. También se encuentra disponible en discos flexibles de 3.5". Una versión más compleja, que se denomina SPICE, está encontrando una amplia gama de aplicaciones en la industria.

Por tanto, en general, un paquete de programación está “empacado” para realizar una serie de cálculos y operaciones, y para ofrecer los resultados en un formato definido. Un lenguaje

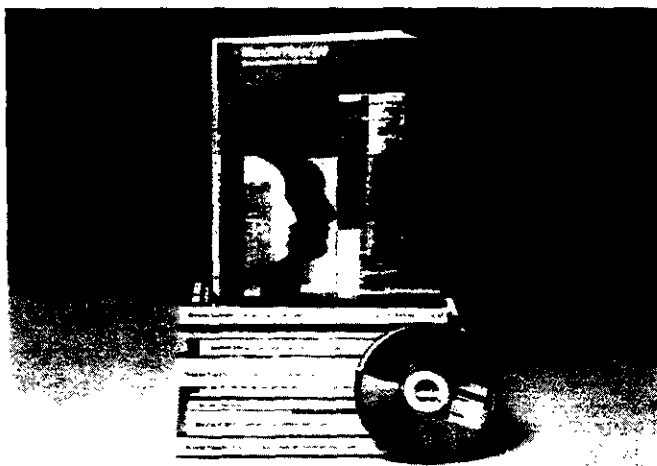
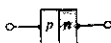


Figura 1.61 Paquete de diseño PSpice. (Cortesía de MicroSim Corporation.)

*PSpice es una marca registrada de MicroSim Corporation.



permite un mayor nivel de flexibilidad, pero también omite los beneficios que brindan las numerosas pruebas y la investigación exhaustiva que se suelen realizar para desarrollar un paquete “confiable”. El usuario debe definir cuál método satisface mejor sus necesidades del momento. Obviamente, si existe un paquete para el análisis o síntesis que se desea realizar, debe considerarse antes de optar por las muchas horas de trabajo que se requieren para desarrollar un programa confiable y eficiente. Además, es posible adquirir los datos que se necesitan para un análisis en particular de un paquete de programación y luego buscar un lenguaje para definir el formato de salida. En muchos aspectos, los dos métodos van de la mano. Si alguien continuamente tiene que depender del análisis por computadora, es necesario que conozca el uso y las limitaciones tanto de los lenguajes como de los paquetes. La decisión en cuanto a con qué lenguaje o paquete conviene familiarizarse es, básicamente, una función del área de investigación. Sin embargo, por fortuna, el conocimiento fluido de un lenguaje o un paquete específico ayudará al usuario a familiarizarse con otros lenguajes y paquetes. Existen similitudes en propósitos y procedimientos que facilitan la transición de un método a otro.

En cada capítulo se harán algunos comentarios respecto al análisis por computadora. En algunos casos aparecerá un programa BASIC y una aplicación PSpice, mientras que en otras situaciones sólo se aplicará uno de los dos. Conforme surja la necesidad de entrar en detalles, se proporcionará la información necesaria para permitir cuando menos una comprensión superficial del análisis.

PSpice (versión DOS)

Este capítulo aborda las características del diodo semiconductor en particular. En el capítulo 2 el diodo se investiga utilizando el paquete PSpice. Como un primer paso dirigido hacia tal análisis, se presenta ahora el “modelo” para el diodo semiconductor. La descripción en el manual PSpice incluye un total de 14 parámetros para definir sus características terminales. Éstos incluyen la corriente de saturación, la resistencia en serie, la capacitancia de la conexión, el voltaje de ruptura inverso, la corriente de ruptura inversa, y muchos otros factores que en caso necesario pueden especificarse para el diseño o análisis que vaya a realizarse.

La especificación de un diodo en una red tiene dos componentes. El primero especifica la ubicación y nombre del modelo, el otro incluye los parámetros que se mencionan antes. El formato para definir la ubicación y el nombre del modelo del diodo es el siguiente para el diodo de la figura 1.62:

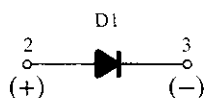


Figura 1.62 Etiquetas de PSpice para la captura de diodos en la descripción de una red.

D1	2	3	D1
{	{	{	{
	+	-	
nombre	nodo	nodo	nombre del modelo

Observe que el diodo se especifica mediante la literal D al principio del renglón seguida por la identificación que se asigna al diodo en el esquema. La secuencia de los nodos (puntos de conexión para los diodos) define el potencial en cada nodo y la dirección de la conducción para el diodo de la figura 1.62. En otras palabras, la conducción se especifica a partir del nodo positivo y hacia el nodo negativo. El *nombre del modelo* es el nombre que se asigna a la descripción del parámetro que sigue. El mismo nombre de modelo puede aplicarse a cualquier número de diodos en la red, como D2, D3, y así sucesivamente.

Los parámetros se especifican cuando se usa una *instrucción MODEL* que tiene el formato siguiente para un diodo:

MODEL	D1	D(IS = 2E - 15)
	{	{
	nombre del modelo	especificaciones de parámetro

La especificación se inicia con los datos **MODEL** seguido por el nombre del modelo según se especificó en la descripción de la ubicación y la literal D para especificar un diodo.

Las especificaciones del parámetro aparecen en paréntesis y deben utilizar la notación que se especifica en el manual PSpice. La corriente de saturación inversa se encuentra listada como I_S y se le asigna un valor de 2×10^{-15} A. Se eligió este valor debido a que, por lo general, resulta en un voltaje de diodo de cerca de 0.7 V para niveles de corriente de diodo que con frecuencia se encuentran en las aplicaciones que se analizan en el capítulo 2. De esta manera, del análisis manual y por computadora se obtendrán resultados relativamente cercanos en cuanto a magnitud. Si bien en el listado anterior se especificó un parámetro, la lista puede incluir los 10 parámetros que aparecen en el manual. Para los dos enunciados anteriores, es en particular importante seguir el formato según se definió. La ausencia de un punto antes de MODEL o la omisión de la letra D en el mismo renglón invalidarán por completo el registro.

Análisis del centro de diseño PSpice en Windows

Cuando se utiliza el PSpice para Windows, el usuario dibuja la red en un esquema en lugar de capturar renglón por renglón empleando los nodos de referencia. Por tanto, una fuente para cada elemento debe encontrarse disponible para colocarlos en la pantalla. Primero, se debe establecer una pantalla de **esquemas** (siguiendo un procedimiento de instalación que se deja a criterio del usuario), y luego se selecciona la opción **Draw** (Dibuja) desde la barra de menús. Una vez seleccionado, aparecerá una lista de opciones de las cuales se elige **Get New Part** (Seleccionar una nueva parte). Aparecerá una caja de diálogo; se selecciona **Browse** (Hojea), lo cual lleva a la caja de diálogo de **Get Part** (Traer parte). Se escoge la biblioteca **eval.slb** del listado de librerías y se recorre la lista de Partes (**Part**) hasta que se encuentra **DIN4148**. Cuando se hace “click”, la Descripción (**Description**) superior revelará que se trata de un diodo. Se hace “click” en **OK** y aparecerá un símbolo de diodo en la pantalla de esquemas. Después que se mueve el diodo a la posición deseada, un “click” adicional dejará el diodo y añadirá las etiquetas **D1** y **DIN4148**. Cuando se haga “click” con el botón derecho del apuntador (mouse), se completa la secuencia de colocación del diodo. Si se deben cambiar los parámetros del diodo, simplemente se hace “click” una vez (y sólo una vez) al símbolo del diodo en el esquema y luego se hace “click” otra vez en la opción de Edición (**Edit**) en la barra de menú. Se elige el Modelo (**Model**) y luego Editar Modelo Ejemplificado (**Edit Instance Model**) (debido a que se desea establecer parámetros para una sola aplicación) y una caja de diálogo del Editor de Modelos (**Model Editor**) aparecerá con los parámetros del diodo. Los cambios en el modelo del diodo se pueden llevar a cabo en la caja de diálogo para ser utilizados en la aplicación real. Si no se observa la pantalla, lo anterior puede resultar algo difícil de seguir y comprender. Lo mejor sería obtener el modelo para su evaluación, inicializar la pantalla y realizar las operaciones en el orden indicado. En el siguiente capítulo se presentará una red real que ayudará en el proceso de revisión.

§ 1.2 Diodo ideal

1. Describa, con sus propias palabras, el significado de la palabra *ideal* cuando se aplica a un dispositivo o a un sistema.
2. Describa, con sus propias palabras, las características del diodo *ideal* y cómo se determinan los estados “encendido” y “apagado” del dispositivo. Es decir, describa por qué son adecuados los equivalentes de circuito cerrado y circuito abierto.
3. ¿Cuál es la diferencia más importante entre las características de un simple interruptor y aquellas de un diodo ideal?

§ 1.3 Materiales semiconductores

4. Con sus propias palabras, defina *semiconductor*, *resistividad*, *resistencia de volumen* y *resistencia de contactos óhmicos*.
5. a) Utilizando la tabla 1.1, determine la resistencia de una muestra de silicio que tiene un área de 1 cm^2 y una longitud de 3 cm .
b) Repita el inciso a si la longitud es de 1 cm y el área de 4 cm^2 .
c) Repita el inciso a si la longitud es de 8 cm y el área de 0.5 cm^2 .
d) Repita el inciso a para el cobre y compare los resultados.

PROBLEMAS



6. Dibuje la estructura atómica del cobre y analice por qué es un buen conductor y cómo su estructura es diferente del germanio y del silicio.
7. Defina, con sus propias palabras, un material intrínseco, un coeficiente de temperatura negativo y una unión covalente.
8. Consulte su biblioteca de referencia y mencione tres materiales que tengan un coeficiente de temperatura negativo y tres que tengan un coeficiente de temperatura positivo.

§ 1.4 Niveles de energía

9. ¿Cuánta energía en joules se necesita para mover una carga de 6 C a través de una diferencia en potencial de 3 V?
10. Si se requieren 48 eV de energía para mover una carga a través de una diferencia de potencial de 12 V, determine la carga involucrada.
11. Consulte su biblioteca de referencia y precise el nivel de E_g para GaP y ZnS, dos materiales semiconductores de valor práctico. Además, determine el nombre escrito para cada material.

§ 1.5 Materiales extrínsecos: tipo n y tipo p

12. Especifique la diferencia entre los materiales semiconductores tipo n y tipo p .
13. Explique la diferencia entre las impurezas donoras y aceptoras.
14. Describa la diferencia entre los portadores mayoritarios y minoritarios.
15. Dibuje la estructura atómica del silicio e inserte una impureza de arsénico como se mostró para el silicio en la figura 1.9.
16. Repita el problema 15, pero inserte una impureza de indio.
17. Consulte su biblioteca de referencia y localice otra explicación para el flujo de huecos contra el de electrones. Utilizando ambas descripciones, señale con sus propias palabras, el proceso de la conducción de huecos.

§ 1.6 Diodo semiconductor

18. Explique, con sus propias palabras, las condiciones establecidas por las condiciones de polarización directa e inversa en un diodo de unión $p-n$, y la manera en que se afecta la corriente resultante.
19. Describa, cómo recordará los estados de polarización directa e inversa en el diodo de unión $p-n$. Es decir, ¿cómo recordará cuál potencial (positivo o negativo) se aplica a cuál terminal?
20. Utilizando la ecuación (1.4), precise la corriente del diodo a 20 °C para un diodo de silicio con $I_s = 50$ nA y una polarización directa aplicada de 0.6 V.
21. Repita el problema 20 para $T = 100$ °C (punto de ebullición del agua). Suponga que I_s se incrementó a 5.0 μ A.
22. a) Utilizando la ecuación (1.4), determine la corriente del diodo a 20 °C para un diodo de silicio con $I_s = 0.1$ μ A a un potencial de polarización inversa de -10 V.
b) ¿El resultado es el esperado? ¿Por qué?
23. a) Grafique la función $y = e^x$ para x desde 0 hasta 5.
b) ¿Cuál es el valor de $y = e^x$ para $x = 0$?
c) Basándose en los resultados del inciso b, ¿por qué es importante el factor -1 en la ecuación (1.4)?
24. En la región de polarización inversa la corriente de saturación de un diodo de silicio es de aproximadamente 0.1 μ A ($T = 20$ °C). Determine su valor aproximado si la temperatura se incrementa 40 °C.
25. Compare las características de un diodo de silicio y uno de germanio y determine cuál preferiría utilizar para la mayor parte de las aplicaciones prácticas. Proporcione algunos detalles. Refiérase a características de fabricante y compare las características de un diodo de germanio y uno de silicio de valores máximos similares.
26. Determine la caída de voltaje directo a través del diodo cuyas características aparecen en la figura 1.24 a temperaturas de -75 °C, 25 °C, 100 °C y 200 °C y una corriente de 10 mA. Para cada temperatura precise el nivel de la corriente de saturación. Compare los extremos de cada una y haga un comentario sobre la relación de ambos.

§ 1.7 Niveles de resistencia

27. Determine la resistencia estática o dc del diodo disponible en el mercado de la figura 1.19 con una corriente directa de 2 mA.
28. Repita el problema 26 con una corriente directa de 15 mA y compare los resultados.
29. Determine la resistencia estática o dc del diodo disponible en el mercado de la figura 1.19 con un voltaje inverso de -10 V. ¿Cómo se compara con el valor determinado para un voltaje inverso de -30 V?
30. a) Determine la resistencia dinámica (ac) del diodo de la figura 1.29 con una corriente directa de 10 mA utilizando la ecuación (1.6).
b) Precise la resistencia dinámica (ac) del diodo de la figura 1.29 con una corriente directa de 10 mA utilizando la ecuación (1.7).
c) Compare las soluciones de los incisos a y b.
31. Calcule las resistencias dc y ac para el diodo de la figura 1.29 con una corriente directa de 10 mA y compare sus magnitudes.
32. Utilizando la ecuación (1.6), determine la resistencia ac con una corriente de 1 mA y 15 mA para el diodo de la figura 1.29. Compare las soluciones y desarrolle una conclusión general respecto a la resistencia ac y a los crecientes niveles de corriente del diodo.
33. Utilizando la ecuación (1.7), determine la resistencia ac con una corriente de 1 mA y 15 mA para el diodo de la figura 1.19. Modifique la ecuación cuando sea necesario para los niveles bajos de corriente de diodo. Compare con las soluciones que obtuvo en el problema 32.
34. Determine la resistencia ac promedio para el diodo de la figura 1.19 para la región entre 0.6 y 0.9 V.
35. Determine la resistencia ac para el diodo de la figura 1.19 a 0.75 V y compare con la resistencia ac promedio obtenida en el problema 34.

§ 1.8 Circuitos equivalentes para diodos

36. Encuentre el circuito equivalente de segmentos lineales para el diodo de la figura 1.19. Utilice un segmento de línea recta que interseque el eje horizontal en 0.7 V y que mejor se aproxima a la curva para la región mayor a 0.7 V.
37. Repita el problema 36 para el diodo de la figura 1.29.

§ 1.9 Hojas de especificaciones de diodos

- * 38. Grafique I_F contra V_F utilizando escalas lineales para el diodo Fairchild de la figura 1.36. Observe que la gráfica que se presenta utiliza una escala logarítmica para el eje vertical (las escalas logarítmicas se cubren en las secciones 11.2 y 11.3).
39. Comente el cambio en el nivel de capacitancia con el aumento en el potencial de polarización inversa para el diodo BAY73.
40. ¿Cambia significativamente en magnitud la corriente de saturación inversa del diodo BAY73 para potenciales de polarización inversa en el rango de -25 V a -100 V?
- * 41. Determine para el diodo de la figura 1.36 el nivel de I_R a temperatura ambiente (25°C) y en el punto de ebullición del agua (100°C). ¿Es significativo el cambio? ¿Casi se duplica el nivel por cada incremento de 10°C en la temperatura?
42. Para el diodo de la figura 1.36 determine la resistencia en ac máxima (dinámica) con una corriente directa de 0.1 mA, 1.5 mA y 20 mA. Compare los niveles y comente si los resultados respaldan las conclusiones derivadas en las primeras secciones de este capítulo.
43. Utilizando las características de la figura 1.36, determine los niveles máximos de disipación de potencia para el diodo a temperatura ambiente (25°C) y 100°C . Suponiendo que V_F permanece fijo a 0.7 V, ¿cómo ha cambiado el nivel máximo de I_F entre los dos niveles de temperatura?
44. Haciendo uso de las características de la figura 1.36, determine la temperatura en la cual la corriente del diodo será del 50% de su valor a temperatura ambiente (25°C).



§ 1.10 Capacitancia de transición y difusión

- * 45. a) Con referencia a la figura 1.37, determine la capacitancia de transición con potenciales de polarización inversa de -25 V y -10 V . ¿Cuál es la proporción del cambio en la capacitancia al cambio en el voltaje?
- b) Repita el inciso *a* para potenciales de polarización inversa de -10 V y -1 V . Determine la proporción del cambio en capacitancia al cambio en el voltaje.
- c) ¿Cómo se comparan las proporciones determinadas en los *a* y *b*? ¿Qué le indica a usted acerca de cuál rango tendrá más áreas de aplicación práctica?
46. Refiriéndose a la figura 1.37, determine la capacitancia de difusión a 0 V y a 0.25 V .
47. Describa, con sus propias palabras, cómo difieren las capacitancias de difusión y de transición.
48. Determine la reactancia ofrecida por un diodo descrito con las características de la figura 1.37, a un potencial directo de 0.2 V y a un potencial inverso de -20 V si la frecuencia que se aplica es de 6 MHz .

§ 1.11 Tiempo de recuperación inverso

49. Dibuje la forma de la onda para i en la red de la figura 1.63 si $t_i = 2t_s$ y el tiempo total de recuperación inverso es de 9 ns .

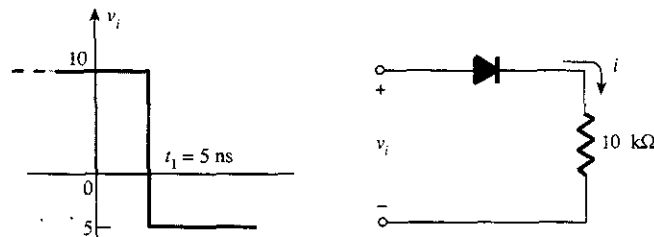


Figura 1.63 Problema 49.

§ 1.14 Diodos Zener

50. Las siguientes características están especificadas para un diodo Zener en particular: $V_Z = 29\text{ V}$, $V_R = 16.8\text{ V}$, $I_{ZT} = 10\text{ mA}$, $I_R = 20\text{ }\mu\text{A}$ y $I_{ZM} = 40\text{ mA}$. Dibuje la curva característica de la manera que tiene en la figura 1.50.
- * 51. ¿A qué temperatura tendrá el diodo Zener 1N961 10 V Fairchild un voltaje nominal de 10.75 V ? (Sugerencia: Observe los datos de la tabla 1.4).
52. Determine el coeficiente de temperatura de un diodo Zener de 5 V (caracterizado a $25\text{ }^\circ\text{C}$) si el voltaje nominal cae a 4.8 V a una temperatura de $100\text{ }^\circ\text{C}$.
53. Utilizando las curvas de la figura 1.51a, ¿qué nivel de coeficiente de temperatura esperaría para un diodo de 20 V ? Repita para un diodo de 5 V . Suponga una escala lineal entre los niveles de voltaje nominal y un nivel de corriente de 0.1 mA .
54. Determine la impedancia dinámica para el diodo de 24 V a $I_Z = 10\text{ mA}$ para la figura 1.51b. Observe que se trata de una escala logarítmica.
- * 55. Compare los niveles de impedancia dinámica para el diodo de 24 V de la figura 1.51b a los niveles de corriente de 0.2 mA , 1 mA , y 10 mA . ¿Cómo se relacionan los resultados a la forma de las características en esta región?

§ 1.15 Diodos emisores de luz

56. Refiriéndose a la figura 1.55e, ¿cuál parecería ser un valor apropiado de V_T para este dispositivo? ¿Cómo se compara con el valor de V_T para el silicio y el germanio?
57. Utilizando la información que se proporciona en la figura 1.55, determine el voltaje directo a través del diodo si la intensidad lumínica relativa es de 1.5 .
- * 58. a) ¿Cuál es el porcentaje de incremento en la eficiencia relativa de la figura 1.55 si la corriente pico crece de 5 a 10 mA ?
- b) Repita el inciso *a* para 30 a 35 mA (el mismo incremento en corriente).
- c) Compare el porcentaje de incremento de los incisos *a* y *b*. ¿En qué punto de la curva diría usted que se gana poco al seguir aumentando la corriente pico?



- * 59. a) Refiriéndose a la figura 1.55h, determine la corriente pico tolerable máxima, si el periodo de la duración del pulso es de 1 ms, la frecuencia es de 300 Hz y la máxima corriente de tolerable es de 20 mA.
- b) Repita el inciso a para una frecuencia de 100 Hz.
60. a) Si la intensidad lumínica en un desplazamiento angular de 0° es de 3.0 mcd para el dispositivo de la figura 1.55, ¿a qué ángulo será de 0.75 mcd?
- b) ¿A qué ángulo cae la pérdida de intensidad lumínica debajo del nivel de 50%?
- * 61. Dibuje la curva de pérdida de corriente para la corriente directa promedio del LED rojo de alta eficiencia de la figura 1.55a como se determinó para la temperatura. (Observe los valores máximos promedio.)

*Los asteriscos indican problemas más difíciles.

Aplicaciones de diodos

2

2.1 INTRODUCCIÓN

La construcción, características y modelos de los diodos semiconductores se analizaron en el capítulo 1. El objetivo principal del presente capítulo es desarrollar un amplio conocimiento práctico sobre el diodo en una variedad de configuraciones utilizando los modelos adecuados para el área de aplicación. Una vez que concluya este capítulo, se comprenderá con claridad el patrón básico de comportamiento de los diodos en las redes de dc y ac. Los conceptos que aprenda en este capítulo aparecerán de manera recurrente en los subsiguientes. Por ejemplo, los diodos se utilizan a menudo en la descripción de la construcción básica de los transistores y en el análisis de las redes de transistores en dc y ac.

El contenido de este capítulo revela una faceta interesante y muy positiva del estudio de un campo tal como el de los dispositivos electrónicos y los sistemas; una vez que se comprende con claridad el comportamiento básico de un dispositivo, se pueden determinar su función y respuesta en una variedad infinita de configuraciones. El rango de aplicaciones no tiene fin; sin embargo, las características y los modelos no sufren cambio alguno. El análisis abarcará desde el que emplea las características reales del diodo hasta el que utiliza, casi exclusivamente, modelos aproximados. Es importante que la función y respuesta de varios elementos dentro de un sistema electrónico se comprendan sin tener que repasar de forma continua procedimientos matemáticos prolongados y tediosos. Por lo general, esto se lleva a cabo a través del proceso de aproximación, el cual por sí mismo se puede considerar un arte. Si bien los resultados que se obtienen al utilizar las características reales pueden diferir un poco de aquellos en los que se requiere una serie de aproximaciones, tenga en cuenta que también las características obtenidas de la hoja de especificaciones pueden ser un poco distintas a las que se obtengan del uso real del dispositivo. En otras palabras, las características de un diodo semiconductor 1N4001 pueden variar de un elemento a otro dentro de un mismo lote. La variación puede ser ligera, pero a menudo será suficiente para validar las aproximaciones utilizadas en el análisis. También se deben considerar los otros elementos de la red. ¿Es la resistencia nominal de $100\ \Omega$ exactamente igual a $100\ \Omega$? ¿El voltaje aplicado es exactamente igual a 10 V o quizá 10.08 V ? Todas estas tolerancias contribuyen a la creencia general en cuanto a que una respuesta determinada mediante un conjunto adecuado de aproximaciones, quizá resulte tan “exacta” como una en la que se utilizan las características en su totalidad. En este libro el énfasis se centra en el desarrollo de un conocimiento práctico de un dispositivo, mediante la utilización de las aproximaciones adecuadas, evitando así un nivel innecesario de complejidad matemática. Sin embargo, también se proporcionan detalles suficientes con objeto de permitir que quien lo desee, esté en condiciones de realizar un análisis matemático minucioso.

2.2 ANÁLISIS MEDIANTE LA RECTA DE CARGA

Normalmente, la carga aplicada tendrá un impacto importante en el punto o región de operación del dispositivo. Si el análisis se debe llevar a cabo de manera gráfica, se puede dibujar una línea recta sobre las características del dispositivo que represente la carga aplicada. La intersección de la recta de carga con las características determinará el punto de operación del sistema. Por razones obvias, a este análisis se le llama *análisis mediante la recta de carga*. Aunque la mayor parte de las redes de diodos que se analizan en este capítulo no utilizan el sistema de la recta de carga, la técnica se usa de manera frecuente en los capítulos siguientes, y esta introducción ofrece la aplicación más simplificada del método. Permite de igual forma una validación de la aproximación de la técnica descrita a lo largo del resto del capítulo.

Considere la red de la figura 2.1 que utiliza un diodo, el cual tiene las características de la figura 2.1b. Obsérvese en la figura 2.1a que la “presión” que proporciona la batería tiene como objetivo establecer una corriente a través del circuito en serie, de acuerdo con el sentido de las manecillas del reloj. El hecho de que esta corriente y la dirección de conducción definida del diodo sean “semejantes”, indica que el diodo está en estado “encendido” y que se establece la conducción. La polaridad resultante a través del diodo será como se señala, y el primer cuadrante (V_D e I_D positivos) de la figura 2.1b será la región de interés, es decir, la región de polarización directa.

Al aplicar la ley de voltaje de Kirchhoff al circuito en serie de la figura 2.1a dará por resultado

$$E - V_D - V_R = 0$$

$$E = V_D + I_D R \quad (2.1)$$

Las dos variables en la ecuación (2.1) (V_D e I_D) son las mismas que las variables de los ejes del diodo de la figura 2.1b. Esta similitud permite una graficación de la ecuación (2.1) sobre las mismas características de la figura 2.1b.

Las intersecciones de la recta de carga sobre las características pueden determinarse con facilidad si se considera que en cualquier lugar del eje horizontal $I_D = 0$ A y que en cualquier lugar del eje vertical $V_D = 0$ V.

Si se establece $V_D = 0$ V en la ecuación (2.1) y se resuelve para I_D , se tiene una magnitud de I_D sobre el eje vertical. Por tanto, con $V_D = 0$ V la ecuación (2.1) se convierte en

$$\begin{aligned} E &= V_D + I_D R \\ &= 0 \text{ V} + I_D R \end{aligned}$$

$$I_D = \frac{E}{R} \Big|_{V_D = 0 \text{ V}} \quad (2.2)$$

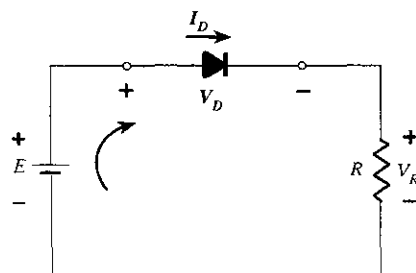
como lo indica la figura 2.2. Si se establece $I_D = 0$ A en la ecuación (2.1) y se resuelve para V_D , se tiene la magnitud de V_D sobre el eje vertical. Por tanto, con $I_D = 0$ A la ecuación (2.1) se convierte en

$$\begin{aligned} E &= V_D + I_D R \\ &= V_D + (0 \text{ A}) R \end{aligned}$$

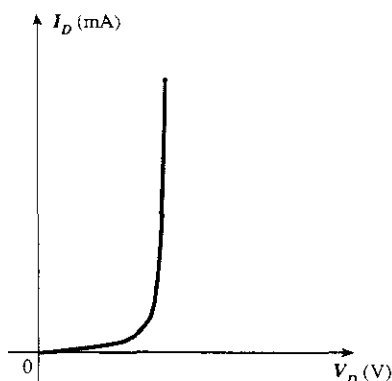
$$V_D = E \Big|_{I_D = 0 \text{ A}} \quad (2.3)$$

como lo señala la figura 2.2. Una línea recta dibujada entre los dos puntos definirá una recta de carga como la descrita en la figura 2.2. Si se cambia el nivel de R (la carga), cambiará la intersección sobre el eje vertical. El resultado será un cambio en la pendiente de la recta de carga, y en un punto de intersección diferente entre la recta de carga y las características del dispositivo.

Ahora se tiene una recta de carga definida por la red y una curva de características definida por el dispositivo. El punto de intersección entre las dos es el punto de operación para este



(a)



(b)

Figura 2.1 Configuración de diodo en serie: a) circuito; b) características.

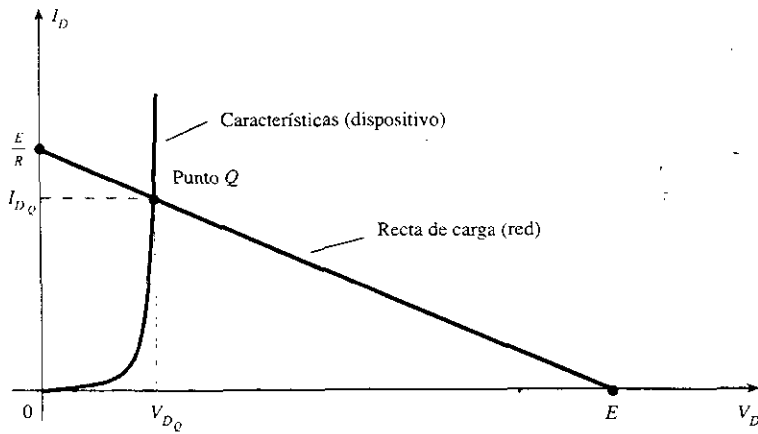


Figura 2.2 Dibujo de la recta de carga y la selección del punto de operación.

circuito. Mediante el sencillo dibujo de una línea recta hacia abajo hasta el eje horizontal puede determinarse el voltaje del diodo V_{DQ} , mientras que una línea horizontal a partir del punto de intersección y hasta el eje vertical dará el nivel de I_{DQ} . La corriente I_D es en realidad la corriente a través de toda la configuración en serie de la figura 2.1a. En general, al punto de operación se le llama *punto estable* (abreviado “Q-pt”, por las palabras en inglés de: *Quiescent Point*) y refleja sus cualidades de “estable y sin movimiento” según se definió para una red de dc.

La solución que se obtiene por la intersección de las dos curvas es la misma que podría conseguirse mediante la solución matemática de las ecuaciones simultáneas (2.1) y (1.4) [$I_D = I_S(e^{KV_D/T_K} - 1)$]. Puesto que la curva para un diodo tiene características no lineales, las matemáticas involucradas requerirían del uso de técnicas no lineales que están fuera de las necesidades y objetivo de este libro. El análisis de la recta de carga descrito antes ofrece una solución con un mínimo de esfuerzo, y una descripción “pictórica” de la razón por la cual se obtuvieron los niveles de solución para V_{DQ} e I_{DQ} . Los siguientes dos ejemplos demostrarán las técnicas que se presentaron, las cuales ofrecen una facilidad relativa con la que puede dibujarse la recta de carga utilizando las ecuaciones (2.2) y (2.3).

Determinar para la configuración de diodos en serie de la figura 2.3a usando las características de diodo de la figura 2.3b:

EJEMPLO 2.1

- V_{DQ} e I_{DQ} .
- V_R .

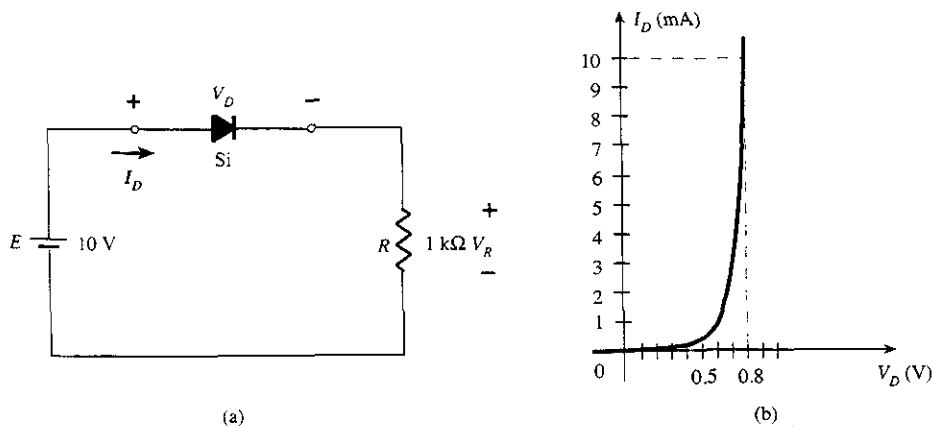


Figura 2.3 a) Circuito; b) características.

Solución

a) La ecuación (2.2): $I_D = \frac{E}{R} \Big|_{V_D = 0 \text{ V}} = \frac{10 \text{ V}}{1 \text{ k}\Omega} = 10 \text{ mA}$

La ecuación (2.3): $V_D = E|_{I_D = 0 \text{ A}} = 10 \text{ V}$

La recta de carga resultante aparece en la figura 2.4. La intersección entre la recta de carga y la curva característica define el punto Q como

$$\begin{aligned} V_{D_Q} &\cong 0.78 \text{ V} \\ I_{D_Q} &\cong 9.25 \text{ mA} \end{aligned}$$

El nivel de V_D es una estimación y la exactitud de I_D está limitada por la escala elegida. Un grado más alto de exactitud requeriría de una gráfica mucho más grande.

b) $V_R = I_R R = I_{D_Q} R = (9.25 \text{ mA})(1 \text{ k}\Omega) = 9.25 \text{ V}$

o $V_R = E - V_D = 10 \text{ V} - 0.78 \text{ V} = 9.22 \text{ V}$

La diferencia en los resultados se debe a la exactitud con la cual se pueda leer la gráfica. Es ideal cuando los resultados que se obtienen de una u otra manera son los mismos.

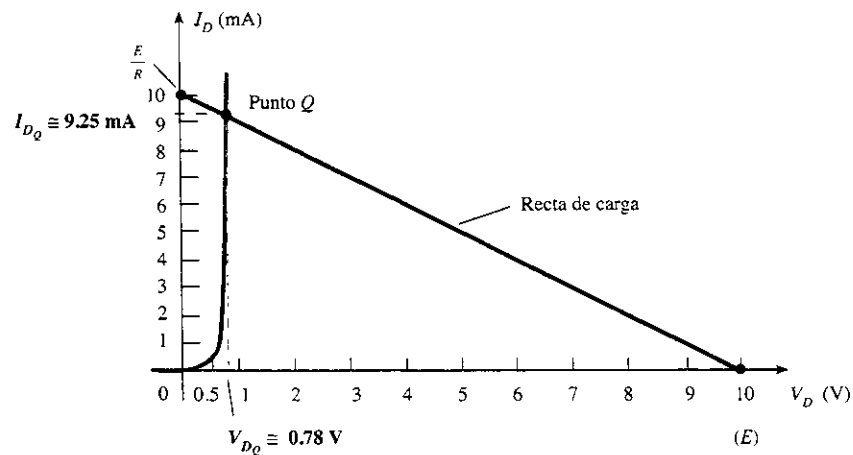


Figura 2.4 Solución al ejemplo 2.1.

EJEMPLO 2.2

Repetir el análisis del ejemplo 2.1 con $R = 2 \text{ k}\Omega$.

Solución

a) La ecuación (2.2): $I_D = \frac{E}{R} \Big|_{V_D = 0 \text{ V}} = \frac{10 \text{ V}}{2 \text{ k}\Omega} = 5 \text{ mA}$

La ecuación (2.3): $V_D = E|_{I_D = 0 \text{ A}} = 10 \text{ V}$

La recta de carga resultante aparece en la figura 2.5. Obsérvese la pendiente reducida y los niveles de corriente del diodo para las cargas crecientes. El punto Q resultante está definido por

$$\begin{aligned} V_{D_Q} &\cong 0.7 \text{ V} \\ I_{D_Q} &\cong 4.6 \text{ mA} \end{aligned}$$

b) $V_R = I_R R = I_{D_Q} R = (4.6 \text{ mA})(2 \text{ k}\Omega) = 9.2 \text{ V}$

con $V_R = E - V_D = 10 \text{ V} - 0.7 \text{ V} = 9.3 \text{ V}$

La diferencia en los niveles se debe, una vez más, a la exactitud con la cual se pueda leer la gráfica. Es cierto que los resultados ofrecen una magnitud esperada para el voltaje V_R .

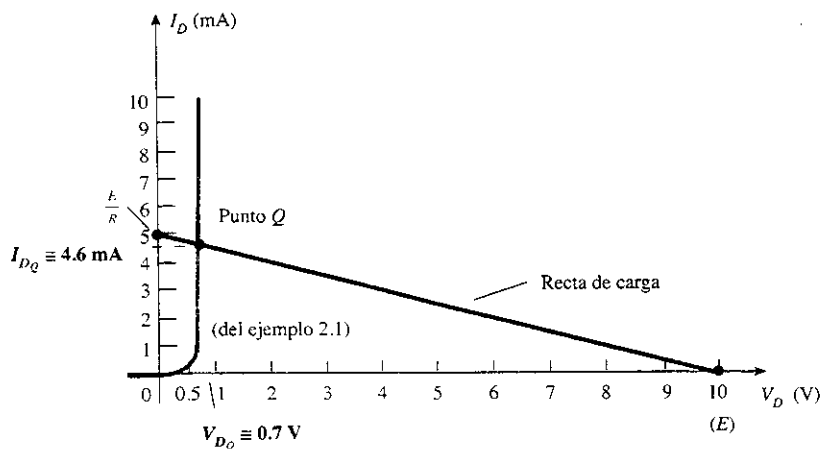


Figura 2.5 Solución al ejemplo 2.2.

Como se observa en los ejemplos anteriores, la recta de carga está determinada sólo por la red aplicada, mientras las características están definidas para el dispositivo elegido. Si se recurre al modelo aproximado para el diodo y no se cambia la red, la recta de carga será exactamente la misma que se obtuvo en los ejemplos anteriores. De hecho, los siguientes dos ejemplos repiten el análisis de los ejemplos 2.1 y 2.2 mediante el empleo del modelo aproximado para permitir una comparación de los resultados.

Repetir el ejemplo 2.1 usando el modelo equivalente aproximado para el diodo semiconductor de silicio.

EJEMPLO 2.3

Solución

Se dibuja de nuevo la recta de carga según se muestra en la figura 2.6, con la misma intersección como se definió en el ejemplo 2.1. Las características del circuito equivalente aproximado para el diodo también se han trazado en la misma gráfica. El punto Q resultante:

$$V_{D_Q} = 0.7 \text{ V}$$

$$I_{D_Q} = 9.25 \text{ mA}$$

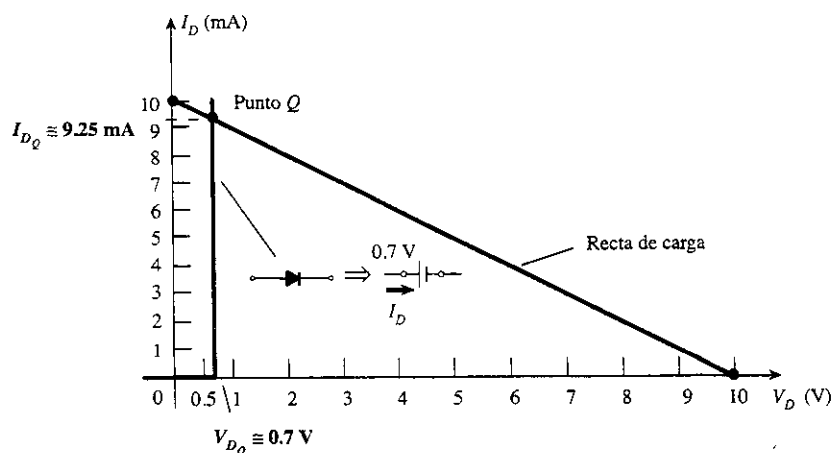


Figura 2.6 Solución al ejemplo 2.1 usando el modelo aproximado del diodo.

Los resultados que se obtienen en el ejemplo 2.3 son muy interesantes, porque el nivel de I_{D_Q} es exactamente el mismo que el del ejemplo 2.1 empleando una curva de características que resulta mucho más fácil dibujar que la que aparece en la figura 2.4. El nivel de $V_D \approx 0.7$ V contra 0.78 V del ejemplo 2.1 tiene una diferencia en magnitud del orden de las centésimas, pero es cierto que están en la misma vecindad, si se comparan sus magnitudes con las de los otros voltajes en la red.

EJEMPLO 2.4

Repetir el ejemplo 2.2 usando el modelo equivalente aproximado para el diodo semiconductor de silicio.

Solución

La recta de carga se dibuja de nuevo como lo indica la figura 2.7, con la misma intersección definida en el ejemplo 2.2. Las características del circuito equivalente aproximado para el diodo también se dibujaron en la misma gráfica. El punto Q resultante:

$$V_{D_Q} = 0.7 \text{ V}$$

$$I_{D_Q} = 4.6 \text{ mA}$$

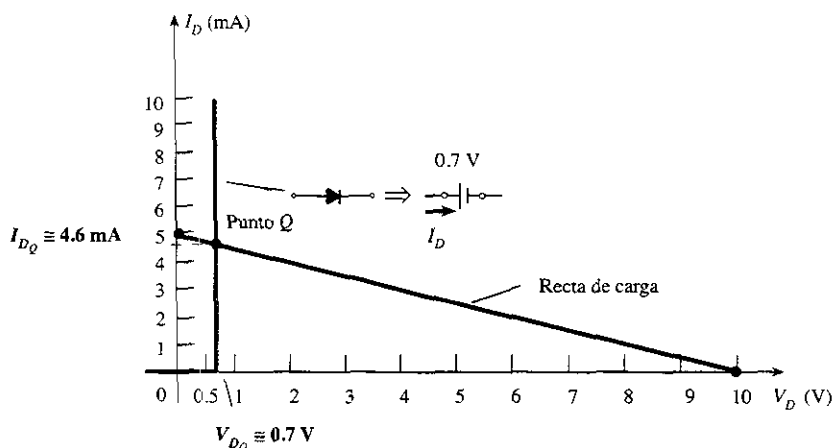


Figura 2.7 Solución al ejemplo 2.2 utilizando el modelo aproximado del diodo.

En el ejemplo 2.4 los resultados que se obtienen tanto para V_{D_Q} como para I_{D_Q} son los mismos que los que resultaron empleando las características completas en el ejemplo 2.2. Los ejemplos anteriores demuestran que los niveles de corriente y voltaje que se obtuvieron al utilizar el modelo aproximado, son muy cercanos a los que resultaron al utilizar las características completas. Esto sugiere, como se verá al aplicarlo en las próximas secciones, que el uso de las aproximaciones adecuadas puede dar como resultado la obtención de soluciones que son muy cercanas a la respuesta real con un nivel reducido de incertidumbre acerca de la reproducción adecuada de las características, eligiendo a su vez una escala lo suficiente grande. Los resultados indicarán las condiciones que deben ser satisfechas para poder aplicar el equivalente ideal de forma adecuada.

EJEMPLO 2.5

Repetir el ejemplo 2.1 usando el modelo del diodo ideal.

Solución

En la figura 2.8 se mostró cómo la recta de carga continúa siendo la misma, pero ahora las características ideales se intersecan con la recta de carga en el eje vertical. Por tanto, el punto Q está definido por

$$V_{D_Q} = 0 \text{ V}$$

$$I_{D_Q} = 10 \text{ mA}$$

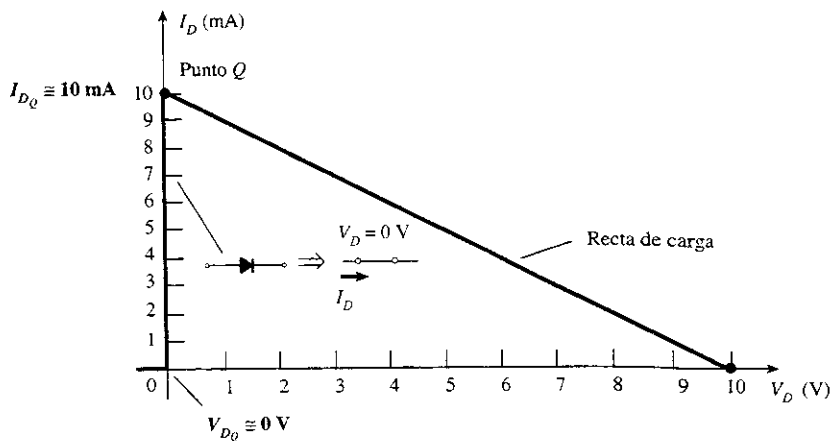


Figura 2.8 Solución al ejemplo 2.1 usando el modelo del diodo ideal.

Los resultados son lo suficientemente diferentes para las soluciones del ejemplo 2.1 como para causar una incertidumbre acerca de su exactitud. Es cierto que ofrecen alguna indicación acerca del nivel de voltaje y corriente que deben esperarse para otros niveles de voltaje de la red, pero el esfuerzo adicional de incluir el equivalente de 0.7 V, muestra que el método del ejemplo 2.3 es más apropiado.

Por tanto, el uso del modelo del diodo ideal debe reservarse para aquellas ocasiones cuando la función de un diodo sea más importante, que los niveles de voltaje que pueden variar en décimas de un volt, y en las situaciones donde los voltajes aplicados son de manera considerable más grandes que el voltaje de umbral V_T . En las siguientes secciones se usará en forma casi exclusiva el modelo aproximado, ya que los niveles de voltaje que resulten serán sensibles a las variaciones que se aproximan a V_T . También en secciones posteriores se usará el modelo ideal con mayor frecuencia debido a que los voltajes aplicados serán un poco más altos que V_T y los autores desean asegurarse que la función del diodo quede comprendida en forma correcta y clara.

2.3 APROXIMACIONES DE DIODOS

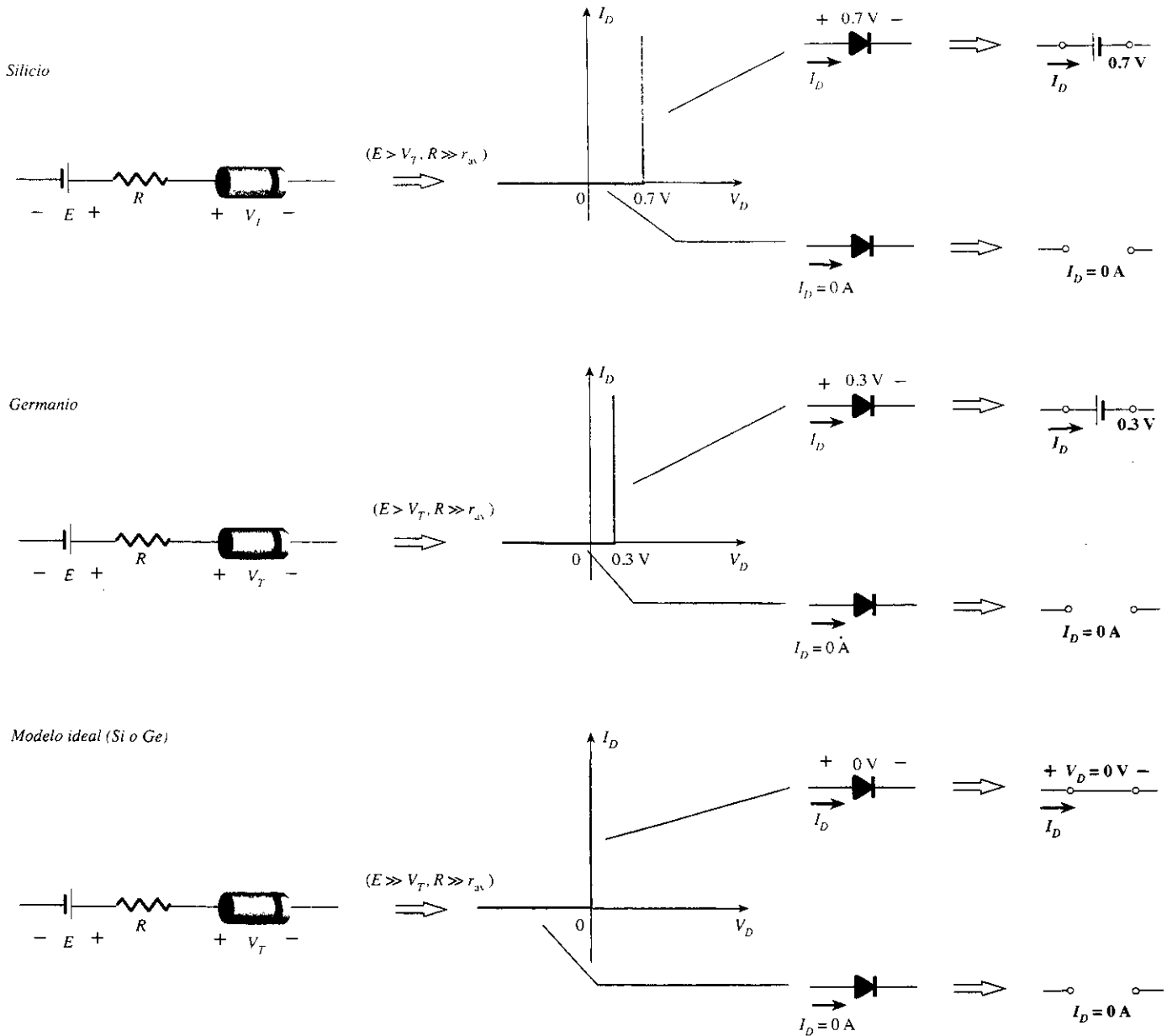
En la sección 2.2 se indicó que los resultados que se obtuvieron al emplear el modelo equivalente de segmentos lineales fueron muy cercanos, si no iguales, a la respuesta obtenida al utilizar las características de manera completa. De hecho, si se consideran todas las posibles variaciones debidas a las tolerancias, temperaturas, y así sucesivamente, se podría considerar una solución "tan exacta" como la otra. Debido a que el uso del modelo aproximado genera los resultados que se desean después de un tiempo y esfuerzo reducidos, será entonces el sistema empleado en este libro, a menos que se especifique lo contrario. Recuerde lo siguiente:

El propósito básico de este libro es desarrollar un conocimiento general acerca del comportamiento, capacidades y áreas posibles de aplicación de un dispositivo, de manera que minimice la necesidad de extensos desarrollos matemáticos.

El modelo equivalente de segmentos lineales completo se presentó en el capítulo 1, y no se utilizó en el análisis de la recta de carga debido a que r_{av} suele ser mucho menor que los otros elementos en serie de la red. Si r_{av} fuera cercano en magnitud a los otros elementos en serie de la red, el modelo equivalente completo podría aplicarse de la misma forma como se describió en la sección 2.2.

Con la finalidad de preparar el análisis que se presentará, se desarrolló la tabla 2.1 para repasar las características más importantes, los modelos y las condiciones de aplicación de los modelos aproximados e ideales de los diodos. Aunque el diodo de silicio se usa en forma casi

TABLA 2.1 Modelos de diodo semiconductor aproximado e ideal



exclusiva debido a sus características de temperatura, todavía se utiliza el diodo de germanio, y por tanto se incluye en la figura 2.1. De la misma manera que el diodo de silicio, un diodo de germanio se aproxima mediante un equivalente de circuito abierto para los voltajes menores que V_T . Entrará al estado “encendido” cuando $V_D \geq V_T = 0.3 \text{ V}$.

Tenga en cuenta que el 0.7 V y el 0.3 V en los circuitos equivalentes no son fuentes independientes de energía, pero están ahí sólo para que recuerde que existe un “precio que debe pagarse” por encender un diodo. Un diodo aislado en la mesa de laboratorio no indicará 0.7 V o 0.3 V si se coloca un voltímetro en sus terminales. Los fabricantes especifican la caída de voltaje a través de cada uno cuando el dispositivo se encuentra en “encendido”, y detallan que el voltaje del diodo debe ser por lo menos del nivel que se indica antes que la conducción pueda establecerse.

En las siguientes secciones se demostrará el impacto de los modelos de la tabla 2.1 sobre el análisis de las configuraciones de los diodos. Para las situaciones en que se emplee el circuito equivalente aproximado, el símbolo del diodo aparecerá como lo señala la figura 2.9a para los diodos de silicio y de germanio. Si las condiciones son las que podrían usarse en el modelo del diodo ideal, el símbolo del diodo aparecerá como lo indica la figura 2.9b.

2.4 CONFIGURACIONES DE DIODOS EN SERIE CON ENTRADAS DE DC

En esta sección se usará el modelo aproximado para investigar una variedad de configuraciones de diodos en serie con entradas de dc. Dicho contenido establece los fundamentos en el análisis de diodos que se aplicarán en las secciones y capítulos siguientes. El procedimiento descrito podrá aplicarse a redes con cualquier número de diodos y en una variedad de configuraciones.

Primero, para cada configuración debe determinarse el estado de cada diodo. ¿Cuáles diodos se encuentran en “encendido” y cuáles en “apagado”? Una vez que esto se hace, se puede sustituir el equivalente adecuado como se definió en la sección 2.3 y determinar los parámetros restantes de la red determinada.

En general, un diodo está en estado “encendido” si la corriente establecida por las fuentes aplicadas es tal que su dirección concuerda con la flecha del símbolo del diodo, y $V_D \geq 0.7$ V para el silicio y $V_D \geq 0.3$ V para el germanio.

Para cada configuración, se reemplazarán *mentalmente* los diodos por elementos resistivos y se observará la dirección resultante de la corriente, de acuerdo como se establece debido a los voltajes aplicados (“presión”). Si la dirección resultante es “similar” a la flecha del símbolo del diodo, ocurrirá la conducción a través del diodo y el dispositivo estará en estado “encendido”. La descripción anterior depende de que la fuente suministre un voltaje mayor que el voltaje de “encendido” (V_T) de cada diodo.

Si un diodo está en estado “encendido”, se puede colocar una caída de 0.7-V a través del elemento, o dibujar de nuevo la red con el circuito equivalente V_T como se definió en la tabla 2.1. Con el tiempo, probablemente se preferirá incluir la caída de 0.7-V a través de cada diodo en “encendido” y dibujar una línea a través de cada diodo en estado “apagado” o abierto. Inicialmente el método de sustitución se utilizará con el fin de asegurar que se determinen el voltaje y los niveles de corriente adecuados.

El circuito en serie de la figura 2.10, descrito brevemente en la sección 2.2, se necesitará para demostrar la aproximación descrita en los párrafos anteriores. Primero, el estado del diodo se determina de forma mental al reemplazar el diodo con un elemento resistivo, como lo indica la figura 2.11. La dirección resultante de I coincide con la flecha en el símbolo del diodo, y dado que $E > V_T$, el diodo se encuentra en estado “encendido”. Se dibuja de nuevo la red como lo señala la figura 2.12 con el modelo equivalente apropiado para el diodo de silicio con polarización directa. Obsérvese para una futura referencia, que la polaridad de V_D es la misma que la que resultaría si de hecho el diodo fuera un elemento resistivo. El voltaje resultante y los niveles de corriente son los siguientes:

$$V_D = V_T \quad (2.4)$$

$$V_R = E - V_T \quad (2.5)$$

$$I_D = I_R = \frac{V_R}{R} \quad (2.6)$$

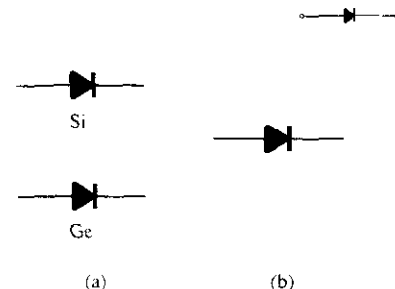


Figura 2.9 a) Notación del modelo aproximado; b) notación del modelo ideal.

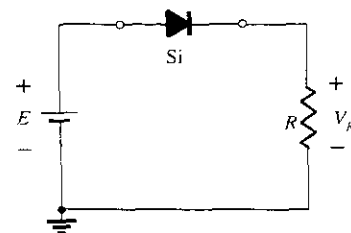


Figura 2.10 Configuración con diodo en serie.

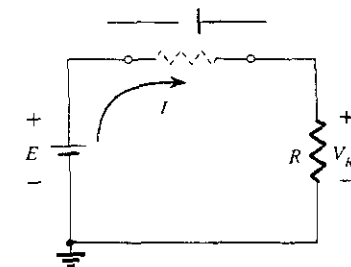


Figura 2.11 Determinación del estado del diodo de la figura 2.10.

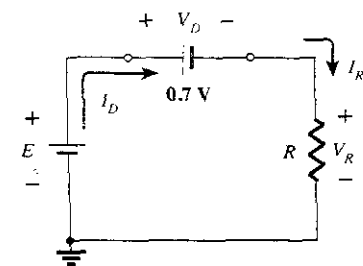


Figura 2.12 Sustitución del modelo equivalente para el diodo en estado “encendido” de la figura 2.10.

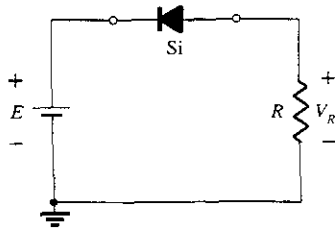


Figura 2.13 Invertiendo el diodo de la figura 2.10.

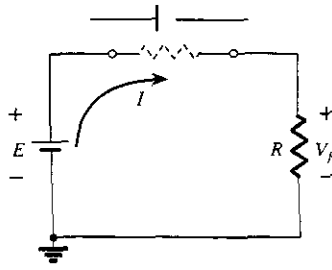


Figura 2.14 Determinación del estado del diodo de la figura 2.13.

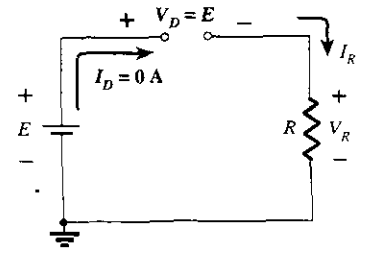


Figura 2.15 Sustitución del modelo equivalente para el diodo en estado "apagado" de la figura 2.13.

En la figura 2.13 el diodo de la figura 2.10 se invirtió. El reemplazo mental del diodo por un elemento resistivo según la figura 2.14 indicará que la dirección resultante de la corriente no coincide con la flecha del símbolo del diodo. El diodo está en estado "apagado", lo que genera el circuito equivalente de la figura 2.15. Debido al circuito abierto, la corriente del diodo es de 0 A y el voltaje a través de la resistencia R es la siguiente:

$$V_R = I_R R = I_D R = (0 \text{ A}) R = 0 \text{ V}$$

El hecho de que $V_R = 0 \text{ V}$ establecerá E volts a través del circuito abierto, como se definió por la ley de voltaje de Kirchhoff. Siempre se tomará en cuenta que bajo cualesquiera circunstancias, valores instantáneos de dc, ac, pulsos, etc., deberá satisfacerse la ley de voltaje de Kirchhoff.

EJEMPLO 2.6

Para la configuración de diodos en serie de la figura 2.16, determinar V_D , V_R e I_D .

Solución

Debido a que el voltaje establece una corriente en la dirección de las manecillas del reloj para coincidir con la flecha del símbolo y que el diodo está en estado "encendido",

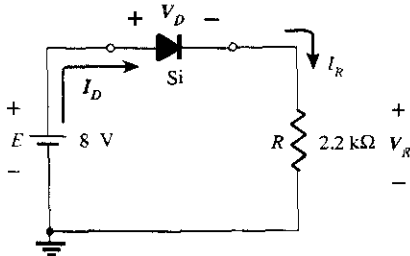


Figura 2.16 Circuito para el ejemplo 2.6.

$$V_D = 0.7 \text{ V}$$

$$V_R = E - V_D = 8 \text{ V} - 0.7 \text{ V} = 7.3 \text{ V}$$

$$I_D = I_R = \frac{V_R}{R} = \frac{7.3 \text{ V}}{2.2 \text{ k}\Omega} \cong 3.32 \text{ mA}$$

EJEMPLO 2.7

Repetir el ejemplo 2.6 con el diodo invertido.

Solución

Al eliminar el diodo, resulta que la dirección de I es opuesta a la flecha en el símbolo del diodo, y que el equivalente del diodo es el circuito abierto sin importar qué modelo se utilice. Debido al circuito abierto, el resultado es la red de la figura 2.17, donde $I_D = 0 \text{ A}$. Esto es porque $V_R = I_R R$, $V_R = (0) R = 0 \text{ V}$. Aplicando la ley de voltaje de Kirchhoff alrededor del lazo cerrado genera

$$E - V_D - V_R = 0$$

y

$$V_D = E - V_R = E - 0 = E = 8 \text{ V}$$

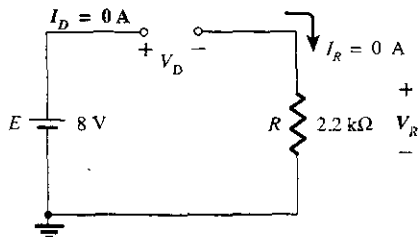


Figura 2.17 Determinación de las cantidades desconocidas para el ejemplo 2.7.

Obsérvese en el ejemplo 2.7 el alto voltaje a través del diodo a pesar de que se encuentra en estado “apagado”. La corriente es cero, pero el voltaje es significativo. Con el fin de repasar, debe recordarse el análisis siguiente:

1. Un circuito abierto puede tener cualquier voltaje a través de sus terminales, pero la corriente siempre será igual a 0 A.
2. Un circuito cerrado tiene una caída de 0 V a través de sus terminales, pero la corriente estará limitada por la red que la rodea.

En el siguiente ejemplo es importante la notación de la figura 2.18 para el voltaje aplicado. Se trata de una notación común en la industria, con la que el lector debe familiarizarse. Dicha notación y otros niveles definidos de voltaje se tratarán con mayor profundidad en el capítulo 4.

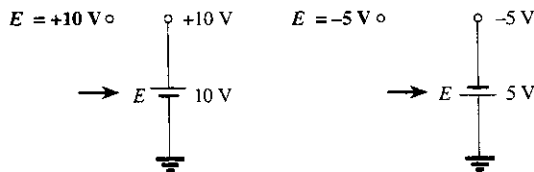


Figura 2.18 Notación de la fuente.

Para la configuración de diodo en serie de la figura 2.19, determinar V_D , V_R e I_D .

EJEMPLO 2.8

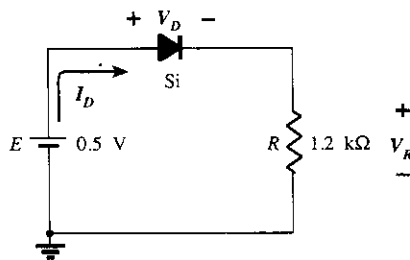


Figura 2.19 Circuito del diodo en serie para el ejemplo 2.8.

Solución

A pesar de que la “presión” establece una corriente con la misma dirección que el símbolo de la flecha, el nivel del voltaje aplicado resulta insuficiente para “encender” el diodo de silicio. El punto de operación sobre las características se señala en la figura 2.20, y establece el equivalente del circuito abierto como la aproximación adecuada. El voltaje resultante y los niveles de corriente son por tanto los siguientes:

$$I_D = 0 \text{ A}$$

$$V_R = I_R R = I_D R = (0 \text{ A}) 1.2 \text{ k}\Omega = 0 \text{ V}$$

y

$$V_D = E = 0.5 \text{ V}$$

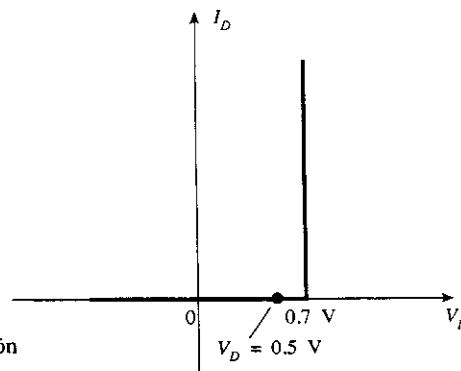


Figura 2.20 Punto de operación con $E = 0.5 \text{ V}$.

EJEMPLO 2.9

Determinar V_o e I_D para el circuito en serie de la figura 2.21.

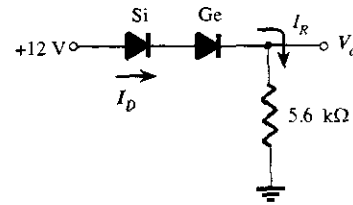


Figura 2.21 Circuito para el ejemplo 2.9.

Solución

Un enfoque similar que se aplicó en la figura 2.6 revelará que la corriente resultante tiene la misma dirección que las flechas de los símbolos de ambos diodos, y que la red de la figura 2.22 es el resultado, porque $E = 12 \text{ V} > (0.7 \text{ V} + 0.3 \text{ V}) = 1 \text{ V}$. Nótese la fuente redibujada de 12 V y la polaridad de V_o a través de la resistencia de 5.6 kΩ. El voltaje resultante

$$V_o = E - V_{T_1} - V_{T_2} = 12 \text{ V} - 0.7 \text{ V} - 0.3 \text{ V} = 11 \text{ V}$$

$$e \quad I_D = I_R = \frac{V_R}{R} = \frac{V_o}{R} = \frac{11 \text{ V}}{5.6 \text{ k}\Omega} \cong 1.96 \text{ mA}$$

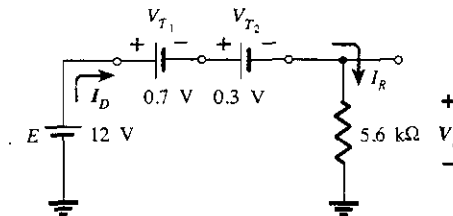


Figura 2.22 Determinación de las cantidades desconocidas para el ejemplo 2.9.

EJEMPLO 2.10

Determinar I_D , V_{D_2} y V_o para el circuito de la figura 2.23.

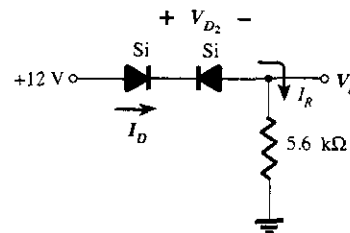


Figura 2.23 Circuito para el ejemplo 2.10.

Solución

Al eliminar los diodos y al determinar la dirección de la corriente resultante I generará el circuito de la figura 2.24. Existe una similitud en la dirección de la corriente para el diodo de silicio, pero no así para el diodo de germanio. La combinación de un corto circuito en serie con un circuito abierto siempre genera como resultado un circuito abierto e $I_D = 0 \text{ A}$, como lo señala la figura 2.25.

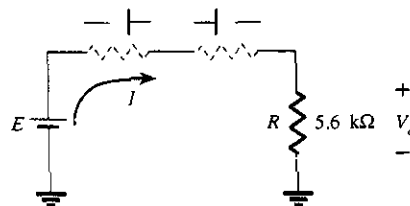


Figura 2.24 Determinación del estado de los diodos de la figura 2.23.

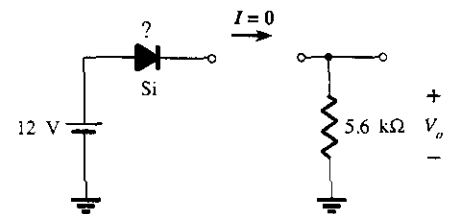


Figura 2.25 Sustitución del estado equivalente para el diodo abierto.

La pregunta que permanece es: ¿qué sustituir en lugar del diodo de silicio? Para el análisis que seguirá y para los capítulos subsiguientes, sólo debe recordarse que para el diodo práctico real $I_D = 0$ A, $V_D = 0$ V (y viceversa), como se describió para la situación sin polarización en el capítulo 1. Las condiciones descritas por $I_D = 0$ A y $V_D = 0$ V se indican en la figura 2.26.

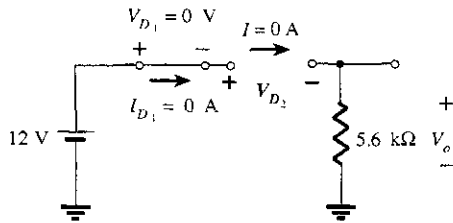


Figura 2.26 Determinación de las cantidades desconocidas para el circuito del ejemplo 2.10.

$$V_o = I_R R = I_D R = (0 \text{ A}) R = 0 \text{ V}$$

y
$$V_{D2} = V_{\text{circuito abierto}} = E = 12 \text{ V}$$

La aplicación de la ley de voltaje de Kirchhoff en la dirección de las manecillas del reloj da

$$E - V_{D1} - V_{D2} - V_o = 0$$

y
$$V_{D2} = E - V_{D1} - V_o = 12 \text{ V} - 0 - 0 = 12 \text{ V}$$

con
$$V_o = 0 \text{ V}$$

Determinar I , V_1 , V_2 y V_o para la configuración de dc en serie de la figura 2.27.

EJEMPLO 2.11

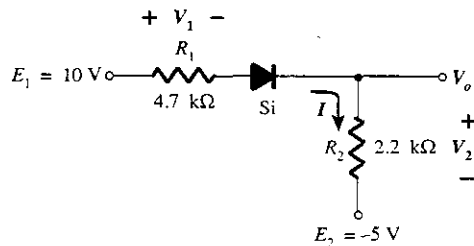


Figura 2.27 Circuito para el ejemplo 2.11.

Solución

Las fuentes se dibujan de nuevo y la dirección de la corriente se indica en la figura 2.28. El diodo está en estado “encendido” y la notación que aparece en la figura 2.29 está incluida para indicar este estado. Obsérvese que el estado “encendido” se anota sólo mediante $V_D = 0.7$ V

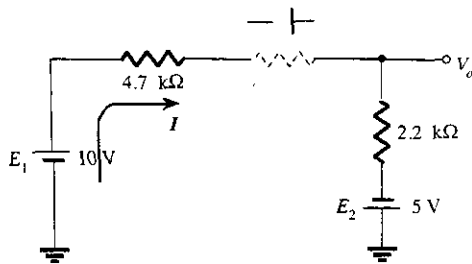


Figura 2.28 Determinación del estado del diodo para la red de la figura 2.27.

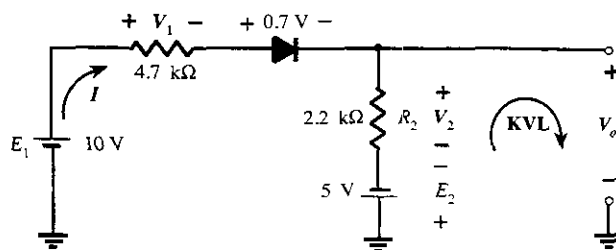


Figura 2.29 Determinación de las cantidades desconocidas para la red de la figura 2.27.

adicional en la figura. Esto elimina la necesidad de dibujar de nuevo la red y evita cualquier confusión que pueda generarse por la aparición de otra fuente. Como se señaló en la introducción de esta sección, es probable que esta sea la ruta y notación que se tomará, una vez que se establece un nivel de confiabilidad en el análisis de las configuraciones de los diodos. Con el tiempo, el análisis completo se desarrollará sólo refiriéndose a la red original. Recuerde que puede indicarse un diodo con polarización inversa, sólo con una línea a través del dispositivo. La corriente resultante a través del circuito es,

$$I = \frac{E_1 + E_2 - V_D}{R_1 + R_2} = \frac{10 \text{ V} + 5 \text{ V} - 0.7 \text{ V}}{4.7 \text{ k}\Omega + 2.2 \text{ k}\Omega} = \frac{14.3 \text{ V}}{6.9 \text{ k}\Omega} \cong 2.07 \text{ mA}$$

y los voltajes son

$$V_1 = IR_1 = (2.07 \text{ mA})(4.7 \text{ k}\Omega) = 9.73 \text{ V}$$

$$V_2 = IR_2 = (2.07 \text{ mA})(2.2 \text{ k}\Omega) = 4.55 \text{ V}$$

La aplicación de la ley de voltaje de Kirchhoff a la sección de salida en la dirección de las manecillas del reloj generará un resultado

$$-E_2 + V_2 - V_o = 0$$

y

$$V_o = V_2 - E_2 = 4.55 \text{ V} - 5 \text{ V} = -0.45 \text{ V}$$

El signo de menos indica que V_o tiene una polaridad opuesta a la que aparece en la figura 2.27.

2.5 CONFIGURACIONES EN PARALELO Y EN SERIE-PARALELO

Los métodos aplicados en la sección 2.4 se pueden extender al análisis de las configuraciones en paralelo y en serie-paralelo. Para cada área de aplicación, sólo se igualan las series secuenciales de pasos aplicados a las configuraciones de diodos en serie.

EJEMPLO 2.12

Determinar V_o , I_1 , I_{D_1} e I_{D_2} para la configuración de diodos en paralelo de la figura 2.30.

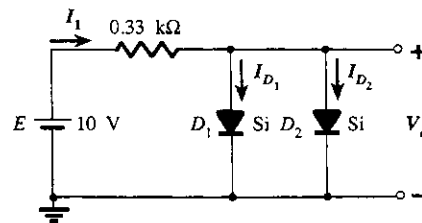


Figura 2.30 Red para el ejemplo 2.12.

Solución

Para el voltaje aplicado, la “presión” de la fuente es para establecer una corriente a través de cada diodo en la misma dirección que se muestra en la figura 2.31. Debido a que la dirección de la corriente resultante es igual a la de la flecha en cada símbolo de diodo, y que el voltaje aplicado es mayor que 0.7 V, ambos diodos están en estado “encendido”. El voltaje a través de los elementos en paralelo es siempre el mismo y

$$V_o = 0.7 \text{ V}$$

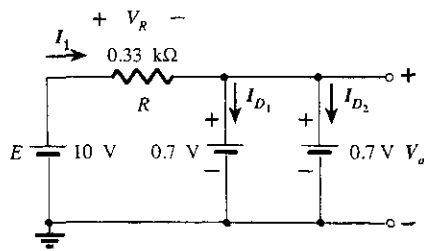


Figura 2.31 Determinación de las cantidades desconocidas para la red del ejemplo 2.12.

La corriente

$$I_1 = \frac{V_R}{R} = \frac{E - V_D}{R} = \frac{10 \text{ V} - 0.7 \text{ V}}{0.33 \text{ k}\Omega} = 28.18 \text{ mA}$$

Suponiendo diodos de características similares, se tiene

$$I_{D_1} = I_{D_2} = \frac{I_1}{2} = \frac{28.18 \text{ mA}}{2} = 14.09 \text{ mA}$$

El ejemplo 2.12 demostró una razón para colocar diodos en paralelo. Si la corriente nominal de los diodos de la figura 2.30 es sólo de 20 mA, una corriente de 28.18 mA dañaría el dispositivo si apareciera sólo en la figura 2.30. Al colocar dos en paralelo, la corriente está limitada a un valor seguro de 14.09 mA con el mismo voltaje terminal.

Determinar la corriente I para la red de la figura 2.32.

EJEMPLO 2.13

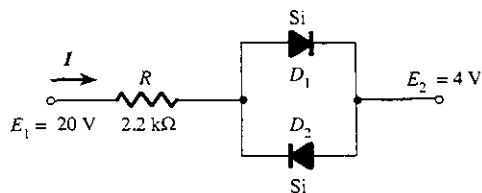


Figura 2.32 Red para el ejemplo 2.13.

Solución

Al dibujar de nuevo la red como lo indica la figura 2.33, se señala que la dirección de la corriente resultante es como para encender el diodo D_1 y apagar el diodo D_2 . La corriente resultante I es entonces

$$I = \frac{E_1 - E_2 - V_D}{R} = \frac{20 \text{ V} - 4 \text{ V} - 0.7 \text{ V}}{2.2 \text{ k}\Omega} \cong 6.95 \text{ mA}$$

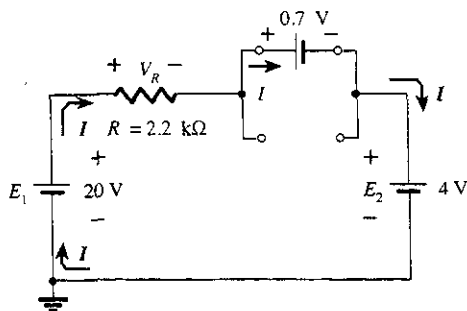


Figura 2.33 Determinación de las cantidades desconocidas para la red del ejemplo 2.13.

EJEMPLO 2.14

Determinar el voltaje V_o para la red de la figura 2.34.

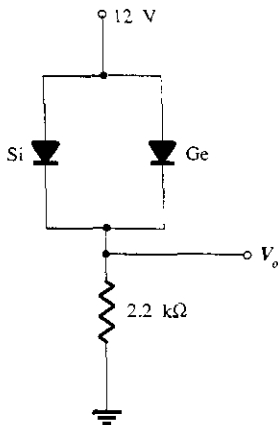


Figura 2.34 Red para el ejemplo 2.14.

Solución

Inicialmente, parecería que el voltaje aplicado “encenderá” ambos diodos; sin embargo, si ambos están en “encendido”, la caída de 0.7-V a través del diodo de silicio no será igual a los 0.3 V a través del diodo de germanio como se requiere, por el hecho de que el voltaje a través de elementos paralelos debe ser el mismo. La acción resultante se puede explicar sólo con notar que cuando la fuente se enciende incrementará de 0 V a 12 V en un periodo, aunque quizá se podría medir en milisegundos. Durante el incremento en que se establece 0.3 V a través del diodo de germanio, éste “prenderá” y mantendrá un nivel de 0.3 V. El diodo de silicio nunca tendrá la oportunidad de capturar su 0.7 V requerido, y por tanto permanecerá en su estado de circuito abierto como lo indica la figura 2.35. El resultado:

$$V_o = 12 \text{ V} - 0.3 \text{ V} = 11.7 \text{ V}$$

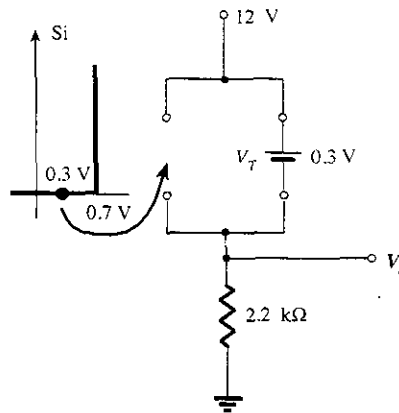


Figura 2.35 Determinación de V_o para la red de la figura 2.34.

EJEMPLO 2.15

Determinar las corrientes I_1 , I_2 e I_{D_2} para la red de la figura 2.36.

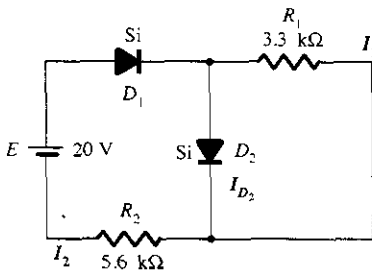


Figura 2.36 Red para el ejemplo 2.15.

Solución

El voltaje aplicado (presión) es como para encender ambos diodos, como se observó por las direcciones de corriente resultante en la red de la figura 2.37. Nótese que el uso de la notación abreviada para los diodos “encendido” y que la solución se obtienen a través de una aplicación de técnicas aplicadas a las redes dc en serie-paralelo.

$$I_1 = \frac{V_{T_2}}{R_1} = \frac{0.7 \text{ V}}{3.3 \text{ k}\Omega} = 0.212 \text{ mA}$$

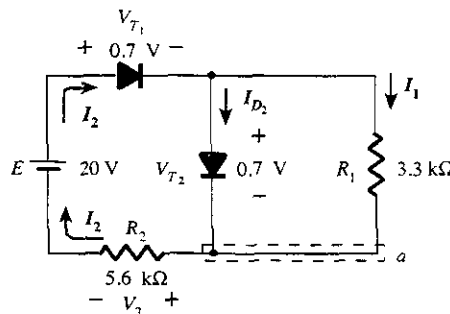


Figura 2.37 Determinación de las cantidades desconocidas para el ejemplo 2.15.

La aplicación de la ley de voltaje de Kirchhoff alrededor de la malla indicada en la dirección de las manecillas del reloj produce:

$$-V_2 + E - V_{T_1} - V_{T_2} = 0$$

$$y \quad V_2 = E - V_{T_1} - V_{T_2} = 20 \text{ V} - 0.7 \text{ V} - 0.7 \text{ V} = 18.6 \text{ V}$$

$$\text{con} \quad I_2 = \frac{V_2}{R_2} = \frac{18.6 \text{ V}}{5.6 \text{ k}\Omega} = 3.32 \text{ mA}$$

En el nodo a de la parte inferior

$$I_{D_2} + I_1 = I_2$$

$$y \quad I_{D_2} = I_2 - I_1 = 3.32 \text{ mA} - 0.212 \text{ mA} = 3.108 \text{ mA}$$

2.6 COMPUERTAS AND/OR

Ahora, las herramientas de análisis están a la disposición, y la oportunidad de investigar una configuración de computadora, que demostrará el rango de aplicaciones de este dispositivo relativamente sencillo. El análisis estará limitado a la determinación de los niveles de voltaje, y no se incluirá un análisis detallado de álgebra booleana o de lógica positiva y negativa.

La red que se analizará en el ejemplo 2.16 es una compuerta OR para lógica positiva. Esto es, el nivel de 10-V de la figura 2.38 tiene asignado un "1" para el álgebra booleana, en tanto que una entrada de 0-V tiene asignado un "0". Una compuerta OR es tal, que el nivel de voltaje de salida será de 1 si alguna o ambas entradas son 1. La salida es de 0 si ambas entradas están en el nivel 0.

El análisis de las compuertas AND/OR se realiza con fáciles mediciones al utilizar el equivalente aproximado para un diodo, en lugar del ideal, debido a que puede estipularse que el voltaje a través del diodo debe ser 0.7 V positivos para el diodo de silicio (0.3 V para el de germanio) para cambiar al estado "encendido".

En general, el mejor método es el de establecer un sentido "intuitivo" para el estado de los diodos mediante la observación de la dirección y la "presión" que establecen los potenciales aplicados. El análisis verificará o negará las suposiciones iniciales.

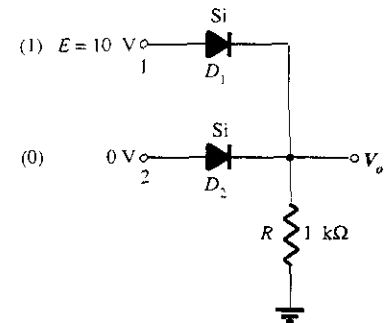


Figura 2.38 Compuerta lógica OR positiva.

Determinar V_o para la red de la figura 2.38.

EJEMPLO 2.16

Solución

Obsérvese que en principio sólo existe un potencial aplicado; 10 V en la terminal 1. La terminal 2 con una entrada de 0 V es esencialmente un potencial de tierra, como se indica en lo que se dibujó de nuevo de la red de la figura 2.39. La figura 2.39 "sugiere" que D_1 está probablemente en estado "encendido" debido a los 10 V aplicados, mientras que D_2 con su lado "positivo" en 0 V está quizá en "apagado". La suposición de estos estados dará por resultado la configuración de la figura 2.40.

El siguiente paso es sólo para verificar que no existen contradicciones en las suposiciones. Esto es, observar que la polaridad a través de D_1 es tal como para encenderlo y que la polaridad a través de D_2 es tal como para apagarlo. Para D_1 el estado "encendido" establece V_o en $V_o = E - V_D = 10 \text{ V} - 0.7 \text{ V} = 9.3 \text{ V}$. Con 9.3 en el lado del cátodo (-) de D_2 y 0 V en el lado del ánodo (+), D_2 está definitivamente en estado "apagado". La dirección de la corriente y la trayectoria continua resultante para la conducción reafirman la suposición de que D_1 está conduciendo. Las suposiciones se confirman por los voltajes y la corriente resultante, y se puede asumir que el análisis inicial es correcto. El nivel de voltaje de salida no es de 10 V como se definió para una entrada de 1, pero el 9.3 V es lo suficientemente grande para ser considerado un nivel 1. Por tanto, la salida es un nivel 1 con sólo una entrada, lo cual sugiere que se trata de una

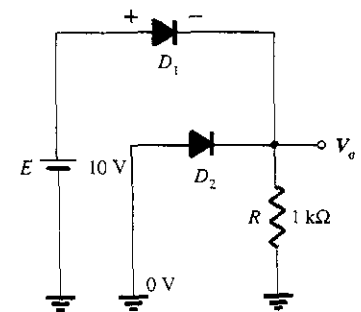


Figura 2.39 Red dibujada de nuevo de la figura 2.38.

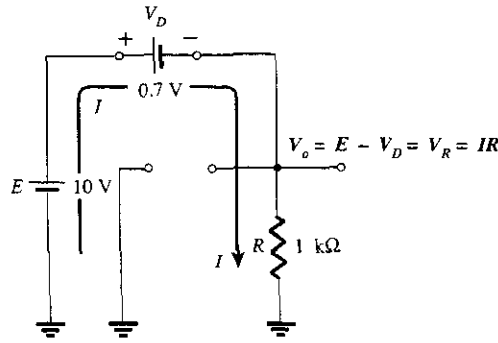


Figura 2.40 Estados del diodo asumidos para la figura 2.38.

compuerta OR. Un análisis de la misma red con dos entradas de 10-V dará por resultado que ambos diodos estén en estado “encendido” y con una salida de 9.3 V. Una entrada de 0-V en ambas entradas, no proporcionará el 0.7 V requerido para encender los diodos y la salida será de 0 debido al nivel de salida de 0-V. Para la red de la figura 2.40 el nivel de corriente se encuentra determinado por

$$I = \frac{E - V_D}{R} = \frac{10 \text{ V} - 0.7 \text{ V}}{1 \text{ k}\Omega} = 9.3 \text{ mA}$$

EJEMPLO 2.17

Determinar el nivel de salida para la compuerta lógica AND positiva de la figura 2.41.

Solución

Obsérvese en este caso que la fuente independiente aparece en la terminal conectada a tierra de la red. Debido a razones que pronto serán obvias, se elige el mismo nivel que el nivel lógico de la entrada. La red está dibujada en la figura 2.42 con las suposiciones iniciales respecto a los estados de los diodos. Con 10 V del lado del cátodo de D_1 se asume que D_1 se encuentra en estado “apagado”, aunque exista una fuente de 10-V conectada al ánodo de D_1 a través de la resistencia. Sin embargo, recuerde que se mencionó en la introducción de esta sección que el empleo del modelo aproximado servirá de ayuda para el análisis. Para D_1 ¿de dónde vendrá el 0.7 V, si los voltajes de entrada y fuente se encuentran en el mismo nivel y creando “presiones” opuestas? Se supone que D_2 se encuentra en estado “encendido” debido al bajo voltaje del lado del cátodo y la disponibilidad de la fuente de 10-V a través de la resistencia de 1-kΩ.

Para la red de la figura 2.42 el voltaje en V_o es de 0.7 V, debido a que el diodo D_2 está polarizado directamente. Con 0.7 V en el ánodo de D_1 y 10 V en el cátodo, D_1 está definitivamente en estado “apagado”. La corriente I tendrá la dirección que se indica en la figura 2.42 y una magnitud igual a

$$I = \frac{E - V_D}{R} = \frac{10 \text{ V} - 0.7 \text{ V}}{1 \text{ k}\Omega} = 9.3 \text{ mA}$$

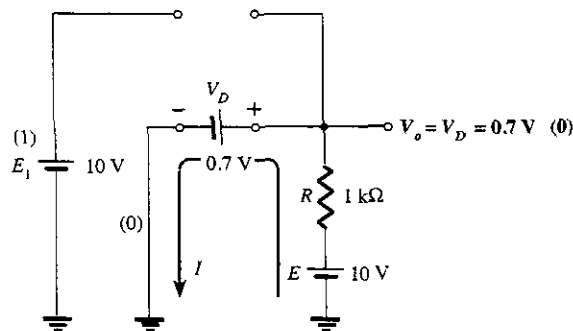


Figura 2.42 Sustitución de los estados asumidos para los diodos de la figura 2.41.

Figura 2.41 Compuerta lógica AND positiva.

El estado de los diodos es, por tanto, confirmado y el análisis anterior fue correcto. A pesar de que no hay 0 V como se especificó antes para el nivel 0, el voltaje de salida es lo suficientemente pequeño para poder considerarlo en un nivel 0. Para la compuerta AND, por tanto, una única entrada dará por resultado un nivel 0 de salida. Los estados restantes de los diodos para las posibilidades de dos entradas y ninguna entrada se examinarán en los problemas que aparecen al final del capítulo.

2.7 ENTRADAS SENOIDALES; RECTIFICACIÓN DE MEDIA ONDA

Ahora, el análisis de los diodos se ampliará para incluir las funciones variables en el tiempo, tales como la forma de onda senoidal y la onda cuadrada. No existe duda de que el grado de dificultad se complicará, pero una vez que se comprendan varios movimientos, el análisis será bastante directo y seguirá un procedimiento común.

La red más simple que se examinará con una señal variable en el tiempo aparece en la figura 2.43. Por el momento se utilizará el modelo ideal (obsérvese la ausencia de la identificación Si o Ge para denotar el diodo ideal), para asegurar que el sistema no se dificulte por la complejidad matemática adicional.

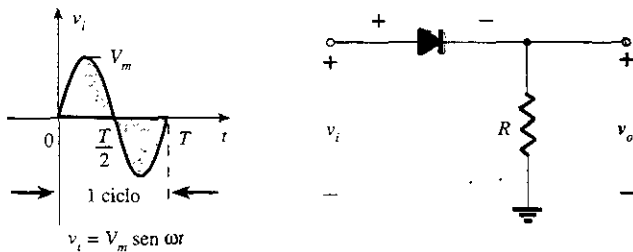


Figura 2.43 Rectificador de media onda.

A través de un ciclo completo, definido por el periodo T de la figura 2.43, el valor promedio (la suma algebraica de las áreas arriba y abajo del eje) es cero. El circuito de la figura 2.43, llamado *rectificador de media onda*, generará una forma de onda v_o , la cual tendrá un valor promedio de uso particular en el proceso de conversión de ac a dc. Cuando un diodo se usa en el proceso de rectificación, es común que se le llame *rectificador*. Sus valores nominales de potencia y corriente son normalmente mucho más altos que los de los diodos que se usan en otras aplicaciones, como en computadoras o sistemas de comunicación.

Durante el intervalo $t = 0 \rightarrow T/2$ en la figura 2.43, la polaridad del voltaje aplicado v_i es como para establecer “presión” en la dirección que se indica, y encender el diodo con la polaridad indicada arriba del diodo. Al sustituir la equivalencia de circuito cerrado por el diodo dará por resultado el circuito equivalente de la figura 2.44, donde parece muy obvio que la señal de salida es una réplica exacta de la señal aplicada. Las dos terminales que definen el voltaje de salida están conectadas directamente a la señal aplicada mediante la equivalencia de corto circuito del diodo.

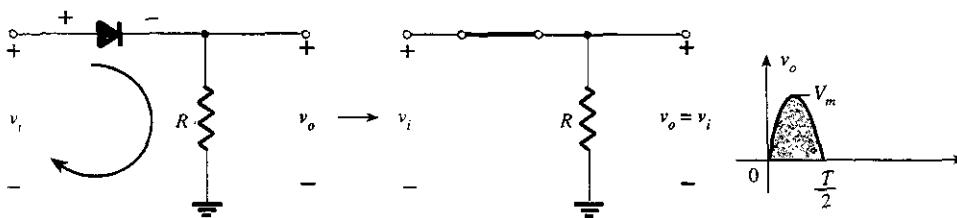


Figura 2.44 Región de conducción ($0 \rightarrow T/2$).

Para el periodo $T/2 \rightarrow T$, la polaridad de la entrada v_i es como se indica en la figura 2.45, y la polaridad resultante a través del diodo ideal produce un estado “apagado” con un equivalente de circuito abierto. El resultado es la ausencia de una trayectoria para el flujo de carga y $v_o = iR = (0)R = 0 \text{ V}$ para el periodo $T/2 \rightarrow T$. La entrada v_i y la salida v_o se dibujaron juntas en la figura 2.46 con el propósito de establecer una comparación. Ahora, la señal de salida v_o tiene un área neta positiva arriba del eje sobre un periodo completo, y un valor promedio determinado por

$$V_{dc} = 0.318V_m \quad \text{media onda} \quad (2.7)$$

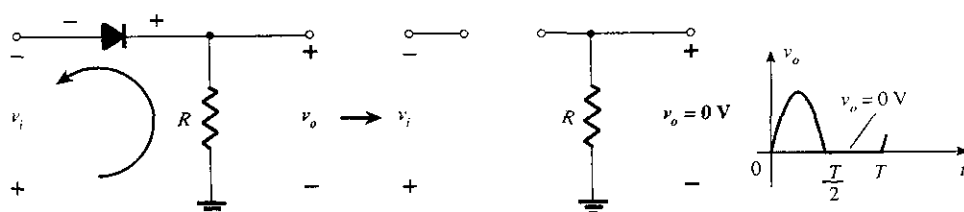


Figura 2.45 Región de no conducción ($T/2 \rightarrow T$).

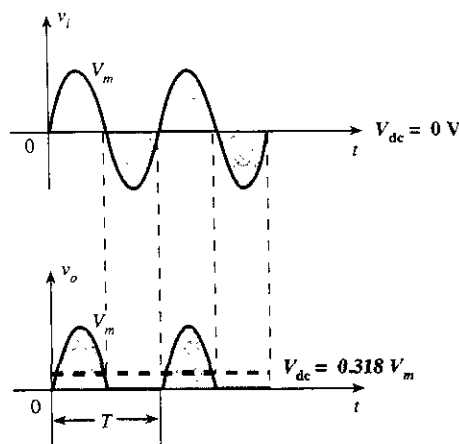


Figura 2.46 Señal rectificada de media onda.

Al proceso de eliminación de la mitad de la señal de entrada para establecer un nivel dc se le llama *rectificación de media onda*.

El efecto del uso de un diodo de silicio con $V_T = 0.7 \text{ V}$ se señala en la figura 2.47 para la región de polarización directa. La señal aplicada debe ser ahora de por lo menos 0.7 V antes de que el diodo pueda “encender”. Para los niveles de v_i menores que 0.7 V el diodo aún está en estado de circuito abierto y $v_o = 0 \text{ V}$, como lo indica la misma figura. Cuando conduce, la diferencia entre v_o y v_i se encuentra en un nivel fijo de $V_T = 0.7 \text{ V}$ y $v_o = v_i - V_T$, según se indica en la figura. El efecto neto es una reducción en el área arriba del eje, la cual reduce de manera

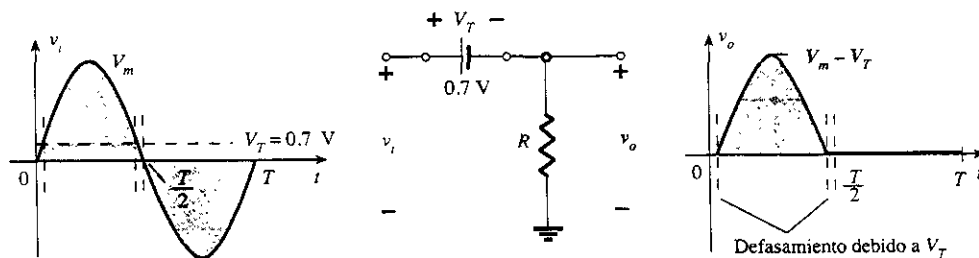


Figura 2.47 Efecto de V_T sobre la señal rectificada de media onda.

natural el nivel resultante de voltaje dc. Para las situaciones donde $V_m \gg V_T$, la ecuación 2.8 puede aplicarse para determinar el valor promedio con un alto nivel de exactitud.

$$V_{dc} \cong 0.318(V_m - V_T) \quad (2.8)$$

Si v_m es suficientemente más grande que V_T , la ecuación 2.7 es a menudo aplicada como una primera aproximación de V_{dc} .

- Dibujar la salida v_o y determinar el nivel dc de la salida de la red de la figura 2.48.
- Repetir el inciso *a* si el diodo ideal es reemplazado por un diodo de silicio.
- Repetir los incisos *a* y *b* si V_m se incrementa a 200 V, y comparar las soluciones utilizando las ecuaciones (2.7) y (2.8).

EJEMPLO 2.18

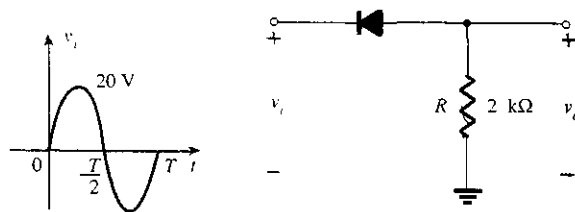


Figura 2.48 Red para el ejemplo 2.18.

Solución

- En esta situación el diodo conducirá durante la parte negativa de la entrada según se muestra en la figura 2.49, y v_o aparecerá como se señala en la misma figura. Para el periodo completo, el nivel dc es

$$V_{dc} = -0.318V_m = -0.318(20 \text{ V}) = -6.36 \text{ V}$$

El signo negativo indica que la polaridad de la salida es opuesta a la polaridad definida de la figura 2.48.

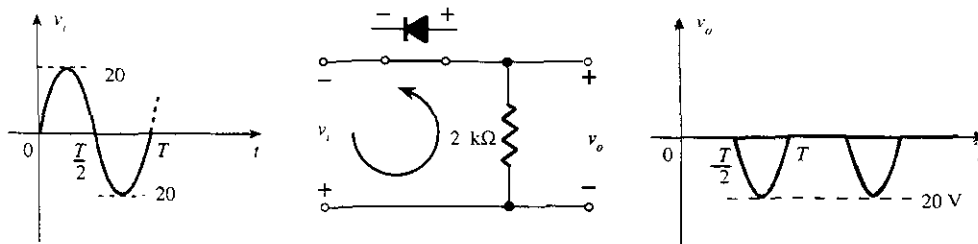


Figura 2.49 v_o resultante para el circuito del ejemplo 2.18.

- Utilizando un diodo de silicio, la salida tiene la apariencia de la figura 2.50 y

$$V_{dc} \cong -0.318(V_m - 0.7 \text{ V}) = -0.318(19.3 \text{ V}) \cong -6.14 \text{ V}$$

La caída resultante en el nivel dc es de 0.22 V o cerca del 3.5%.

- Ecuación (2.7): $V_{dc} = -0.318V_m = -0.318(200 \text{ V}) = -63.6 \text{ V}$

$$\begin{aligned} \text{Ecuación (2.8): } V_{dc} &= -0.318(V_m - V_T) = -0.318(200 \text{ V} - 0.7 \text{ V}) \\ &= -(0.318)(199.3 \text{ V}) = -63.38 \text{ V} \end{aligned}$$

la que es una diferencia que, en efecto, puede ignorarse para la mayor parte de las aplicaciones. Para el inciso *c* el desvío y la caída en la amplitud debido a V_T no sería discernible en un osciloscopio típico si se despliega el patrón completo.

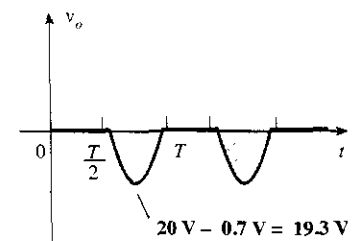


Figura 2.50 Efecto de V_T sobre la salida de la figura 2.49.

PIV (PRV)

El valor del voltaje pico inverso (PIV, por las iniciales en inglés de: *Peak Inverse Voltage*) (o PRV, por las iniciales en inglés de: *Peak Reverse Voltage*) del diodo es muy importante en el diseño de sistemas de rectificación. Recuerde que se trata del valor del voltaje que no debe excederse en la región de polarización inversa, pues de otra forma el diodo entrará en la región de avalancha Zener. El valor PIV requerido para el rectificador de media onda puede determinarse a partir de la figura 2.51, la cual muestra el diodo de la figura 2.43 con polarización inversa con un voltaje máximo aplicado. Al aplicar la ley de voltaje de Kirchhoff, parece muy obvio que el valor PIV del diodo debe ser igual o mayor al valor del pico del voltaje aplicado. Por tanto,

$$\text{Valor PIV} \geq V_m$$

rectificador de media onda

(2.9)

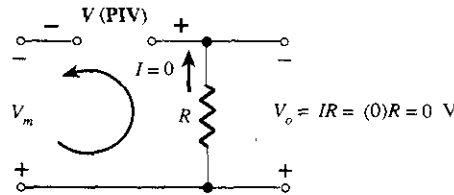


Figura 2.51 Determinación del valor de PIV que se requiere para el rectificador de media onda.

2.8 RECTIFICACIÓN DE ONDA COMPLETA

Puente de diodos

El nivel de dc que se obtiene a partir de una entrada senoidal puede mejorar al 100% si se utiliza un proceso que se llama *rectificación de onda completa*. La red más familiar para llevar a cabo tal función aparece en la figura 2.52 con sus cuatro diodos en una configuración en forma de *puente*. Durante el periodo $t = 0$ a $T/2$ la polaridad de la entrada se muestra en la figura 2.53. Las polaridades resultantes a través de los diodos ideales también se señalan en la figura 2.53 para mostrar que D_2 y D_3 están conduciendo, en tanto que D_1 y D_4 se hallan en estado “apagado”. El resultado neto es la configuración de la figura 2.54, con su corriente y polaridad indicadas a través de R . Debido a que los diodos son ideales, el voltaje de carga $v_o = v_i$, según se muestra en la misma figura.

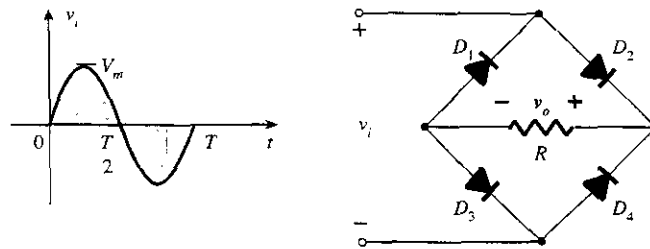


Figura 2.52 Puente rectificador de onda completa.

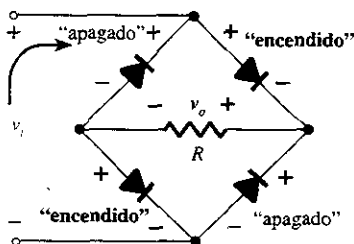


Figura 2.53 Red de la figura 2.52 para el periodo $0 \rightarrow T/2$ del voltaje de entrada v_i .

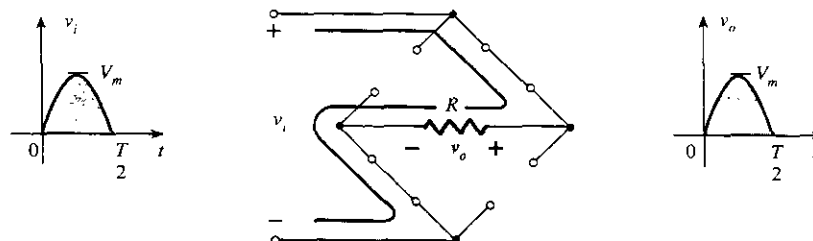


Figura 2.54 Trayectoria de conducción para la región positiva de v_i .

Para la región negativa de la entrada los diodos conductores son D_1 y D_4 , generando la configuración de la figura 2.55. El resultado importante es que la polaridad a través de la resistencia de carga R es la misma que en la figura 2.53, estableciendo un segundo pulso positivo, como se indica en la figura 2.55. Después de un ciclo completo los voltajes de entrada y de salida aparecerán según la figura 2.56.

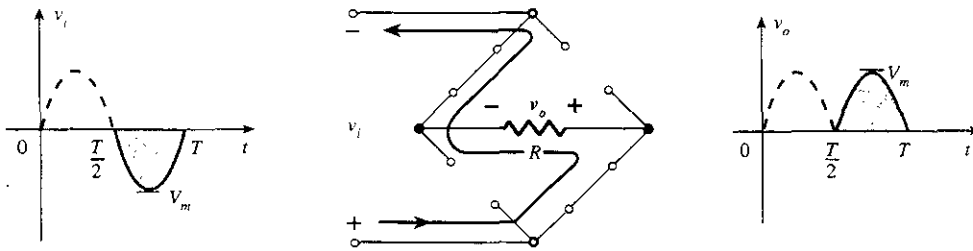


Figura 2.55 Trayectoria de conducción para la región negativa de v_i .

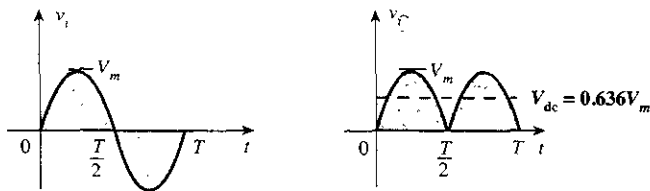


Figura 2.56 Formas de onda de entrada y salida para un rectificador de onda completa.

Debido a que el área arriba del eje para un ciclo completo es ahora doble, en comparación con la obtenida para un sistema de media onda, el nivel de dc también ha sido duplicado y

$$V_{dc} = 2(\text{Ec. 2.7}) = 2(0.318V_m)$$

$$V_{dc} = 0.636V_m \quad \text{onda completa} \quad (2.10)$$

Si se emplea diodos de silicio en lugar de los ideales como se indica en la figura 2.57, una aplicación de la ley de voltaje de Kirchhoff alrededor de la trayectoria de conducción resultaría

$$v_i - V_T - v_o - V_T = 0$$

$$v_o = v_i - 2V_T$$

El valor pico para el voltaje de salida v_o es, por tanto,

$$V_{o_{\max}} = V_m - 2V_T$$

Para las situaciones donde $V_m \gg 2V_T$, puede aplicarse la ecuación (2.11) para el valor promedio con un nivel relativamente alto de precisión.

$$V_{dc} \cong 0.636(V_m - 2V_T) \quad (2.11)$$

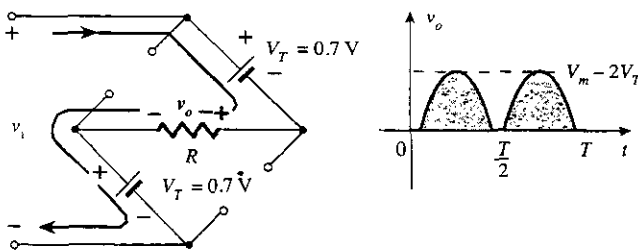


Figura 2.57 Determinación de $V_{o_{\max}}$ para los diodos de silicio en la configuración puente.

Si V_m es lo suficiente más grande que $2V_T$, entonces la ecuación (2.10) a menudo se aplica como una primera aproximación para V_{dc} .

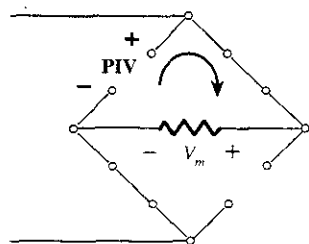


Figura 2.58 Determinación del PIV que se requiere para la configuración puente.

PIV

El PIV que se requiere para cada diodo (ideal) puede determinarse a partir de la figura 2.58 que se obtuvo en el pico de la región positiva de la señal de entrada. Para la malla indicada el voltaje máximo a través de R es V_m y el valor PIV se define por

$$\boxed{\text{PIV} \geq V_m} \quad \text{rectificador puente de onda completa} \quad (2.12)$$

Transformador con derivación central

Un segundo rectificador de onda completa muy popular aparece en la figura 2.59 con sólo dos diodos, pero requiere de un transformador con derivación central (CT, por las iniciales en inglés de: *Center Tapped*) para establecer la señal de entrada a través de cada sección del secundario del transformador. Durante la porción positiva de v_i aplicada al primario del transformador, la red aparece como se muestra en la figura 2.60. D_1 asume el equivalente del corto circuito y D_2 el equivalente del circuito abierto, según se determinó por los voltajes secundarios y las direcciones de corriente resultantes. El voltaje de salida aparece en la figura 2.60.

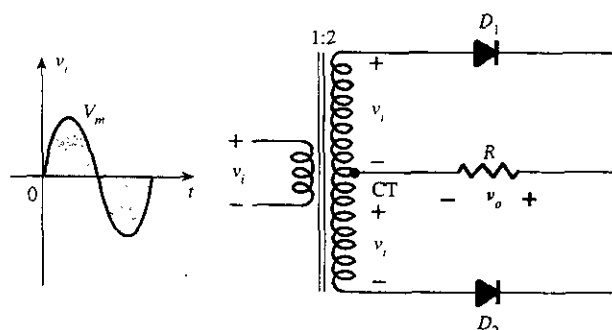


Figura 2.59 Transformador con derivación central para un rectificador de onda completa.

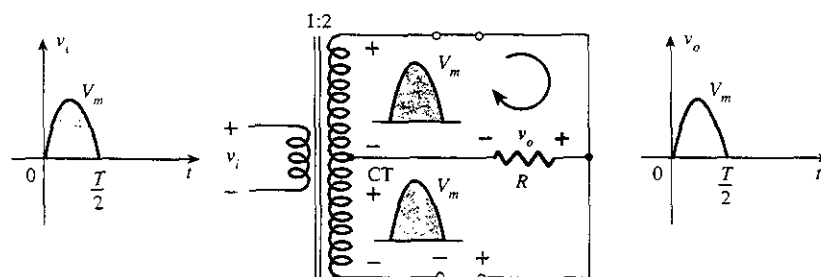


Figura 2.60 Condiciones de la red para la región positiva de v_i .

Durante la porción negativa de la entrada, la red aparece como lo indica la figura 2.61, invirtiendo los papeles de los diodos, pero manteniendo la misma polaridad para el voltaje a

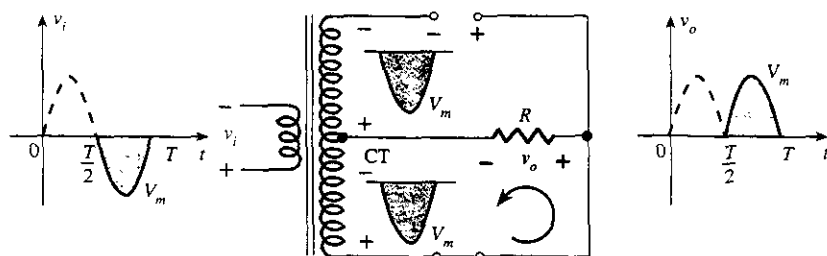


Figura 2.61 Condiciones de la red para la región negativa de v_i .

través de la resistencia de carga R . El efecto neto es una salida igual a la que aparece en la figura 2.56 con los mismos niveles de dc.

PIV

La red de la figura 2.62 ayudará a determinar el PIV neto para cada diodo de este rectificador de onda completa. La inserción del voltaje máximo del voltaje secundario y el V_m de acuerdo con lo establecido para la red adjunta dará por resultado

$$\begin{aligned} \text{PIV} &= V_{\text{secundario}} + V_R \\ &= V_m + V_m \end{aligned}$$

y $\text{PIV} \geq 2V_m$ transformador CT, rectificador de onda completa

(2.13)

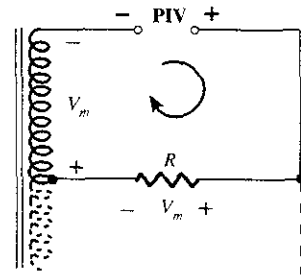


Figura 2.62 Determinación del nivel de PIV para los diodos del transformador con derivación central para un rectificador de onda completa.

Determinar la forma de onda de salida para la red de la figura 2.63 y calcular el nivel dc de salida y el PIV que se requiere para cada diodo.

EJEMPLO 2.19

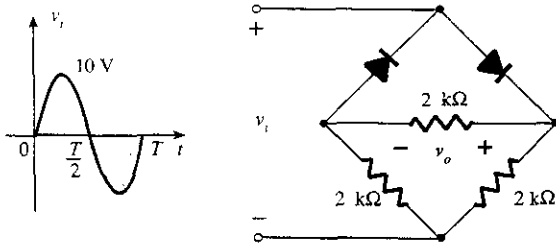


Figura 2.63 Red puente para el ejemplo 2.19.

Solución

La red aparecerá como en la figura 2.64 para la región positiva del voltaje de entrada. El redibujo de la red generará la configuración de la figura 2.65, donde $v_o = \frac{1}{2}v_i$ o $V_{o\text{máx}} = \frac{1}{2}V_{i\text{máx}} = \frac{1}{2}(10 \text{ V}) = 5 \text{ V}$, como lo indica la figura 2.65. Para la parte negativa de la entrada la función de los diodos será intercambiada y v_o aparecerá según la figura 2.66.

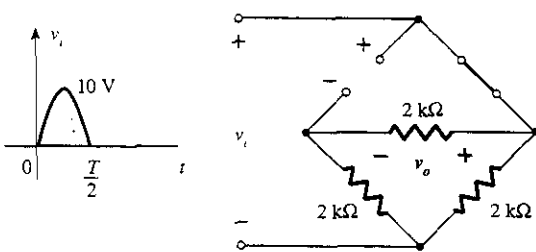


Figura 2.64 Red de la figura 2.63 para la región positiva de v_i .

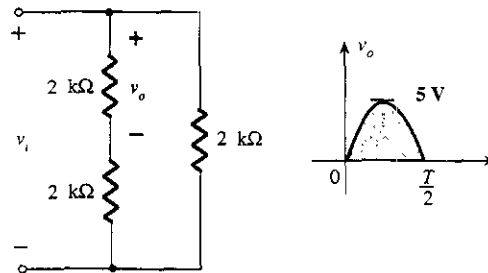


Figura 2.65 Red redibujada de la figura 2.64.

El efecto de remover dos diodos de la configuración puente fue, por tanto, reducir el nivel de dc disponible al siguiente:

$$V_{\text{dc}} = 0.636(5 \text{ V}) = 3.18 \text{ V}$$

o al disponible de un rectificador de media onda con la misma entrada. Sin embargo, el PIV según se determinó en la figura 2.58 es igual al voltaje máximo a través de R , el cual es de 5 V o la mitad de lo que se requiere para un rectificador de media onda con la misma entrada.

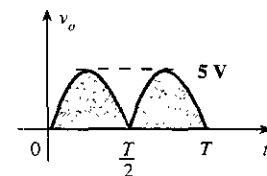


Figura 2.66 Salida resultante para el ejemplo 2.19.

2.9 RECORTADORES

Existe una variedad de redes de diodos que se llaman *recortadores* y tienen la capacidad de “recortar” una porción de la señal de entrada sin distorsionar la parte restante de la forma de onda alterna. El rectificador de media onda de la sección 2.7 es un ejemplo de la forma más simple de un recortador de diodo, una resistencia y un diodo. Dependiendo de la orientación del diodo, la región positiva o negativa de la señal de entrada es “recortada”.

Existen dos categorías generales de recortadores: en *serie* y en *paralelo*. La configuración en serie es donde el diodo está en serie con la carga, mientras que en paralelo tiene un diodo en una trayectoria paralela a la carga.

En serie

La respuesta de la configuración en serie de la figura 2.67a a una variedad de formas de onda alternas se ilustra en la figura 2.67b. Aunque se presentó al principio como un rectificador de media onda (para formas de onda senoidales), no existen limitaciones sobre el tipo de señales que pueden aplicarse a un recortador. La adición de una fuente de dc como la que se muestra en la figura 2.68 puede tener un efecto pronunciado sobre la salida de un recortador. El análisis inicial se limitará a los diodos ideales, y se reservará el efecto de V_T a un ejemplo posterior.

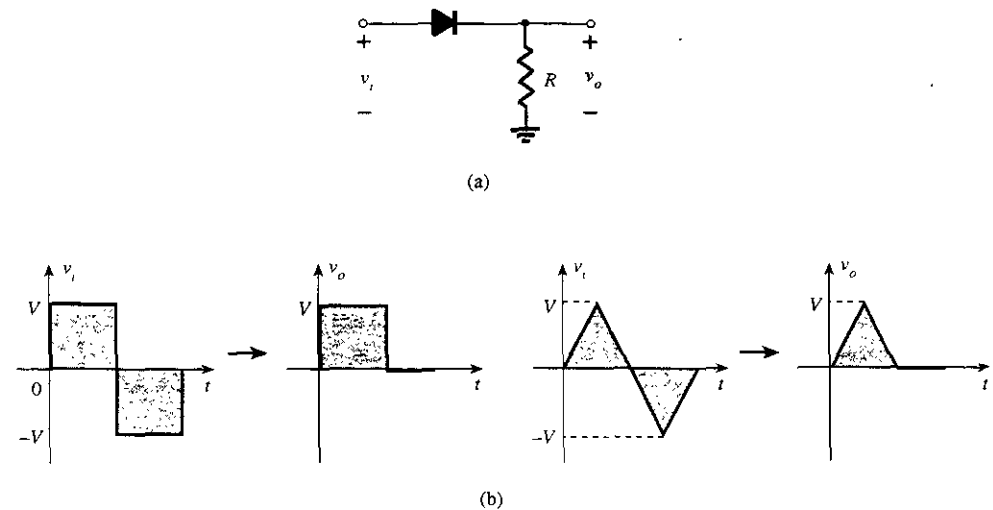


Figura 2.67 Recortador en serie.

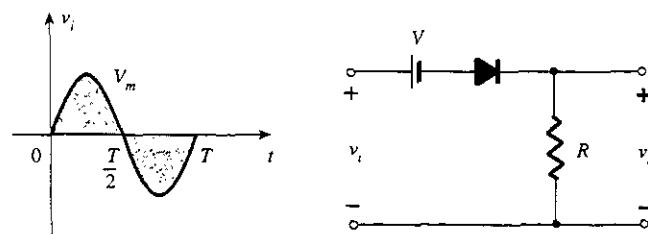


Figura 2.68 Recortador en serie con una fuente dc.

No existe un procedimiento general para el análisis de las redes como las del tipo que se presenta en la figura 2.68, pero existen ciertas ideas que deberán considerarse mientras se trabaja en la solución.

1. *Hacer un dibujo mental de la respuesta de la red basándose en la dirección del diodo y en los niveles de voltaje aplicados.*

Para la red de la figura 2.68, la dirección del diodo sugiere que la señal v_i debe ser positiva para encenderlo. La fuente dc requiere más aún que el voltaje v_i sea mayor que V volts para encender el diodo. La región negativa de la señal de entrada está “presionando” al diodo hacia

el estado “apagado”, soportado más aún por la fuente dc. En general, se puede estar muy seguro que el diodo está en circuito abierto (estado “apagado”) para la región negativa de la señal de entrada.

2. *Determinar el voltaje aplicado (voltaje de transición) que causará un cambio en el estado del diodo.*

Para el diodo ideal, la transición entre los estados ocurrirá en el punto sobre las características donde $v_d = 0$ V e $i_d = 0$ A. Al aplicar la condición $i_d = 0$ y $v_d = 0$ a la red de la figura 2.68 se genera la configuración de la figura 2.69, donde se reconoce que el nivel de v_i que causará una transición en el estado es

$v_i = V$

(2.14)

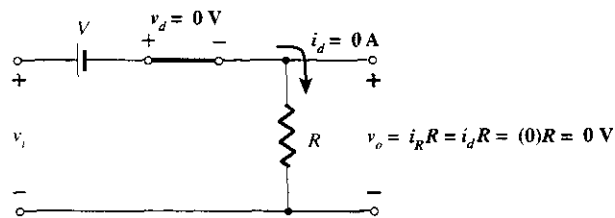


Figura 2.69 Determinación del nivel de transición para el circuito de la figura 2.68.

Para un voltaje de entrada mayor que V volts el diodo está en estado de corto circuito, mientras que para los voltajes de entrada menores que V volts está en estado de circuito abierto o “apagado”.

3. *Estar consciente continuamente de las terminales definidas y la polaridad de v_o .*

Cuando el diodo se encuentra en estado de corto circuito, como el que se muestra en la figura 2.70, el voltaje de salida v_o se puede determinar mediante la aplicación de la ley de voltaje de Kirchhoff en la dirección de las manecillas del reloj:

$$v_i - V - v_o = 0 \text{ (dirección de las manecillas del reloj)}$$

y

$v_o = v_i - V$

(2.15)

4. *Puede ayudar el dibujar la señal de entrada arriba de la señal de salida y determinar los valores instantáneos de la entrada.*

Posteriormente, es posible dibujar los voltajes de salida a partir de los puntos de datos resultantes de v_o , como se demostró en la figura 2.71. Tenga en cuenta que a un valor instantáneo de v_i la entrada puede ser tratada como una fuente dc de dicho valor y el valor de dc correspondiente (el valor instantáneo) de la salida determinada. Por ejemplo, para el caso $v_i = V_m$ en la figura 2.68, se analizará la red que aparece en la figura 2.72. Para $V_m > V$ el diodo está en estado de corto circuito y para $v_o = V_m - V$, como en la figura 2.71.

Para $v_i = V$ los diodos cambian de estado y para $v_i = -V_m$, $v_o = 0$ V, y la curva completa para v_o puede dibujarse como se muestra en la figura 2.73.

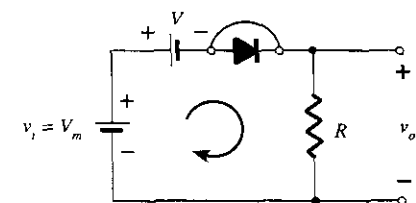


Figura 2.72 Determinación de v_o cuando $v_i = V_m$.

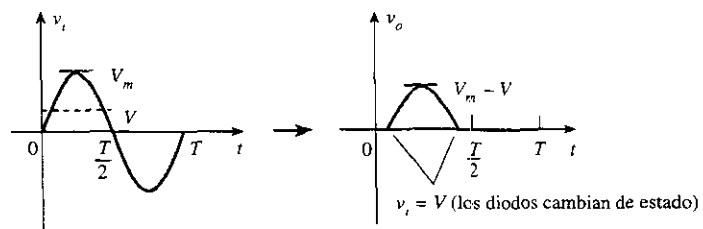


Figura 2.73 Dibujo de v_o .



Figura 2.70 Determinación de v_o .

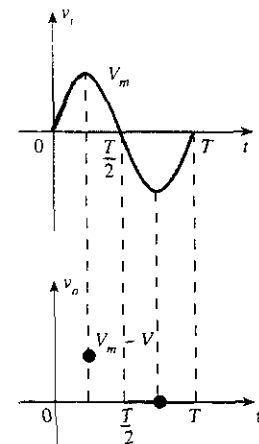


Figura 2.71 Determinación de los niveles de v_o .

EJEMPLO 2.20

Determinar la forma de la onda de salida para la red de la figura 2.74.

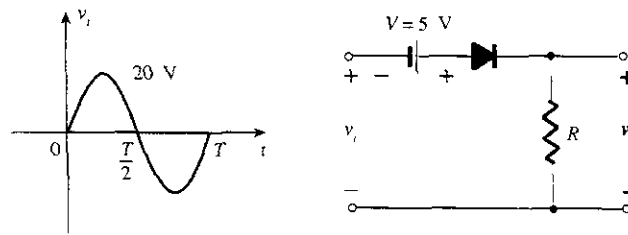


Figura 2.74 Recortador en serie para el ejemplo 2.20.

Solución

La experiencia anterior sugiere que el diodo estará en estado “encendido” para la región positiva de v_i , especialmente cuando se observa el efecto de ayuda de $V = 5$ V. La red aparecerá como lo señala la figura 2.75 y $v_o = v_i + 5$ V. Sustituyendo $i_d = 0$ para $v_d = 0$ para los niveles de transición, se obtiene la red de la figura 2.76 y $v_i = -5$ V.

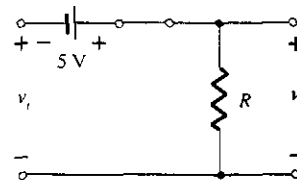


Figura 2.75 v_o con diodo en estado “encendido”.

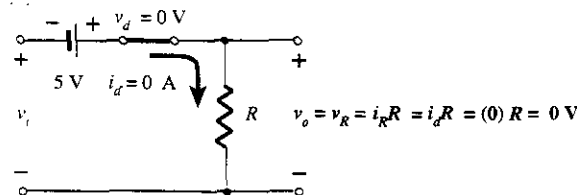


Figura 2.76 Determinación del nivel de transición para el recortador de la figura 2.74.

Para los valores de v_i más negativos que -5 V, el diodo entrará en estado de circuito abierto, mientras que para los voltajes más positivos de -5 V el diodo estará en estado de corto circuito. Los voltajes de entrada y de salida aparecen en la figura 2.77.

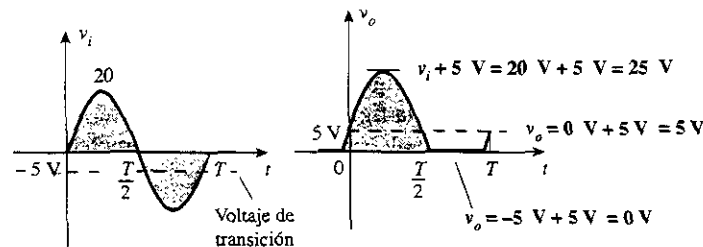


Figura 2.77 Dibujo de v_o para el ejemplo 2.20.

El análisis de las redes de recortadores con las entradas de onda cuadrada es en realidad más fácil que las redes con entradas senoidales, debido a que sólo deben considerarse dos niveles. En otras palabras, la red puede analizarse como si tuviera dos entradas de nivel dc con la salida resultante v_o graficada en el marco adecuado de tiempo.

Repetir el ejemplo 2.20 para la onda cuadrada de entrada de la figura 2.78.

EJEMPLO 2.21

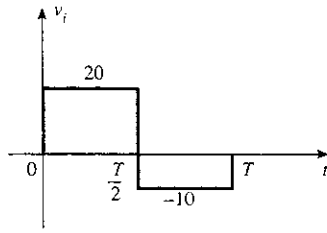


Figura 2.78 Señal que se aplica para el ejemplo 2.21.

Solución

Para $v_i = 20$ V ($0 \rightarrow T/2$) generará la red de la figura 2.79. El diodo está en estado de corto circuito y $v_o = 20$ V + 5 V = 25 V. Para $v_i = -10$ V dará como resultado la figura 2.80, colocando el diodo en estado “apagado” y $v_o = i_R R = (0)R = 0$ V. El voltaje resultante de salida aparece en la figura 2.81.

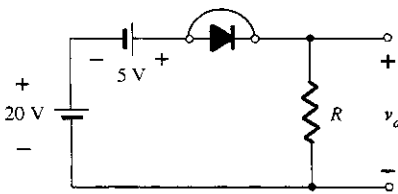


Figura 2.79 v_o a $v_i = +20$ V.

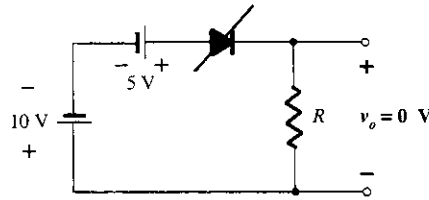


Figura 2.80 v_o a $v_i = -10$ V.

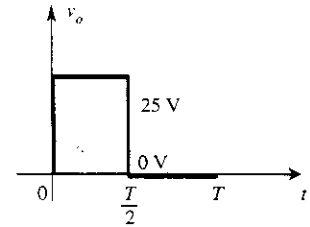


Figura 2.81 Dibujo de v_o para el ejemplo 2.21.

Obsérvese en el ejemplo 2.21 que el recortador no sólo recortó únicamente 5 V de la excursión total de la señal sino que incrementó el nivel dc de la señal por 5 V.

En paralelo

La red de la figura 2.82 es la más sencilla de las configuraciones de diodos, en paralelo con la salida para las mismas entradas de la figura 2.67. El análisis de las configuraciones en paralelo es muy similar a la que se aplica a las configuraciones en serie, como se demostrará en el siguiente ejemplo.

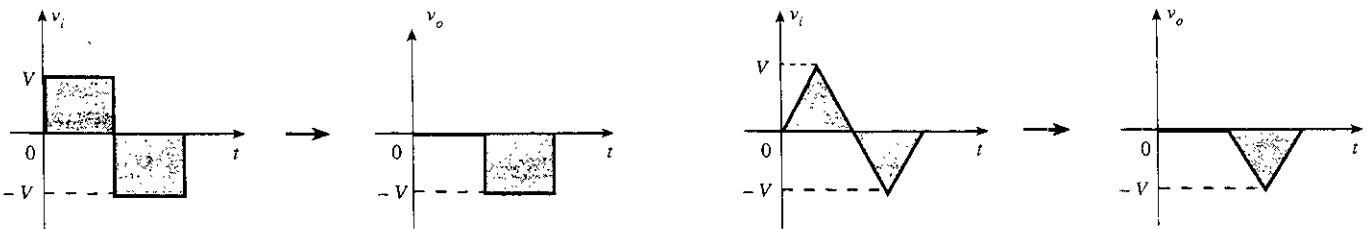
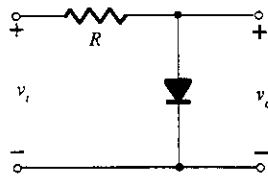


Figura 2.82 Respuesta de un recortador en paralelo.

EJEMPLO 2.22

Determinar v_o para la red de la figura 2.83.

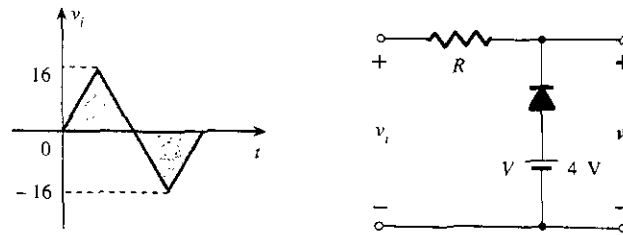


Figura 2.83 Ejemplo 2.22.

Solución

La polaridad de la fuente dc y la dirección del diodo sugieren que el diodo está en estado “encendido” para la región negativa de la señal de entrada. Para esta región la red aparecerá como lo señala la figura 2.84, donde las terminales definidas para v_o requieren que $v_o = V = 4$ V.

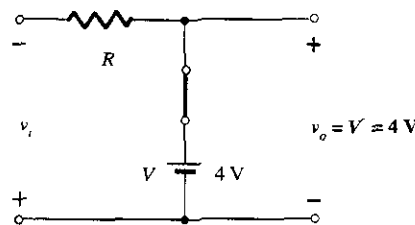


Figura 2.84 v_o para la región negativa de v_i .

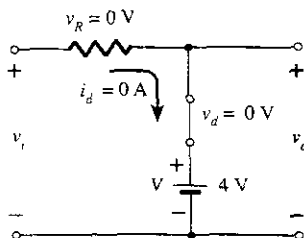


Figura 2.85 Determinación del nivel de transición para el ejemplo 2.22.

El estado de transición puede determinarse a partir de la figura 2.85, donde la condición de $i_d = 0$ A para $v_d = 0$ V se ha impuesto. El resultado es que v_i (la transición) = $V = 4$ V.

Debido a que la fuente dc se encuentra obviamente “presionando” al diodo para permanecer en estado de circuito cerrado, el voltaje de entrada debe ser mayor a 4 V para que el diodo esté en estado “apagado”. Cualquier voltaje de entrada menor que 4 V generará un diodo en corto circuito.

Para el estado de circuito abierto la red aparecerá según se muestra en la figura 2.86, donde $v_o = v_i$. Completando el dibujo de v_o resulta la forma de onda de la figura 2.87.

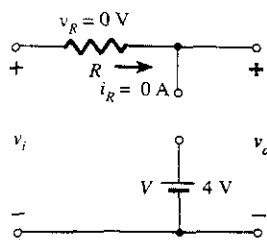


Figura 2.86 Determinación de v_o para el estado abierto del diodo.

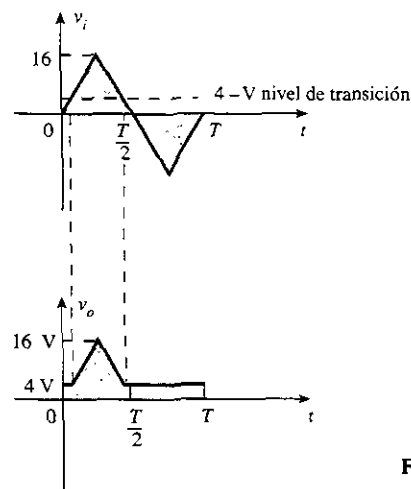


Figura 2.87 Dibujo de v_o para el ejemplo 2.22.

Para examinar los efectos de V_T sobre el voltaje de salida, el siguiente ejemplo especificará un diodo de silicio, en lugar del equivalente del diodo ideal.

Repetir el ejemplo 2.22 usando un diodo de silicio con $V_T = 0.7$ V.

EJEMPLO 2.23

Solución

El voltaje de transición suele determinarse en primera instancia al aplicar la condición de $i_d = 0$ A cuando $v_d = V_D = 0.7$ V, y obteniendo la red de la figura 2.88. Al aplicar la ley de voltaje de Kirchhoff alrededor del lazo de salida en el sentido de las manecillas del reloj, se encuentra que

$$v_i + V_T - V = 0$$

$$v_i = V - V_T = 4 \text{ V} - 0.7 \text{ V} = 3.3 \text{ V}$$

$$v_R = i_R R = i_d R = (0)R = 0 \text{ V}$$

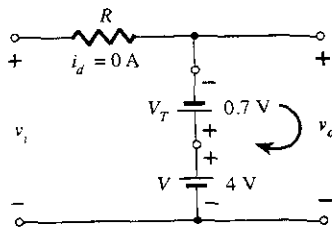


Figura 2.88 Determinación del nivel de transición para la red de la figura 2.83.

Para los voltajes de entrada mayores que 3.3 V, el diodo estará en circuito abierto y $v_o = v_i$. Para los voltajes de entrada menores que 3.3 V, el diodo estará en estado “encendido” y resultará la red de la figura 2.89, donde

$$v_o = 4 \text{ V} - 0.7 \text{ V} = 3.3 \text{ V}$$

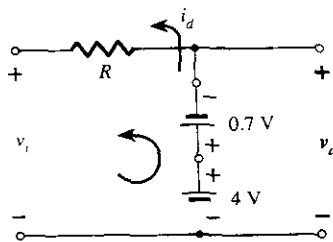


Figura 2.89 Determinación de v_o para el diodo de la figura 2.83 en estado “encendido”.

La forma de onda resultante de salida aparece en la figura 2.90. Nótese que el único efecto de V_T fue disminuir el nivel de transición desde 3.3 V a 4 V.

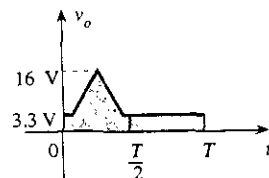


Figura 2.90 Dibujo de v_o para el ejemplo 2.23.

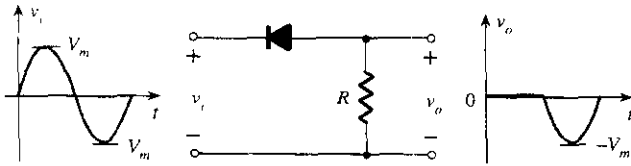
No hay duda de que incluir los efectos de V_T complicarán el análisis un poco, pero una vez que el análisis se comprende con el diodo ideal, el procedimiento, incluyendo los efectos de V_T , no serán tan difíciles.

Resumen

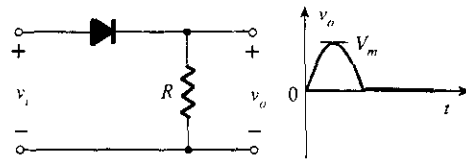
Una variedad de recortadores en serie y en paralelo con los resultados de salida para las entradas senoidales se presentan en la figura 2.91. Obsérvese en particular la respuesta de la última configuración, con su capacidad de recortar una sección positiva o negativa como se determine por la magnitud de sus fuentes de dc.

Recortadores en serie simples (diodos ideales)

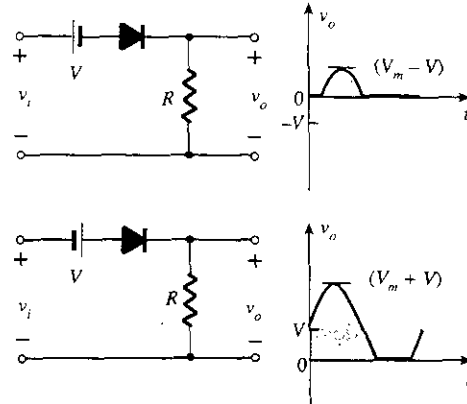
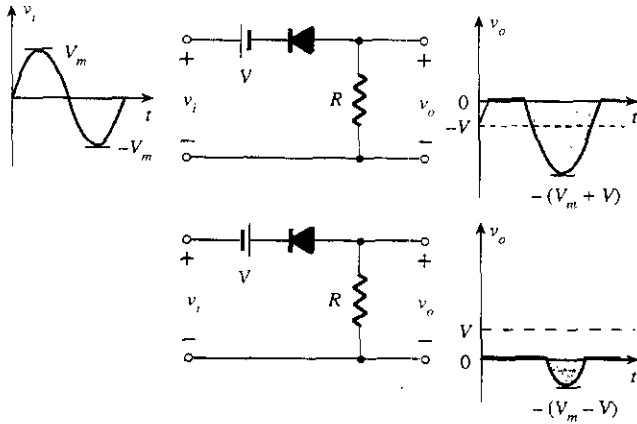
POSITIVO



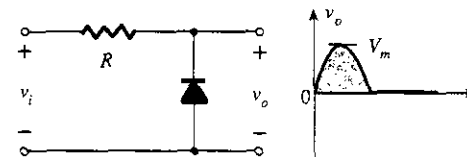
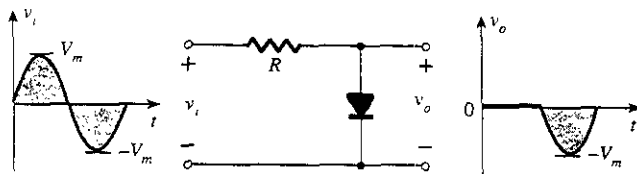
NEGATIVO



Recortadores en serie polarizados (diodos ideales)



Recortadores en paralelo simples (diodos ideales)



Recortadores en paralelo polarizados (diodos ideales)

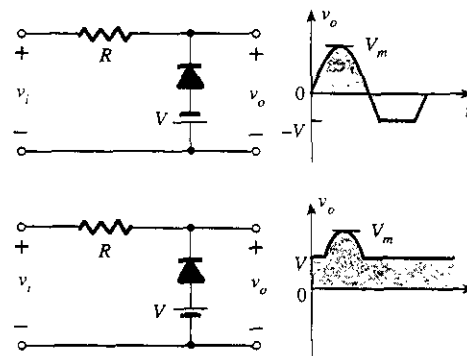
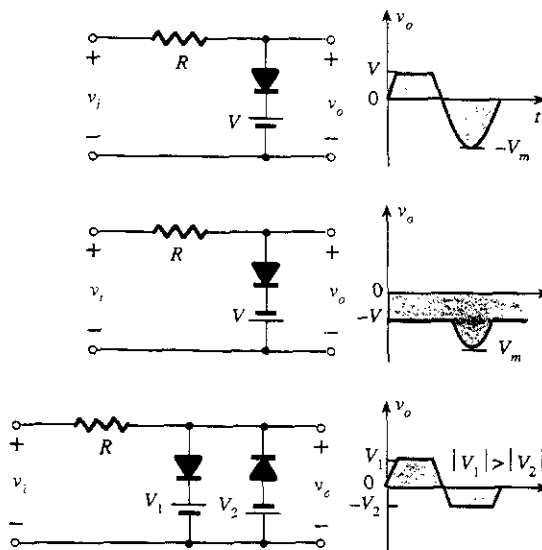


Figura 2.91 Circuitos de recorte.

2.10 CAMBIADORES DE NIVEL

Una red de *cambiadora de nivel* es la que “cambia” una señal a un nivel de dc diferente. La red debe tener un capacitor, un diodo y un elemento resistivo; pero también puede usar una fuente de dc independiente para introducir un cambio de nivel de dc adicional. La magnitud de R y C debe elegirse de tal forma que la constante de tiempo $\tau = RC$ es lo suficiente grande para asegurar que el voltaje a través del capacitor no se descarga de manera significativa, durante el intervalo en que el diodo no está conduciendo. A través de todo el análisis se asumirá que para propósitos prácticos, el capacitor se cargará o descargará totalmente en cinco constantes de tiempo.

La red de la figura 2.92 cambiará el nivel de la señal de entrada a cero volts (para diodos ideales). La resistencia R puede ser una resistencia de carga o una combinación en paralelo de la resistencia de carga y una resistencia diseñada para ofrecer el nivel deseado de R .

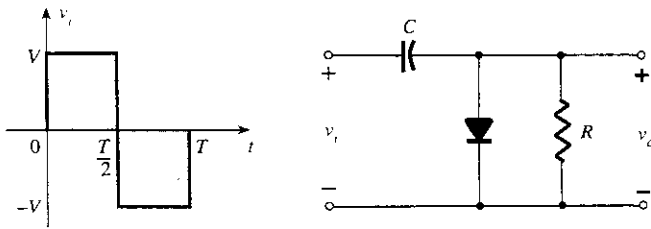


Figura 2.92 Cambiador de nivel.

Durante el intervalo $0 \rightarrow T/2$ la red aparecerá como lo indica la figura 2.93; con el diodo en estado “encendido” efectivamente hace corto circuito el efecto de la resistencia R . La constante de tiempo RC resultante es tan pequeña (R se determina por la resistencia inherente de la red) que el capacitor se cargará a V volts rápidamente. Durante este intervalo el voltaje de salida está directamente a través del “corto circuito” y $v_o = 0$ V.

Cuando la entrada cambia al estado $-V$, la red aparecerá como lo indica la figura 2.94, con el equivalente de circuito abierto para el diodo determinado por la señal aplicada y el voltaje almacenado a través del capacitor, ambos “presionando” la corriente a través del diodo desde el cátodo hacia el ánodo. Ahora que R se encuentra de regreso en la red, la constante de tiempo determinada por el producto RC es lo suficiente grande para establecer un periodo de descarga 5τ mucho mayor que el periodo $T/2 \rightarrow T$, y puede asumirse sobre una base aproximada que el capacitor mantiene toda su carga y, por tanto, el voltaje (debido a que $V = Q/C$) durante este periodo.

Debido a que v_o está en paralelo con el diodo y la resistencia, también puede dibujarse en la posición alterna que se indica en la figura 2.94. La aplicación de la ley de voltaje de Kirchhoff alrededor del lazo de entrada dará por resultado

$$-V - V - v_o = 0$$

y

$$v_o = -2V$$

El signo negativo se debe a que la polaridad de $2V$ es opuesta a la polaridad definida por v_o . La forma de onda de salida que resulta aparece en la figura 2.95 junto con la señal de entrada. La señal de salida “cambia de nivel” a 0 V durante el intervalo de 0 a $T/2$, pero mantiene la misma excursión de voltaje total ($2V$) que la entrada.

Para una red de cambio de nivel:

La excursión de voltaje total de la señal de salida es igual a la excursión de voltaje total de la señal de entrada.

Este hecho es una excelente herramienta para verificar el resultado que se obtiene.

En general, los siguientes pasos pueden ser útiles cuando se analizan redes cambiadoras de nivel.

1. Iniciar el análisis de las redes cambiadoras de nivel mediante la consideración de la parte de la señal de entrada que dará polarización directa al diodo.

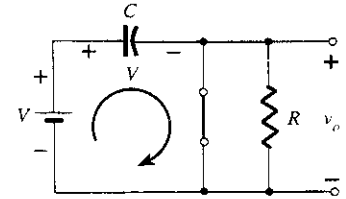


Figura 2.93 Diodo en “encendido” y el capacitor cargando a V volts.

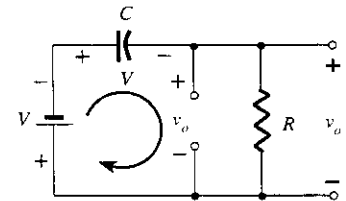


Figura 2.94 Determinación de v_o con el diodo en “apagado”.

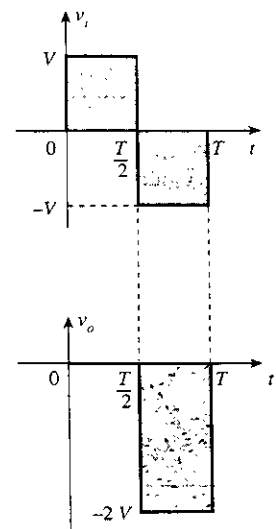


Figura 2.95 Dibujo de v_o para la red de la figura 2.92.

La instrucción anterior puede requerir de saltar un intervalo de la señal de entrada (como se demostrará en el siguiente ejemplo), pero el análisis no se ampliará con una medida innecesaria de investigación.

2. Durante el período en donde el diodo está en estado “encendido”, se asumirá que el capacitor se cargará de manera instantánea al nivel de voltaje que determine la red.
3. Se supondrá que durante el periodo en que el diodo está en estado “apagado” el capacitor se mantendrá en el nivel de voltaje que se establece.
4. A través de todo el análisis debe mantenerse un continuo cuidado de la posición y la polaridad de referencia para v_o , para asegurar que los niveles correctos de v_o se están obteniendo.
5. Tener en mente la regla general de que la excursión total de voltaje de salida debe ser igual a la excursión de voltaje de la señal de entrada.

EJEMPLO 2.24

Determinar v_o para la red de la figura 2.96 para la entrada que se indica.

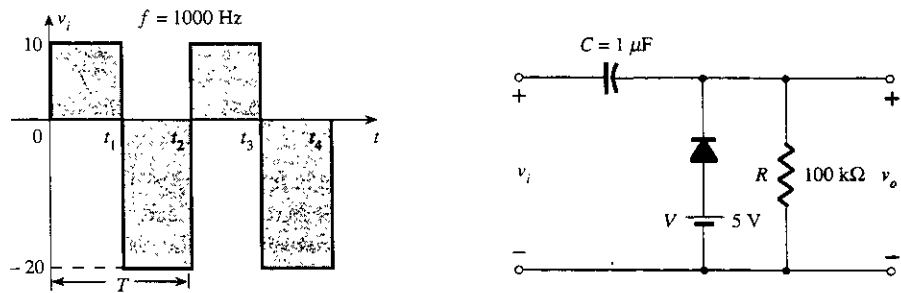


Figura 2.96 Señal que se aplica y red para el ejemplo 2.24.

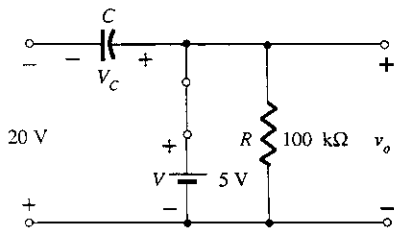


Figura 2.97 Determinación de v_o y V_C con el diodo en estado “encendido”.

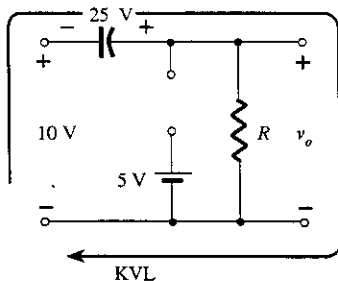


Figura 2.98 Determinación de v_o con el diodo en estado “apagado”.

Solución

Obsérvese que la frecuencia es de 1 000 Hz, que resulta en un periodo de 1 ms y un intervalo de 0.5 ms entre niveles. El análisis comenzará con el periodo $t_1 \rightarrow t_2$ de la señal de entrada debido a que el diodo está en estado de corto circuito según recomendaciones del comentario 1. Para este intervalo la red aparecerá como lo señala la figura 2.97. La salida es a través de R , pero también directamente a través de la batería de 5 V si se sigue la conexión directa entre las terminales definidas para v_o y las terminales de la batería. El resultado es $v_o = 5$ V para este intervalo. La aplicación de la ley de voltaje de Kirchhoff alrededor del lazo de entrada dará por resultado

$$-20 \text{ V} + V_C - 5 \text{ V} = 0$$

y

$$V_C = 25 \text{ V}$$

Por tanto, el capacitor se cargará hasta 25 V, como se estableció en el comentario 2. En este caso, el diodo no hace corto circuito en la resistencia R , pero un circuito equivalente Thévenin de la porción de la red que incluye la batería y la resistencia generará $R_{Th} = 0 \Omega$ con $E_{Th} = V = 5$ V. Para el periodo $t_2 \rightarrow t_3$ la red aparecerá como lo indica la figura 2.98.

El equivalente de circuito abierto para el diodo eliminará que la batería de 5 V tenga cualquier efecto sobre v_o , y la aplicación de la ley de voltaje de Kirchhoff alrededor del lazo exterior de la red dará por resultado

$$+10 \text{ V} + 25 \text{ V} - v_o = 0$$

y

$$v_o = 35 \text{ V}$$

La constante de tiempo de la red de descarga de la figura 2.98 está determinada por el producto RC y tiene la magnitud de

$$\tau = RC = (100 \text{ k}\Omega)(0.1 \text{ }\mu\text{F}) = 0.01 \text{ s} = 10 \text{ ms}$$

El tiempo total de descarga es por tanto de $5\tau = 5(10 \text{ ms}) = 50 \text{ ms}$.

Debido a que el intervalo $t_2 \rightarrow t_3$ durará sólo 0.5 ms, es cierto que resulta buena la aproximación de afirmar que el capacitor mantendrá su voltaje durante el periodo de descarga entre los pulsos de la señal de entrada. La salida resultante aparece en la figura 2.99 junto con la señal de entrada. Obsérvese que la excursión de voltaje de salida de 30 V iguala a la excursión del voltaje de entrada como se observa en el paso 5.

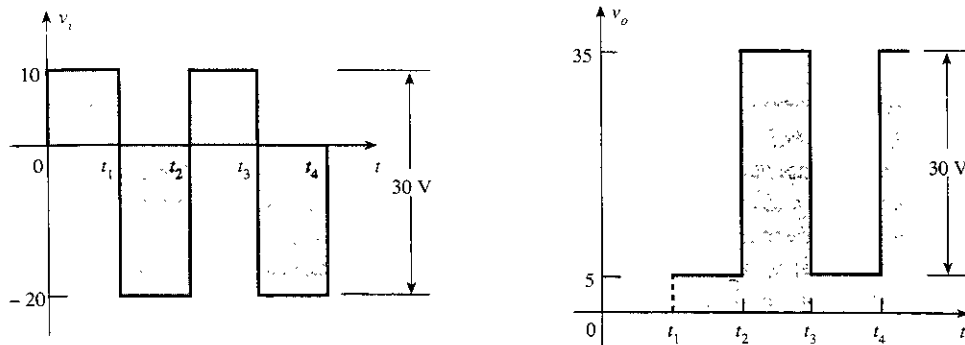


Figura 2.99 v_i y v_o para el cambiador de nivel de la figura 2.96.

Repetir el ejemplo 2.24 usando un diodo de silicio con $V_T = 0.7 \text{ V}$.

EJEMPLO 2.25

Solución

Para el estado de corto circuito la red toma ahora la apariencia de la figura 2.100, y v_o puede determinarse por la ley de voltaje de Kirchhoff en la sección de salida.

$$+5 \text{ V} - 0.7 \text{ V} - v_o = 0$$

$$\text{y} \quad v_o = 5 \text{ V} - 0.7 \text{ V} = 4.3 \text{ V}$$

Para la sección de entrada la ley de voltaje de Kirchhoff dará por resultado

$$-20 \text{ V} + V_C + 0.7 \text{ V} - 5 \text{ V} = 0$$

$$\text{y} \quad V_C = 25 \text{ V} - 0.7 \text{ V} = 24.3 \text{ V}$$

Ahora, para el periodo $t_2 \rightarrow t_3$ la red aparecerá como la figura 2.101, siendo el único cambio el voltaje a través del capacitor. La aplicación de la ley de voltaje de Kirchhoff genera

$$+10 \text{ V} + 24.3 \text{ V} - v_o = 0$$

$$\text{y} \quad v_o = 34.3 \text{ V}$$

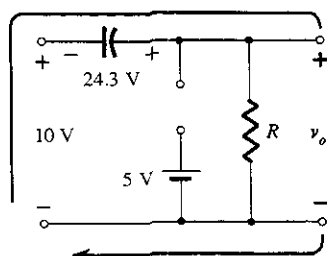


Figura 2.101 Determinación de v_o con el diodo en estado abierto.

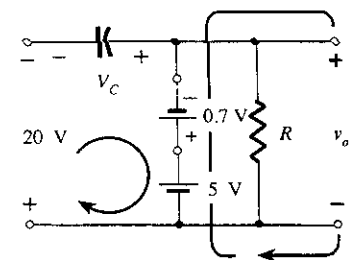


Figura 2.100 Determinación de v_o y V_C con el diodo en estado "encendido".

La salida resultante aparece en la figura 2.102, comprobándose el enunciado de que las excursiones de voltaje de entrada y salida son iguales.

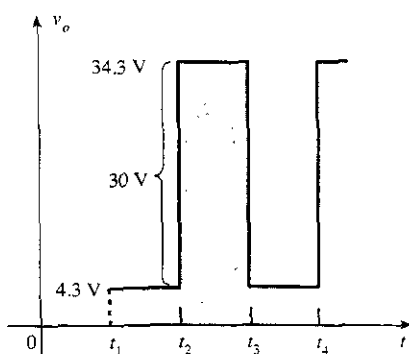


Figura 2.102 Dibujo de v_o para el cambiador de nivel de la figura 2.96 con un diodo de silicio.

En la figura 2.103 se muestran varios circuitos de cambio de nivel y su efecto en la señal de entrada. Aunque todas las formas de onda que aparecen en la figura 2.103 son ondas cuadradas, las redes de cambio de nivel trabajan de la misma manera para las señales senoidales. Un método para el análisis de las redes de cambio de nivel con entradas senoidales es, el de reemplazar la señal senoidal por una onda cuadrada con los mismos valores pico. La salida resultante tendrá una forma envolvente para la respuesta senoidal, como lo indica la figura 2.104 para la red que aparece en la parte inferior derecha de la figura 2.103.

Redes de cambio de nivel

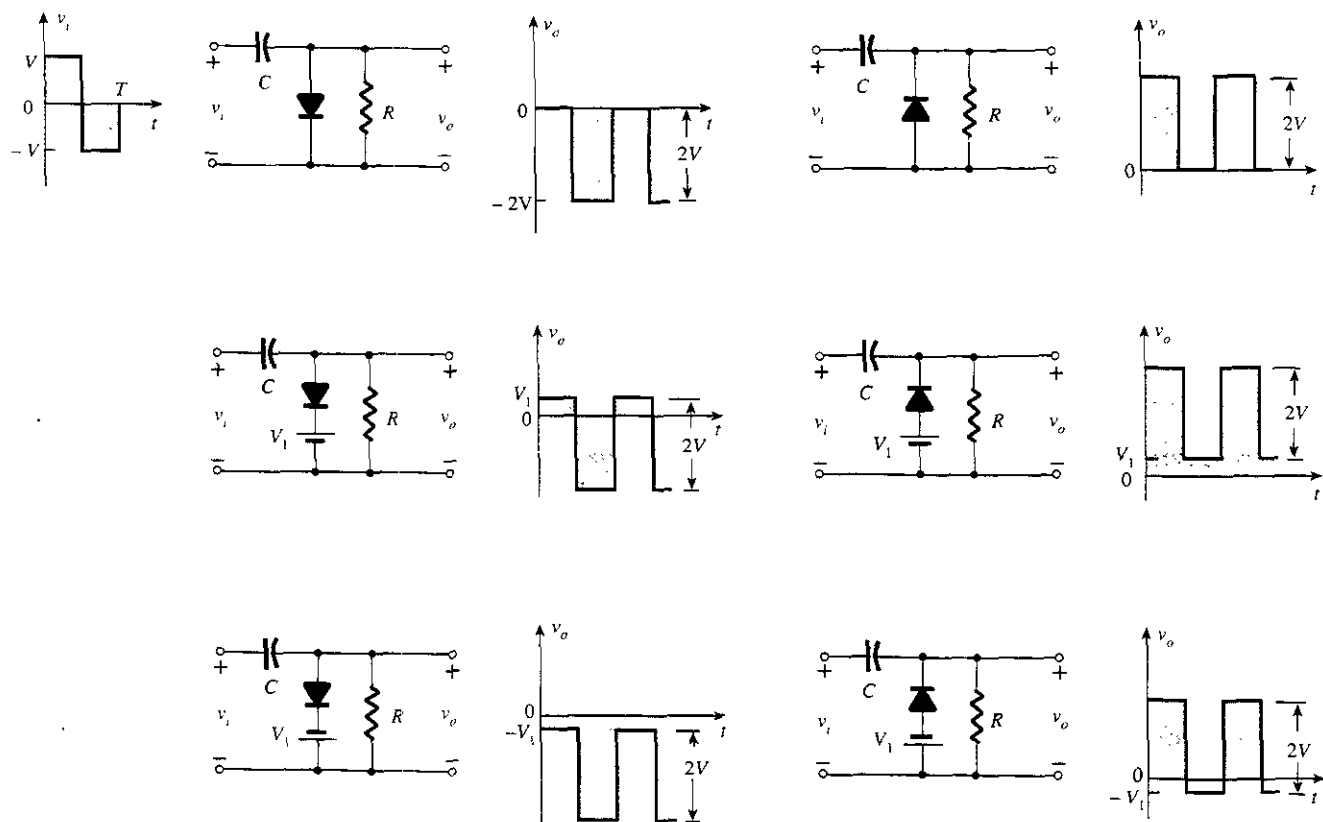


Figura 2.103 Circuitos cambiadores de nivel con diodos ideales ($5\tau = 5RC > T/2$).

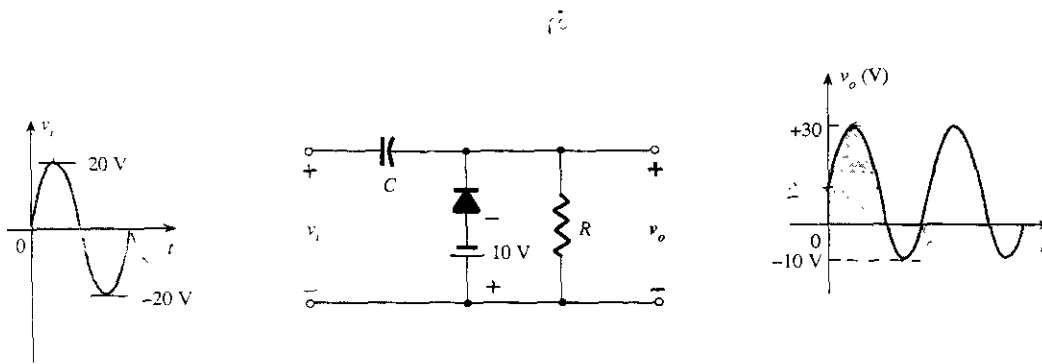


Figura 2.104 Red de cambio de nivel con una entrada senoidal.

2.11 DIODOS ZENER

El análisis de las redes que utilizan diodos Zener es muy similar al que se aplica al análisis de diodos semiconductores de las secciones anteriores. Primero debe determinarse el estado del diodo seguido por una sustitución del modelo adecuado, y una determinación de las otras cantidades desconocidas de la red. A menos que se especifique lo contrario, el modelo Zener utilizado para el estado "encendido" será como el que indica la figura 2.105a. Para el estado "apagado" de acuerdo con su definición para un voltaje menor que V_Z pero mayor que 0 V con la polaridad que se indica en la figura 2.105b, el equivalente Zener es el circuito abierto que aparece en la misma figura.

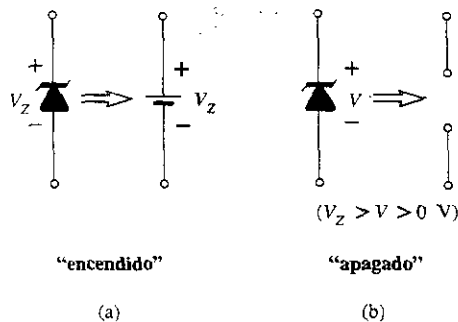


Figura 2.105 Equivalentes de diodo Zener para los estados a) "encendido" y b) "apagado".

V_i y R fijas

Las redes más simples del diodo Zener aparecen en la figura 2.106. El voltaje de dc aplicado es fijo, así como la resistencia de carga. El análisis puede hacerse fundamentalmente en dos pasos.

1. *Determinar el estado del diodo Zener mediante su eliminación de la red y calculando el voltaje a través del circuito abierto resultante.*

La aplicación del paso 1 a la red de la figura 2.106 generará la red de la figura 2.107, donde una aplicación de la regla del divisor del voltaje resultará

$$V = V_L = \frac{R_L V_i}{R + R_L} \quad (2.16)$$

Si $V \geq V_Z$, el diodo Zener está en estado "encendido" y se puede sustituir el modelo equivalente de la figura 2.105a. Si $V < V_Z$, el diodo está en "apagado" y se sustituye la equivalencia de circuito abierto de la figura 2.105b.

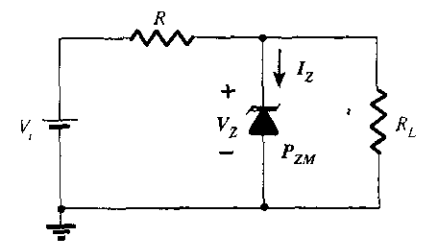


Figura 2.106 Regulador Zener básico.

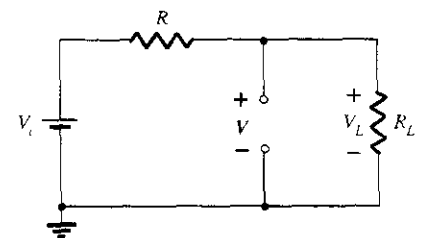


Figura 2.107 Determinación del estado del diodo Zener.

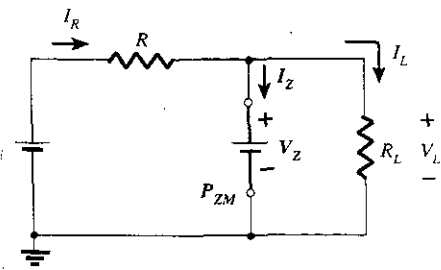


Figura 2.108 Sustitución del equivalente Zener para la situación “encendido”.

2. Sustituir el circuito equivalente adecuado y resolverlo para las incógnitas deseadas.

Para la red de la figura 2.106 el estado “encendido” dará por resultado la red equivalente de la figura 2.108. Puesto que los voltajes a través de los elementos paralelos deben ser los mismos, se encuentra que

$$V_L = V_Z \quad (2.17)$$

La corriente del diodo Zener debe determinarse por la aplicación de la ley de corriente de Kirchhoff. Esto es

$$I_R = I_Z + I_L$$

e

$$I_Z = I_R - I_L \quad (2.18)$$

donde

$$I_L = \frac{V_L}{R_L} \quad \text{e} \quad I_R = \frac{V_R}{R} = \frac{V_i - V_L}{R}$$

La potencia disipada por el diodo Zener está determinada por

$$P_Z = V_Z I_Z \quad (2.19)$$

el cual debe ser menor que la P_{ZM} especificada para el dispositivo.

Antes de continuar, es muy importante darse cuenta de que el primer paso se utilizó sólo para determinar el *estado del diodo Zener*. Si el diodo Zener está en estado “encendido”, el voltaje a través del diodo no es de V volts. Cuando el sistema se enciende, el diodo Zener se encenderá tan pronto como el voltaje a través de él sea de V_Z volts. Se “atará” en este nivel y nunca alcanzará un nivel más alto de V volts.

Los diodos Zener se utilizan con mayor frecuencia en las redes *reguladoras* o como un voltaje de *referencia*. La figura 2.106 es un regulador simple diseñado para mantener un voltaje fijo a través de la carga R_L . Para los valores de voltaje aplicado mayores que el que se requiere para encender el diodo Zener, el voltaje a través de la carga se mantendrá en V_Z volts. Si el diodo Zener se emplea como un voltaje de referencia, ofrecerá un nivel para compararlo en función de otros voltajes.

EJEMPLO 2.26

- Para la red de diodo Zener de la figura 2.109, determinar V_L , V_R , I_Z y P_Z .
- Repetir el inciso a con $R_L = 3 \text{ k}\Omega$.

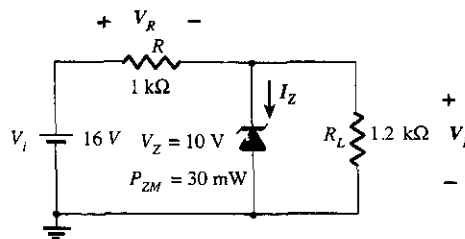


Figura 2.109 Regulador de diodo Zener para el ejemplo 2.26.

Solución

- Siguiendo el procedimiento sugerido, la red se redibuja como lo indica la figura 2.110. La aplicación de la ecuación (2.16) da

$$V = \frac{R_L V_i}{R + R_L} = \frac{1.2 \text{ k}\Omega (16 \text{ V})}{1 \text{ k}\Omega + 1.2 \text{ k}\Omega} = 8.73 \text{ V}$$

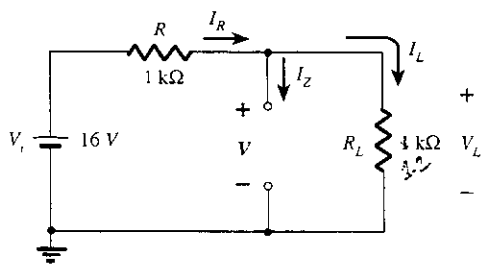


Figura 2.110 Determinación de V para el regulador de la figura 2.109.

Dado que $V = 8.73 \text{ V}$ es menor que $V_Z = 10 \text{ V}$, el diodo está en estado “apagado”, como se muestra en las características de la figura 2.111. Sustituyendo el equivalente de circuito abierto resultará la misma red que en la figura 2.110, donde se encuentra que

$$V_L = V = 8.73 \text{ V}$$

$$V_R = V_i - V_L = 16 \text{ V} - 8.73 \text{ V} = 7.27 \text{ V}$$

$$I_Z = 0 \text{ A}$$

y
$$P_Z = V_Z I_Z = V_Z (0 \text{ A}) = 0 \text{ W}$$

b) Aplicando la ecuación (2.16) ahora resulta

$$V = \frac{R_L V_i}{R + R_L} = \frac{3 \text{ k}\Omega (16 \text{ V})}{1 \text{ k}\Omega + 3 \text{ k}\Omega} = 12 \text{ V}$$

Debido a que $V = 12 \text{ V}$ es mayor que $V_Z = 10 \text{ V}$, el diodo está en estado “encendido” y la red de la figura 2.112 será el resultado. La aplicación de la ecuación (2.17) genera

$$V_L = V_Z = 10 \text{ V}$$

y
$$V_R = V_i - V_L = 16 \text{ V} - 10 \text{ V} = 6 \text{ V}$$

con
$$I_L = \frac{V_L}{R_L} = \frac{10 \text{ V}}{3 \text{ k}\Omega} = 3.33 \text{ mA}$$

e
$$I_R = \frac{V_R}{R} = \frac{6 \text{ V}}{1 \text{ k}\Omega} = 6 \text{ mA}$$

de tal forma que
$$I_Z = I_R - I_L \text{ [Ec. (2.18)]}$$

$$= 6 \text{ mA} - 3.33 \text{ mA}$$

$$= 2.67 \text{ mA}$$

La potencia disipada

$$P_Z = V_Z I_Z = (10 \text{ V})(2.67 \text{ mA}) = 26.7 \text{ mW}$$

la cual es menor que la especificada $P_{ZM} = 30 \text{ mW}$.

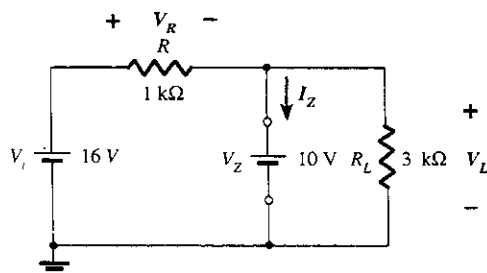


Figura 2.112 Red de la figura 2.109 en estado “encendido”.

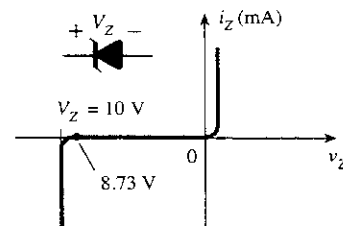


Figura 2.111 Punto de operación resultante para la red de la figura 2.109.

V_i fijo, R_L variable

Debido al voltaje V_Z , existe un rango de valores de resistencias (y por tanto, de corriente de carga) que asegurará que el dispositivo Zener está en estado “encendido”. Una resistencia de carga R_L muy pequeña generará un voltaje V_L a través de la resistencia de carga menor que V_Z y el dispositivo Zener estará en estado “apagado”.

Para determinar la resistencia de carga mínima de la figura 2.106 que encenderá el diodo Zener, simplemente se calcula el valor de R_L y dará como resultado un voltaje de carga $V_L = V_Z$. Esto es,

$$V_L = V_Z = \frac{R_L V_i}{R_L + R}$$

Resolviendo R_L , se tiene

$$R_{L\min} = \frac{RV_Z}{V_i - V_Z} \quad (2.20)$$

Cualquier valor de resistencia de carga mayor que el R_L que se obtiene de la ecuación (2.20) asegurará que el diodo Zener está en estado “encendido” y que el diodo puede ser reemplazado por su fuente equivalente V_Z .

La condición definida por la ecuación (2.20) establece el R_L mínimo, pero a su vez especifica el I_L máximo como

$$I_{L\max} = \frac{V_L}{R_L} = \frac{V_Z}{R_{L\min}} \quad (2.21)$$

Una vez que el diodo está en estado “encendido”, el voltaje a través de R permanece constante en

$$V_R = V_i - V_Z \quad (2.22)$$

e I_R permanece fija en

$$I_R = \frac{V_R}{R} \quad (2.23)$$

La corriente Zener

$$I_Z = I_R - I_L \quad (2.24)$$

resultando un I_Z mínimo cuando I_L es un máximo, y un I_Z máximo cuando I_L es un valor mínimo debido a que I_R es constante.

Dado que I_Z está limitada a I_{ZM} como se especificó en la hoja de datos, afecta el rango de R_L y por tanto de I_L . Sustituyendo I_{ZM} por I_Z establece el I_L mínimo como

$$I_{L\min} = I_R - I_{ZM} \quad (2.25)$$

y la resistencia de carga máxima como

$$R_{L\max} = \frac{V_Z}{I_{L\min}} \quad (2.26)$$

- a) Para la red de la figura 2.113, determinar el rango de R_L y de I_L que resultará que V_{R_L} se mantenga en 10 V.
- b) Determinar el valor de la disipación máxima en watts del diodo.

EJEMPLO 2.27

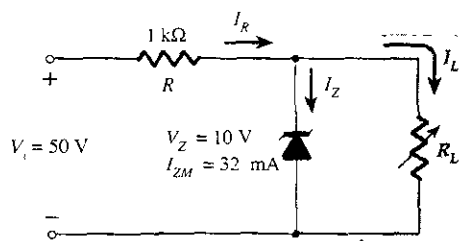


Figura 2.113 Regulador de voltaje para el ejemplo 2.27.

Solución

- a) Para determinar el valor de R_L que encenderá el diodo Zener, se aplica la ecuación (2.20):

$$R_{L_{\min}} = \frac{RV_Z}{V_i - V_Z} = \frac{(1 \text{ k}\Omega)(10 \text{ V})}{50 \text{ V} - 10 \text{ V}} = \frac{10 \text{ k}\Omega}{40} = \mathbf{250 \Omega}$$

El voltaje a través de la resistencia R se determina por medio de la ecuación (2.22):

$$V_R = V_i - V_Z = 50 \text{ V} - 10 \text{ V} = \mathbf{40 \text{ V}}$$

y la ecuación (2.23) ofrece la magnitud de I_R :

$$I_R = \frac{V_R}{R} = \frac{40 \text{ V}}{1 \text{ k}\Omega} = \mathbf{40 \text{ mA}}$$

El nivel mínimo de I_L se determina después con la ecuación (2.25):

$$I_{L_{\min}} = I_R - I_{ZM} = 40 \text{ mA} - 32 \text{ mA} = \mathbf{8 \text{ mA}}$$

con la ecuación (2.26) se determina el valor máximo de R_L :

$$R_{L_{\max}} = \frac{V_Z}{I_{L_{\min}}} = \frac{10 \text{ V}}{8 \text{ mA}} = \mathbf{1.25 \text{ k}\Omega}$$

Una gráfica de V_L en función de R_L aparece en la figura 2.114a y para V_L en función de I_L en la figura 2.114b.

b) $P_{\max} = V_Z I_{ZM}$
 $= (10 \text{ V})(32 \text{ mA}) = \mathbf{320 \text{ mW}}$

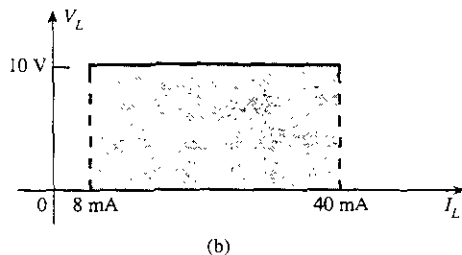
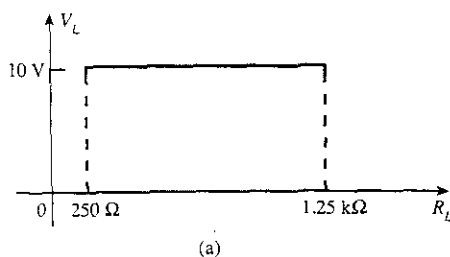


Figura 2.114 V_L en función de R_L e I_L para el regulador de la figura 2.113.

R_L fija, V_i variable

Para los valores fijos de R_L en la figura 2.106, el voltaje V_i debe ser lo suficientemente grande para encender el diodo Zener. El voltaje de encendido mínimo $V_{i_{\min}} = V_{i_{\min}}$ está determinado por

$$V_L = V_Z = \frac{R_L V_i}{R_L + R}$$

y

$$V_{i_{\min}} = \frac{(R_L + R)V_Z}{R_L} \quad (2.27)$$

El valor máximo de V_i está limitado por la corriente Zener máxima I_{ZM} . Debido a que $I_{ZM} = I_R - I_L$,

$$I_{R_{\max}} = I_{ZM} + I_L \quad (2.28)$$

Debido a que I_L está fijo en V_Z/R_L y que I_{ZM} es el valor máximo de I_Z , el máximo V_i se define por

$$V_{i_{\max}} = V_{R_{\max}} + V_Z$$

$$V_{i_{\max}} = I_{R_{\max}} R + V_Z \quad (2.29)$$

EJEMPLO 2.28

Determinar el rango de valores de V_i que mantendrán el diodo Zener de la figura 2.115 en estado "encendido".

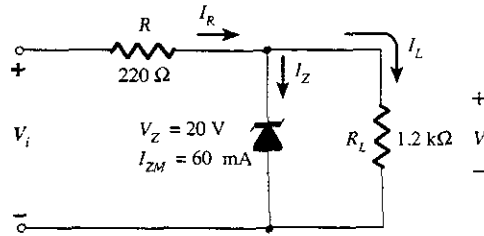


Figura 2.115 Regulador para el ejemplo 2.28.

Solución

Ecuación (2.27): $V_{i_{\min}} = \frac{(R_L + R)V_Z}{R_L} = \frac{(1200 \Omega + 220 \Omega)(20 \text{ V})}{1200 \Omega} = 23.67 \text{ V}$

$$I_L = \frac{V_L}{R_L} = \frac{V_Z}{R_L} = \frac{20 \text{ V}}{1.2 \text{ k}\Omega} = 16.67 \text{ mA}$$

Ecuación (2.28): $I_{R_{\max}} = I_{ZM} + I_L = 60 \text{ mA} + 16.67 \text{ mA}$
 $= 76.67 \text{ mA}$

Ecuación (2.29): $V_{i_{\max}} = I_{R_{\max}} R + V_Z$
 $= (76.67 \text{ mA})(0.22 \text{ k}\Omega) + 20 \text{ V}$
 $= 16.87 \text{ V} + 20 \text{ V}$
 $= 36.87 \text{ V}$

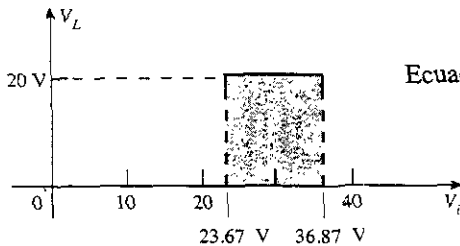


Figura 2.116 V_L en función de V_i para el regulador de la figura 2.115.

Se presenta en la figura 2.116 una gráfica de V_L en función de V_i .

Los resultados del ejemplo 2.28 revelan que para la red de la figura 2.115 con una R_L fija, el voltaje de salida permanecerá fijo en 20 V para un rango de voltaje de entrada que se extiende desde 23.67 V hasta 36.87 V.

La entrada podría aparecer como lo indica la figura 2.117 y la salida permanecería constante en 20 V, como aparece en la figura 2.116. La forma de onda en la figura 2.117 se obtiene al *filtrar* una salida de media onda o de onda completa rectificadas, proceso descrito con mayor detalle en un capítulo posterior. Sin embargo, el efecto neto es el de establecer un voltaje de dc estable (para un rango definido de V_i) como se señala en la figura 2.116 de una fuente senoidal con un valor promedio de 0.

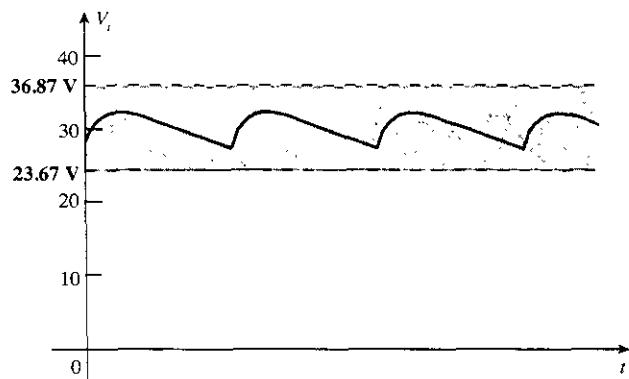


Figura 2.117 Forma de onda generada mediante una señal rectificadas filtrada.

Pueden establecerse dos o más niveles de referencia al colocar diodos Zener en serie como lo indica la figura 2.118. Mientras V_i sea mayor que la suma de V_{Z1} y V_{Z2} , ambos diodos se encontrarán en estado “encendido” y estarán disponibles tres voltajes de referencia.

También pueden utilizarse dos diodos Zener conectados en sus cátodos (espaldas con espalda) como un regulador de ac, como lo indica la figura 2.119a. Para la señal senoidal v_i , el circuito aparecerá como en la figura 2.119b en el instante $v_i = 10$ V. La región de operación de cada diodo se indica en la figura adjunta. Obsérvese que Z_1 está en una región de baja impedancia, mientras que la impedancia de Z_2 es muy grande, la que corresponde a la representación de circuito abierto. El resultado es $v_o = v_i$ cuando $v_i = 10$ V. La entrada y salida continuarán duplicándose mutuamente hasta que v_i alcance 20 V. Entonces Z_2 se encenderá (como un diodo

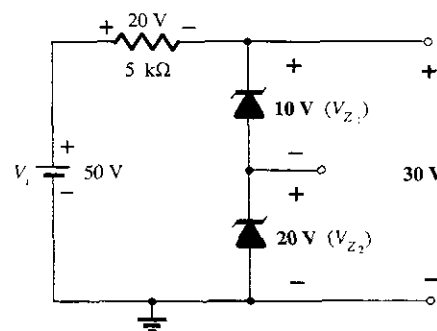


Figura 2.118 Establecimiento de tres niveles de voltaje de referencia.

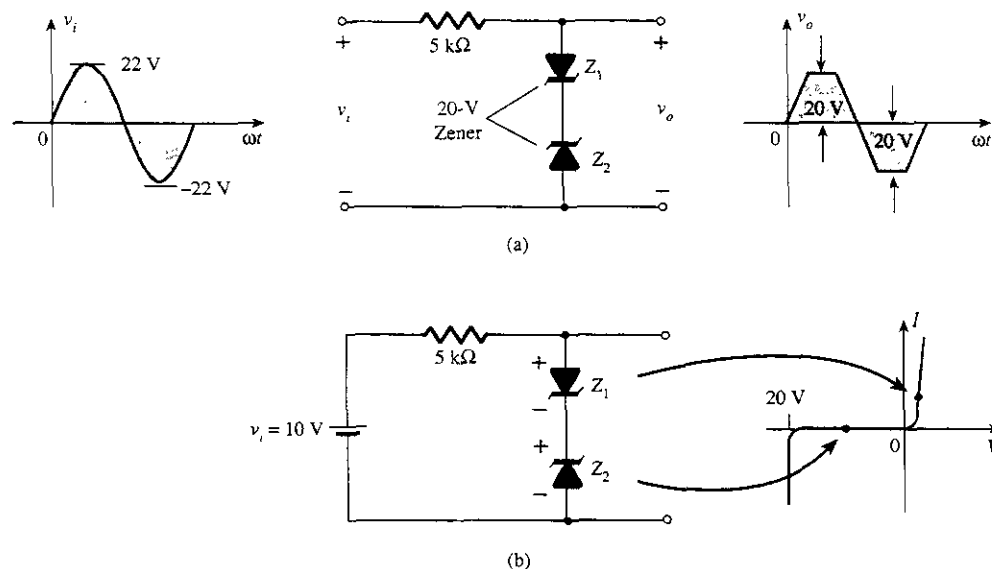


Figura 2.119 Regulación de ac senoidal: a) regulador ac senoidal de 40-V de pico a pico; b) operación del circuito a $v_i = 10$ V.

Zener), mientras que Z_1 está en una región de conducción con un nivel de resistencia lo suficiente pequeño comparado con la resistencia de $5\text{-k}\Omega$ en serie para considerarlo como un circuito cerrado. La salida resultante para el rango completo de v_i se indica en la figura 2.119(a). Obsérvese que la forma de onda no es puramente senoidal, pero su valor rms es menor que el asociado con una señal pico completa de 22-V . La red está limitando en forma efectiva el valor rms del voltaje disponible. La red de la figura 2.119a puede ampliarse a la de un generador simple de onda cuadrada (debido a la acción de recorte) si la señal de v_i se incrementa a quizá 50-V pico con Zener de 10-V , como lo señala la figura 2.120 con la forma de onda de salida resultante.

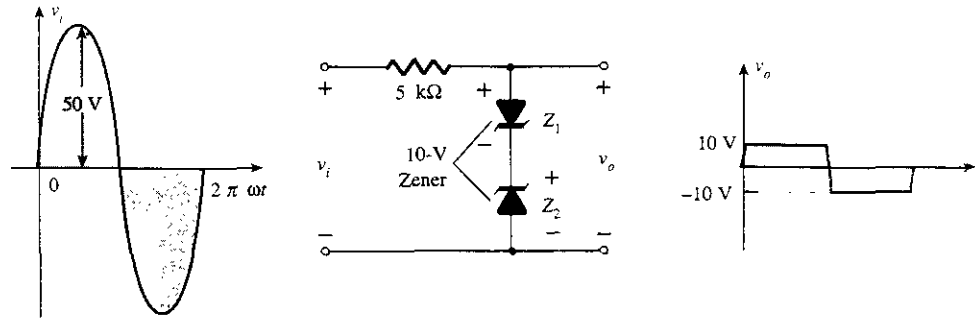


Figura 2.120 Generador simple de onda cuadrada.

2.12 CIRCUITOS MULTIPLICADORES DE VOLTAJE

Los circuitos multiplicadores de voltaje se utilizan para mantener el voltaje pico de un transformador relativamente bajo, ya que elevan el voltaje de salida pico a dos, tres, cuatro o más veces el voltaje pico rectificado.

Doblador de voltaje

La red de la figura 2.121 es un doblador de voltaje de media onda. Durante el medio ciclo de voltaje positivo a través del transformador, el diodo del secundario D_1 conduce (y el diodo D_2 está en corte), cargando el capacitor C_1 hasta el voltaje pico rectificado (V_m). El diodo D_1 es idealmente un circuito cerrado durante este medio ciclo, y el voltaje de entrada carga al capacitor C_1 hasta V_m con la polaridad mostrada en la figura 2.122a. Durante el medio ciclo negativo del voltaje del secundario, el diodo D_1 está en corte y el diodo D_2 conduce carga al capacitor C_2 . Dado que el diodo D_2 actúa como un corto circuito durante el medio ciclo negativo (y el diodo D_1 abierto), pueden sumarse los voltajes alrededor del lazo externo (véase la figura 2.122b):

$$-V_{C_2} + V_{C_1} + V_m = 0$$

$$-V_{C_2} + V_m + V_m = 0$$

de la cual

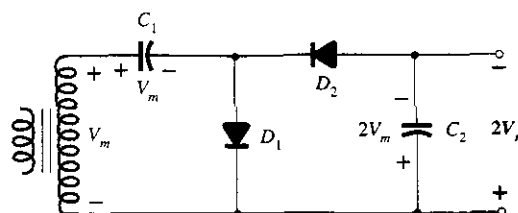


Figura 2.121 Doblador de voltaje de media onda.

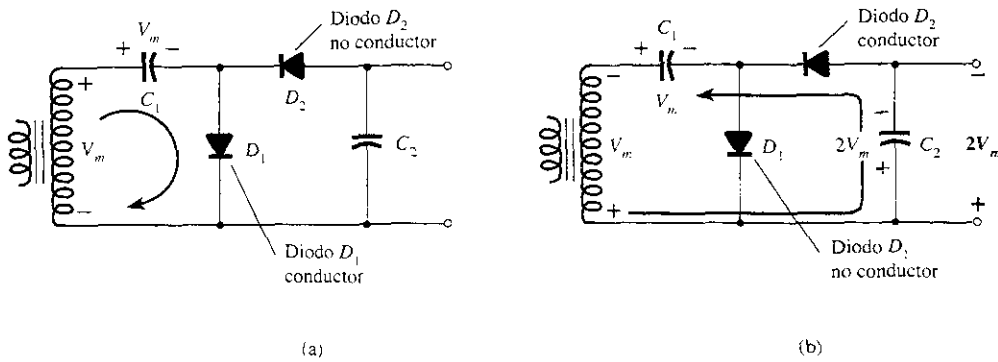


Figura 2.122 Operación doble, indicando cada medio ciclo de operación: a) medio ciclo positivo; b) medio ciclo negativo.

En el siguiente medio ciclo positivo, el diodo D_2 no está conduciendo y el capacitor C_2 se descargará a través de la carga. Si ninguna carga está conectada a través del capacitor C_2 , ambos capacitores permanecen cargados, C_1 a V_m y C_2 a $2V_m$. Si, como pudiera esperarse, existe una carga conectada a la salida del doblador de voltaje, el voltaje a través del capacitor C_2 cae durante el medio ciclo positivo (en la entrada), el capacitor se recarga hasta $2V_m$ durante el medio ciclo negativo. La forma de onda de la salida a través del capacitor C_2 es la de una señal de media onda filtrada por un filtro capacitor. El voltaje pico inverso a través de cada diodo es de $2V_m$.

Otro circuito doblador es el doblador de onda completa de la figura 2.123. Durante el medio ciclo positivo del voltaje del secundario del transformador (véase la figura 2.124a), el diodo D_1 conduce carga al capacitor C_1 hasta un voltaje pico V_m . El diodo D_2 no está conduciendo en este momento.

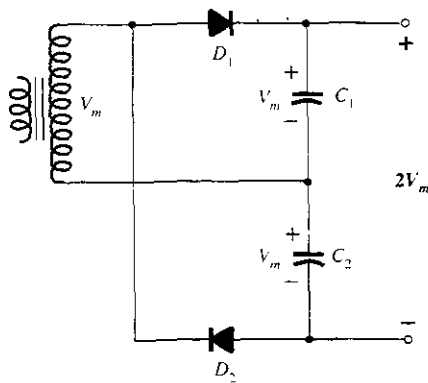


Figura 2.123 Dobrador de voltaje de onda completa.

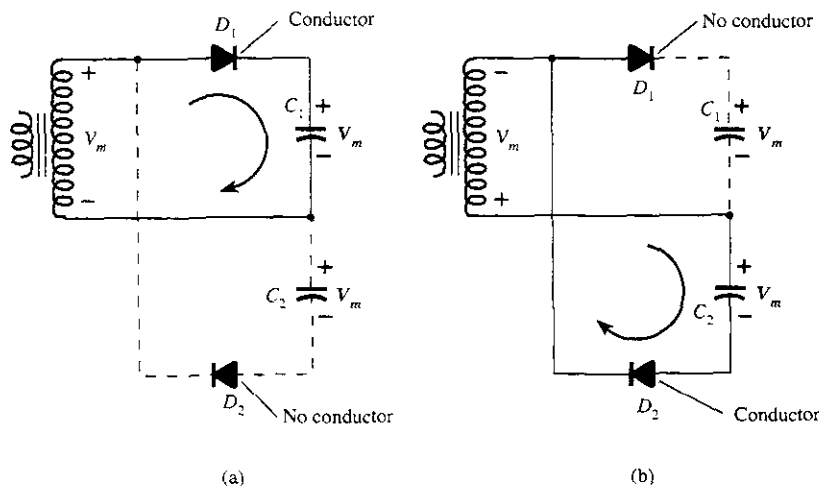


Figura 2.124 Medios ciclos de operación alternos para el doblador de voltaje de onda completa.

Durante el medio ciclo negativo (véase la figura 2.124b) el diodo D_2 conduce carga al capacitor C_2 , en tanto que el diodo D_1 no está conduciendo. Si no hay consumo de corriente en la carga del circuito, el voltaje a través de los capacitores C_1 y C_2 es $2V_m$. Si hay consumo de corriente de carga en el circuito, el voltaje en los capacitores C_1 y C_2 es el mismo que a través de un capacitor alimentado por un circuito rectificador de onda completa. Una diferencia es la capacitancia efectiva de C_1 y C_2 en serie, que es menor a la capacitancia de C_1 y C_2 solos. El valor menor del capacitor ofrecerá una acción de filtrado más pobre que el circuito de filtrado con un solo capacitor.

El voltaje pico inverso a través de cada diodo es $2V_m$ así como lo es para el circuito de filtro con capacitor. En resumen, los circuitos dobladores de voltaje de media onda y de onda completa ofrecen el doble del voltaje pico del secundario del transformador, y no se requiere un transformador con derivación central sino únicamente un valor PIV de $2V_m$ para los diodos.

Triplicador y cuadruplicador de voltaje

La figura 2.125 muestra una extensión del doblador de voltaje de media onda, el que desarrolla tres y cuatro veces el voltaje pico de entrada. Resultará obvio para el patrón de la conexión del circuito la forma en que los diodos y capacitores adicionales se pueden conectar de tal forma que el voltaje de salida puede ser de cinco, seis, siete, y así sucesivamente, veces el voltaje pico básico (V_m).

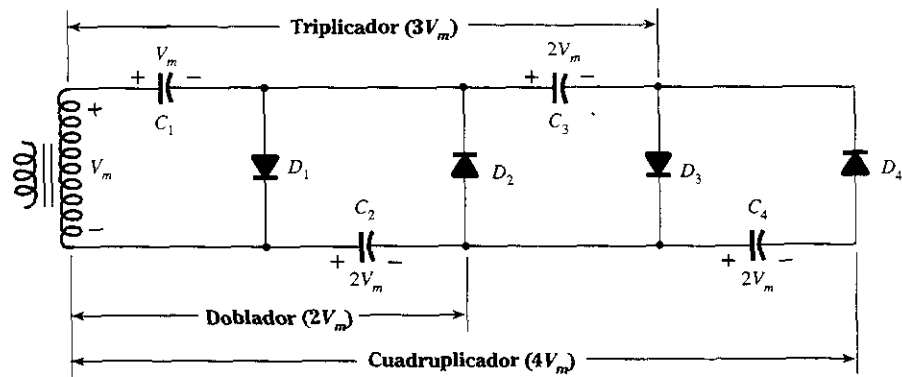


Figura 2.125 Triplicador y cuadruplicador de voltaje.

Durante la operación el capacitor C_1 se carga a través del diodo D_1 a un voltaje pico, V_m , durante el medio ciclo positivo del voltaje del secundario del transformador. El capacitor C_2 se carga al doble del voltaje pico $2V_m$ desarrollado por la suma de los voltajes a través del capacitor C_1 y el transformador, durante el medio ciclo negativo del voltaje del secundario del transformador.

Durante el medio ciclo positivo, el diodo D_3 conduce y el voltaje a través del capacitor C_2 carga al capacitor C_3 al mismo voltaje pico de $2V_m$. En el medio ciclo negativo, los diodos D_2 y D_4 conducen con el capacitor C_3 , cargando C_4 a $2V_m$.

El voltaje a través del capacitor C_2 es $2V_m$, a través de C_1 y C_3 es de $3V_m$, y a través de C_2 y C_4 es de $4V_m$. Si se utilizan secciones adicionales de diodo y capacitor, cada capacitor será cargado con $2V_m$. La medición desde la parte superior del devanado del transformador (figura 2.125) ofrecerá múltiplos nones de V_m en la salida, mientras que si la medición es desde la parte inferior del transformador el voltaje de salida ofrecerá múltiplos pares del voltaje pico V_m .

El valor del voltaje nominal de salida del transformador es únicamente V_m , máximo, y cada diodo en el circuito debe tener un valor nominal de $2V_m$ para PIV. Si la carga es pequeña y los capacitores tienen poca fuga, pueden desarrollarse de dc voltajes dc muy altos mediante este tipo de circuito, utilizando muchas secciones para aumentar el voltaje de dc.

2.13 ANÁLISIS POR COMPUTADORA

PSpice (versión DOS)

El análisis por computadora de este capítulo empezará por determinar las cantidades desconocidas para la red de la figura 2.27 (ejemplo 2.11) utilizando la versión DOS de PSpice. El primer paso consiste en dibujar de nuevo la red como lo indica la figura 2.126, identificar los nodos y etiquetarlos en un orden lógico. La tierra se elige como el nivel de referencia y se le asigna la etiqueta 0. El diodo de silicio está especificado entre los nodos 2 y 3. El voltaje de salida del ejemplo 2.11 está del nodo 3 a tierra. El voltaje V_1 se localiza entre los nodos 1 y 2 y V_2 entre los nodos 3 y 4.

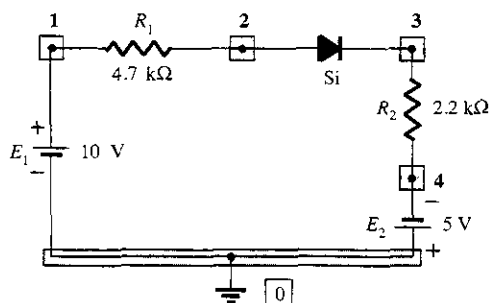


Figura 2.126 Dibujar de nuevo la figura 2.27 para el análisis PSpice.

La información de la red se captura en la computadora en un archivo de *entrada* como se muestra en bloques en la figura 2.127. La primera entrada *debe* ser una línea de títulos para identificar el análisis que se desarrollará. El siguiente conjunto de entradas es una descripción de la red utilizando los nodos elegidos y el formato que requiere PSpice para cada elemento. La última entrada *debe* ser la instrucción .END exactamente en el formato que se indica. La omisión del punto invalidará completamente el archivo de entrada.

El archivo de entrada para la red de la figura 2.126 se presenta en la figura 2.128. La línea del título especifica el circuito de diodo para la red de la figura 2.126 como el circuito que debe analizarse. La primera línea de la descripción de la red especifica la fuente de dc de 10-V. Para todas las fuentes dc la primera línea debe ser la literal V, seguida por el *nombre* de la fuente. El nombre es sólo una elección de letras y/o números para identificar la fuente en la estructura de la red. Después se captura el nodo con el lado positivo de la fuente seguido por la polaridad negativa. Se captura la magnitud de la fuente como se indicó.

```
Diode circuit for network of Fig. 2.126
VE1 1 0 10V
R1 1 2 4.7K
D1 2 3 DI
R2 3 4 2.2K
VE2 0 4 5V
.MODEL DI D(IS=2E-15)
.DC VE1 10V 10V 1V
.PRINT DC V(3) I(D1) V(1,2) V(3,4) V(2,3)
.OPTIONS NOPAGE
.END
```

La siguiente entrada en el archivo es un elemento resistivo que requiere una literal R para empezar el renglón seguido por el nombre elegido (en este caso sólo el número 1 para referir el subíndice en la red de la figura 2.126). La “presión” de la fuente de 10-V sugiere que la corriente resultante hará al nodo 1 positivo respecto al nodo 2, de ahí el orden de los nodos en el archivo de entrada. La magnitud de la resistencia se especificó como de 4.7 kΩ.

El formato para la entrada del diodo se presentó en el capítulo 1. Obsérvese la entrada en el renglón 3 de la descripción de la red y la del modelo del diodo en el renglón 6. Recuerde que

Archivo de entrada

Renglón de título

Descripción
de
la red

Instrucciones
para análisis

Instrucción END

Figura 2.127 Componentes de un archivo de entrada.

Figura 2.128 Archivo de entrada para la red de la figura 2.126.

se especificó I_S como $2E-15$ para obtener una caída de 0.7-V (o lo más cercana posible a este nivel) a través de los diodos de silicio en estado “encendido” con los niveles de corriente usuales para los sistemas electrónicos.

Las siguientes dos entradas son la segunda resistencia y la fuente de alimentación. Obsérvese en cada caso un intento para definir los nodos positivos y negativos en el orden de las entradas de los nodos. Una suposición incorrecta dará por resultado sólo en un signo negativo para el voltaje a través de un elemento en particular.

La entrada .DC especifica un análisis en dc con una fuente E_1 a 10 V. El análisis .DC puede especificarse para un rango de valores, de ahí la repetición del nivel de 10-V en el renglón de captura. Si el nivel se repite, como es el caso, el análisis se desarrollará únicamente al nivel que se indica. Si el segundo nivel fuera diferente, el análisis se desarrollará desde el primer nivel al segundo nivel y a los niveles definidos por el incremento que se especifica como la siguiente entrada en el renglón. Aunque el análisis es sólo a un nivel, se requiere una entrada para el incremento como se indica por el 1 V utilizado generalmente para este propósito. Una vez que se corre el programa y el sistema de cómputo observa una repetición del nivel de 10 V, sólo llevará a cabo el análisis a un nivel único (10 V) e ignora el impacto de la captura del incremento. No es necesario incluir la segunda fuente de dc en esta instrucción. La entrada .DC especifica el tipo de análisis a un nivel de $E_1 = 10$ V con todos los otros elementos según se especificó en la descripción de la red.

La instrucción .PRINT (IMPRESIÓN) define las cantidades que deben incluirse en los datos de salida. La cantidad V(3) es el voltaje del nodo 3 a tierra, el voltaje de salida de la figura 2.126. A continuación se encuentra la corriente a través del diodo seguido por los voltajes entre los nodos indicados.

La entrada .OPTIONS NOPAGE (OPCIONES NO PÁGINAS) es una instrucción para “ahorrar papel”, el que limita los datos presentados en el *archivo de salida* a menos que se solicite específicamente. El archivo de entrada termina con la instrucción .END.

Una vez que el archivo de entrada se capturó *adecuadamente*, el programa PSpice puede ser “corrido” y la información deseada que se obtiene en el formato del archivo de salida que aparece en la figura 2.129. Obsérvese en la figura la posición del renglón de título y la repetición de la descripción de toda la red. Se listan los parámetros del modelo que se especificó seguidos por los resultados deseados. VE1 es sólo una repetición del nivel de E_1 ($1.000E+1 = 10$) y lo controla la computadora para especificar la condición bajo la que se hicieron los cálculos (recordar la instrucción .DC): mientras que $V(3) = V_o = -4.455E-01 = -0.4455$ V, el que se compara de manera favorable con el -0.45 V que se obtuvo en el ejemplo 2.11. La corriente del diodo $I(D1) = I_D = 2.07$ mA, es una réplica exacta del ejemplo 2.11. El voltaje $V(1,2) = V_1 = 9.73$ V que se compara con 9.73 V para el ejemplo 2.11 y $V(3,4) = V_2 = 4.554$ V que se compara con 4.55 V es para el mismo ejemplo. El último elemento del archivo de salida es el voltaje a través del diodo, el cual es para el nivel de corriente I_S elegido de 0.715 V,

Figura 2.129 Archivo de salida para la red de la figura 2.126.

```
Diode circuit for network of Fig. 2.126

****      CIRCUIT DESCRIPTION
*****

VE1 1 0 10V
R1 1 2 4.7K
D1 2 3 DI
R2 3 4 2.2K
VE2 0 4 5V
.MODEL DI D(IS=2E-15)
.DC VE1 10V 10V 1V
.PRINT DC V(3) I(D1) V(1,2) V(3,4) V(2,3)
.OPTIONS NOPAGE
.END

****      Diode MODEL PARAMETERS
          DI
          IS      2.000000E-15

****      DC TRANSFER CURVES      TEMPERATURE = 27.000 DEG C
          VE1      V(3)      I(D1)      V(1,2)      V(3,4)      V(2,3)
          1.000E+01  -4.455E-01  2.070E-03  9.730E+00  4.554E+00  7.155E-01
```

comparado con el 0.7 V y utilizado en el ejemplo 2.11. Del capítulo 1 recuerde que el voltaje del diodo es una función de una variedad de parámetros, como la corriente de saturación inversa, el nivel de corriente, la temperatura, y así sucesivamente; pero no puede especificarse sólo como 0.7 V a menos que se elimine el uso de todo el modelo.

En general, los resultados son exactos con los que se obtuvieron en el ejemplo 2.11, como deben ser si se aplica el cuidado *adecuado* para ambos métodos. El primer contacto con cualquier técnica nueva, como el análisis PSpice que se presenta en esta sección, es natural que dejará preguntas y dudas acerca de su aplicación. Sin embargo, se debe estar consciente que la intención de este libro es presentar al lector varios métodos de computación, y no necesariamente el detalle que se requiere para desarrollar el análisis por su propia cuenta para una variedad de configuraciones. Esto no quiere decir que la descripción anterior no sea suficiente para intentar varias configuraciones de diodos, sino sólo que pueden surgir preguntas que requieran un curso sobre el tema o por lo menos la disponibilidad del manual PSpice. Lo anterior es el tipo de análisis PSpice que se presentará a lo largo de este libro. Debe tenerse presente que PSpice es uno de los paquetes aplicados con mayor frecuencia en la comunidad educacional, y que cualquier conocimiento acerca de su aplicación será valioso en cualquier sistema de análisis por computadora que se pueda elegir.

Análisis del centro de diseño de PSpice para Windows

Ahora, PSpice para Windows se aplicará a la misma red de la figura 2.126 para permitir una comparación entre los métodos y las soluciones. Como se describió en el capítulo 1, la aplicación de la versión para Windows tiene como resultado un dibujo de la red en una pantalla esquemática. En los siguientes párrafos se presentarán las bases para dibujar una red sobre la pantalla. Sin duda se harán algunas referencias a los manuales cuando se intenten otras configuraciones; sin embargo, esta descripción lo llevará a través de las bases sin demasiada dificultad. Se podrá hacer referencia a la red terminada de la figura 2.130 mientras se avanza a través de la presentación.

En general, es más fácil dibujar la red si la malla se encuentra sobre la pantalla y se hace el requerimiento de que todos los elementos se hallan sobre dicha malla. Con mayor importancia, se asegurará de que todas las conexiones sean establecidas entre los elementos. La pantalla al principio puede inicializarse al elegir **Options** (Opciones) en la barra de menú seguido por **Display Options** (Desplegar Opciones). La caja de diálogo de **Display Options** permitirá hacer todas las elecciones necesarias respecto al tipo de pantalla que se desee. Para estos propósitos se elegirá **Grid On**, **Stay on Grid** y un **Grid Size** de 0.1" (Malla activa, Permanecer en la Malla y un Tamaño de Malla de 0.1"). Las opciones restantes se dejan para investigar. Una vez que se especifique con una pequeña x en las cajas adecuadas, al dar **OK** se inicializará la pantalla con las especificaciones que se desean.

R

Primero se coloca la resistencia R_1 en la posición adecuada al dar "click" a **Draw** (dibujar) en la barra de menú seguido por **Get New Part** (seleccionar una parte nueva) y **Browse** (hojear). La caja de diálogo de **Get Part** aparecerá, y si se recorre la biblioteca hasta que aparece **analog.slb**, se da "click" en la librería **analog.slb** y aparecerá un listado de alternativas bajo el encabezado de **Part** (parte). Recorriéndolo hasta ver **R**, se hace "click" en **R** y luego **OK**, y aparecerá una resistencia en la pantalla. La secuencia entera puede reducirse con teclear **R** en la caja de diálogo de **Add Part** (añadir parte) y dando "click" en **OK**; sin embargo, la secuencia superior permite un primer acercamiento a una lista importante de bibliotecas y opciones. La resistencia aparecerá en forma horizontal, lo que es perfecto para R_1 . Se mueve la resistencia a una posición lógica, se le da "click" al botón izquierdo del mouse, y la resistencia R_1 está en posición. Nótese la forma en que se "adhiera" a la estructura de la malla.

Ahora, se tiene que colocar R_2 , pero R_2 es vertical en la figura 2.126. Al presionar **Ctrl** y **R** de manera simultánea, puede girar la resistencia 90°, permitiendo su colocación en la forma vertical adecuada. Puesto que no hay más resistencias en el diagrama, sólo se hace "click" al botón derecho del mouse y el proceso se completa. Las etiquetas R_1 y R_2 están de manera correcta, pero los valores son incorrectos.

Para cambiar un valor, se hace doble "click" en el valor sobre la pantalla (primer R_1) y aparecerá una caja de diálogo **Set Attribute Value** (establecer valor del atributo). Se escribe el valor correcto y aparecerá en la pantalla al dar **OK**. Aparecerá el 4.7k dentro de la caja, que puede moverse sólo haciendo "click" en la pequeña caja y mientras se mantenga oprimido el botón, se mueve el 4.7k a la posición que se desee. Se libera el botón y la etiqueta de 4.7k permanecerá donde se colocó. Una vez ahí, un "click" adicional en cualquier lugar de la pantalla eliminará las cajas y terminará el proceso. Si se desea mover el 4.7k posteriormente, se da un "click" sobre el valor y las cajas reaparecerán. Se repite lo anterior para el valor de la resistencia R_2 .

E

Las fuentes de voltaje se encuentran en la biblioteca **source.slb** de **Get Part** y eligiendo **VSRC**. Dando **OK** da por resultado el símbolo de la fuente en el esquema, que puede colocarse como sea necesario. Después de darle "click" para colocarlo donde se requiere, aparecerá una etiqueta V_1 . Para cambiar la etiqueta a E_1 , se hace "click" al V_1 un par de veces y aparecerá una caja de diálogo de **Edit Reference Designator** (editar el designador de referencia). Se cambia la etiqueta a E_1 y se le da "click" a **OK** y aparecerá E_1 sobre la pantalla dentro de una caja. La caja puede moverse de la misma manera que las etiquetas para las resistencias. Cuando se tengan en la posición correcta, sólo se oprime el mouse una vez más y E_1 estará en posición.

Para establecer el valor de E_1 se oprime el símbolo dos veces y aparecerá una caja de diálogo. **E1 Part Name: VSRC** (nombre de la parte E_1 : VSRC). Se selecciona **DC=** y se establece el valor de 10 V. Antes de dejar la caja de diálogo se debe estar seguro de dar **Save Attr** (guardar atributos). Se hace "click" en **OK** y E_1 ha sido fijado con un valor de 10 V aunque no aparezca en la red. Para añadir la etiqueta de 10 V al diagrama, se selecciona **Draw** en la barra de menú seguido por **Text** (texto). Se escribe 10 V y se hace "click" en **OK**; aparecerá una caja en blanco que puede moverse a la posición deseada. Cuando se hace "click" para colocarla, los 10 V aparecerán en la pantalla. Se oprime el lado derecho del mouse para terminar el proceso y luego se oprime el lado izquierdo para eliminar la caja. El proceso será el mismo para E_2 , pero se debe estar seguro de incluir el signo negativo.

DIODO

El diodo está en la biblioteca **eval.slb** de la caja de diálogo **Get Part**. Oprimiendo el diodo **D1N4148** y el **OK** colocará el símbolo del diodo en la pantalla. Se mueve el diodo a la posición correcta, y se oprime una vez. Las etiquetas D_1 y **D1N4148** aparecerán cerca del diodo. Se oprime el lado derecho del mouse para terminar las series de colocación de los diodos. En la figura 2.126 la etiqueta Si aparece en lugar del D_1 . Al dar doble "click" el **D1** traerá el **Edit Reference Designator** para cambiarlo a Si. Si la etiqueta D_1 no desaparece por completo, se utiliza la instrucción **Ctrl L** para dibujar de nuevo la red y ésta eliminará cualquier línea que persista. Si se desean ver las especificaciones de los diodos, se oprime una vez el símbolo del diodo y se utiliza la secuencia **Edit** (editar) – **Model** (modelo) – **Edit Instance Model** (editar modelo ejemplo). El **Model Editor** aparecerá y mediante un "click" puede cambiarse una parte. Para este análisis se cambió **Is** a 2E-15 en lugar del valor implícito de 1 pA.

IProbe

Puede desplegarse la corriente de la red al insertar un **IProbe** (ensayo) en serie con los elementos de la red. **IProbe** está en la librería **special.slb** y aparece como una carátula de medidor en la pantalla. El **IProbe** responderá con una respuesta positiva si la corriente entra al símbolo al final con un arco que representa la escala. Debido a que se está buscando una respuesta positiva en esta investigación, el **IProbe** debe ser instalado como se indica en la figura 2.130. Donde aparece el símbolo primero, éste está 180° fuera de fase con la corriente deseada. Por tanto, es necesario oprimir la secuencia **Ctrl R** dos veces para rotar el símbolo antes de colocarlo en posición. Una vez en posición, un "click" completará el proceso. Un "click" en el botón derecho del mouse terminará la característica de inserción del **IProbe**.

LÍNEA

Los elementos ahora necesitan ser conectados al elegir **Draw** y luego **Wire** (cable). Aparecerá entonces un lápiz que puede dibujar las líneas deseadas de la siguiente manera. Se mueve el lápiz al principio de la línea y se oprime el botón izquierdo del mouse. Luego se dibuja la línea y se hace "click" una vez más al botón izquierdo al final de la línea. Si sólo se debe dibujar una línea, el proceso puede terminarse al oprimir el botón derecho del mouse. Si deben dibujarse líneas adicionales, sólo se presiona la barra espaciadora después de terminar una línea y se dibuja la siguiente línea.

EGND

El sistema debe tener tierra para actuar como punto de referencia para los voltajes de los nodos. La tierra (**EGND**, por las palabras en inglés de: *Earth GrouND*) es parte de la biblioteca **port.slb** y puede colocarse de la misma manera que los otros elementos de la red.

VIEWPOINT

Los voltajes de los nodos pueden desplegarse sobre el diagrama después de la simulación utilizando **VIEWPOINTS** (puntos de vista) que están en la biblioteca **special.slb** de la caja de diálogo **Get Part**. Sólo se coloca la flecha del símbolo **VIEWPOINT** en el punto donde se desea el voltaje respecto a la tierra. Puede colocarse un **VIEWPOINT** en cada nodo de la red si es necesario. Ahora, la red está completa como lo indica la figura 2.130.

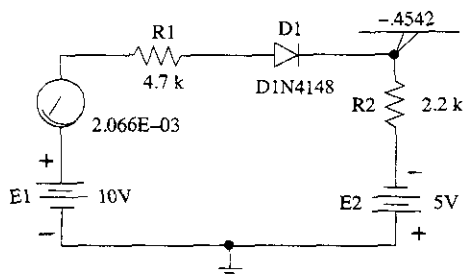


Figura 2.130 Respuesta de Windows para la red de la figura 2.126.

ASIGNACIÓN DE NODOS

Cuando los elementos son capturados como en la parte anterior, la probabilidad es que los nodos asociados con cada elemento no concuerden con las referencias de los nodos asignadas de la figura 2.126. Sin embargo, esto puede cambiarse al oprimir el **Examine Netlist** (examinar la lista neta) bajo el encabezado **Analysis** (análisis). El resultado es un listado de los elementos de la red y el valor numérico asignado a cada nodo. Esta lista puede cambiarse para igualar la de la figura 2.126 con una simple secuencia de inserción/borrado para cada referencia de los nodos. Para este análisis las referencias de los nodos se cambiaron para igualarlas a la figura 2.126.

ANÁLISIS

Ahora, la red está lista para el análisis. Para acelerar el proceso, se oprime **Analysis** (análisis) y se elige **Probe Setup** (inicialización de la prueba). Se elige **Do Not Auto-Run Probe** (no autoejecutar la prueba) debido a que **Probe** no es apropiada para este análisis. Es una opción que se presentará en un capítulo posterior cuando se manejen las cantidades que cambian con el tiempo, la frecuencia o cualquier otra variable importante. Después se procede con **OK-Analysis-Simulate** (Ok, análisis, simulación) para llevar a cabo el análisis. Si se desarrolla correctamente, una caja de diálogo de **PSpice** aparecerá indicando que el análisis en dc se terminó. Se sale de la caja y el diagrama tendrá la corriente y el voltaje de los nodos como en la figura 2.130. La corriente del circuito de 2.07 mA concuerda con la solución en DOS, y el voltaje de los nodos en -0.46 V es muy cercano a la solución DOS de -0.45 V.

El archivo de salida puede observarse con la secuencia **Analysis-Examine Output** (análisis, examinar salida). Varias de las partes importantes del archivo de salida aparecen en la figura 2.131. Obsérvese que las asignaciones de los nodos del **Schematics Netlist** (lista esquemática neta) concuerda con las referencias de los nodos de la figura 2.126. Los parámetros de

```

**** CIRCUIT DESCRIPTION
*****
*****
* Schematics Netlist *
R_R1 $N_0002 $N_0001 4.7k
R_R2 $N_0004 $N_0003 2.2k
V_E1 $N_0005 0 DC 10V
V_E2 $N_0004 0 DC -5V
D_D1 $N_0001 $N_0003 D1N4148-X
v_V6 $N_0005 $N_0002 0

**** Diode MODEL PARAMETERS
*****
*****
D1N4148-X
IS 2.000000E-15
BV 100
IBV 100.000000E-15
RS 16
TT 12.000000E-09
CJO 2.000000E-12

**** SMALL SIGNAL BIAS SOLUTION TEMPERATURE = 27.000 DEG C
*****
*****
NODE VOLTAGE NODE VOLTAGE NODE VOLTAGE NODE
VOLTAGE
($N_0001) .2925 ($N_0002) 10.0000
($N_0003) -.4561 ($N_0004) -5.0000
($N_0005) 10.0000

VOLTAGE SOURCE CURRENTS
NAME CURRENT
V_E1 -2.065E-03
V_E2 2.065E-03
v_V6 2.065E-03

TOTAL POWER DISSIPATION 3.10E-02 WATTS

**** OPERATING POINT INFORMATION TEMPERATURE = 27.000 DEG C
*****
*****
**** DIODES
NAME D_D1
MODEL D1N4148-X
ID 2.07E-03
VD 7.49E-01
REQ 1.25E+01
CAP 9.62E-10

```

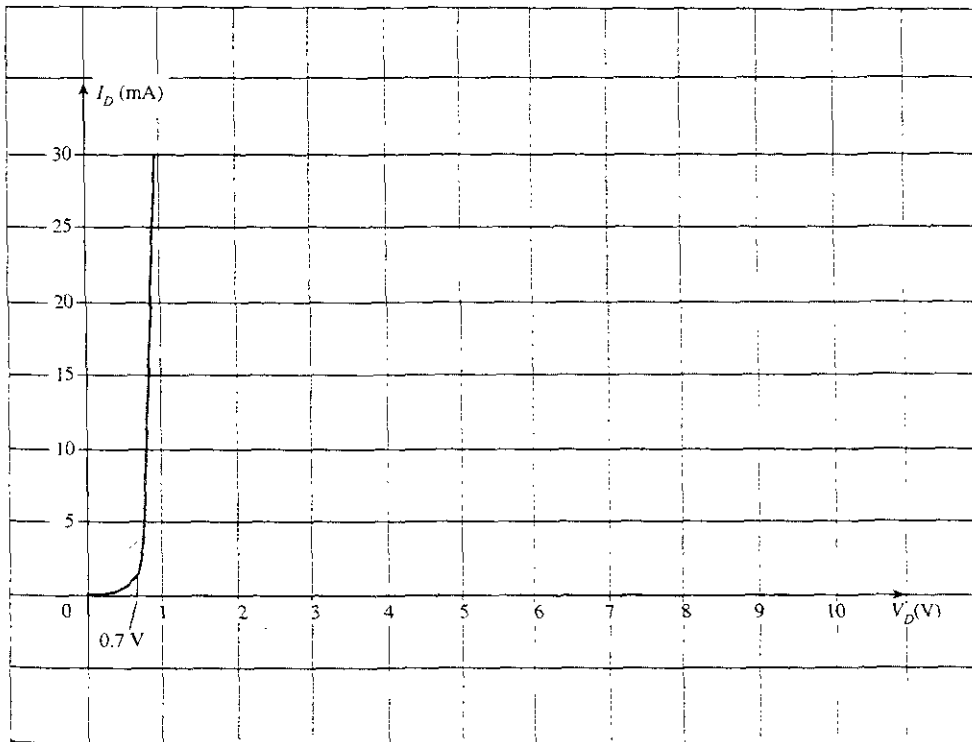
Figura 2.131 Archivo de salida para el análisis PSpice (Windows) del circuito de la figura 2.126.

los diodos se repiten bajo el listado **Diode MODEL PARAMETERS** (parámetros de modelos de diodos). La **SMALL SIGNAL BIAS SOLUTION** (solución de pequeña señal de polarización) incluye todos los voltajes de los nodos con la corriente listada a continuación como las **VOLTAGE SOURCE CURRENTS** (corrientes de las fuentes de voltaje). La **OPERATING POINT INFORMATION** (información del punto de operación) revela que I_D es de 2.07 mA y que el voltaje a través del diodo es de 0.749 V en lugar del 0.7 V utilizado en la solución manual, una posible razón para la ligera diferencia en el voltaje de los nodos listado arriba.

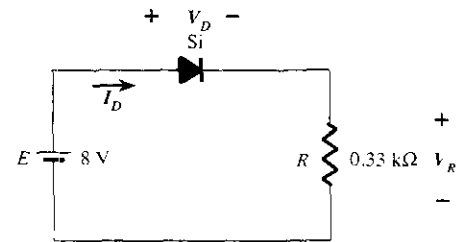
Ahora, se completó el análisis utilizando la versión para Windows de PSpice. Al principio, puede parecer que se hace mucho más trabajo antes de llegar a la solución para Windows en comparación con la solución para DOS. Sin embargo, se debe dar al sistema de Windows una oportunidad para demostrar su versatilidad mientras se empiezan a examinar sus otras características. Con el tiempo, desde luego uno se vuelve más adepto a la construcción de la red; y también, el resultado es una red dibujada con todos los voltajes de los nodos importantes y las corrientes deseadas impresas en el diagrama.

§ 2.2 Análisis mediante la recta de carga

1. a) Utilizando las características de la figura 2.132b, determine I_D , V_D y V_R para el circuito de la figura 2.132a.
- b) Repita el inciso a usando el modelo aproximado para el diodo y compare los resultados.
- c) Repita el inciso a utilizando el modelo ideal para el diodo y compare los resultados.



(b)



(a)

Figura 2.132 Problemas 1, 2.

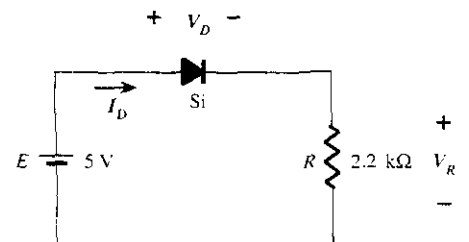


Figura 2.133 Problemas 2, 3.

2. a) Usando las características de la figura 2.132b, determine I_D y V_D para el circuito de la figura 2.133.
- b) Repita el inciso a con $R = 0.47 \text{ k}\Omega$.
- c) Repita el inciso a con $R = 0.18 \text{ k}\Omega$.
3. Determine el valor de R para el circuito de la figura 2.133 que resultará para una corriente del diodo de 10 mA si $E = 7 \text{ V}$. Utilice las características de la figura 2.132b para el diodo.
4. a) Usando las características aproximadas para el diodo de Si, determine el valor de V_D , I_D y V_R para el circuito de la figura 2.134.
- b) Desarrolle el mismo análisis del inciso a utilizando el modelo ideal para el diodo.
- c) ¿Sugieren los resultados que se obtuvieron en los incisos a y b que el modelo ideal puede ofrecer una buena aproximación para la respuesta real bajo algunas condiciones?

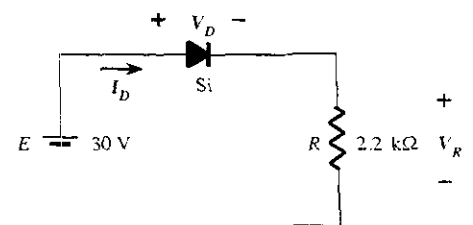


Figura 2.134 Problema 4.

§ 2.4 Configuraciones de diodos en serie con entradas de dc

5. Determine la corriente I para cada una de las configuraciones de la figura 2.135 utilizando el modelo equivalente aproximado para el diodo.

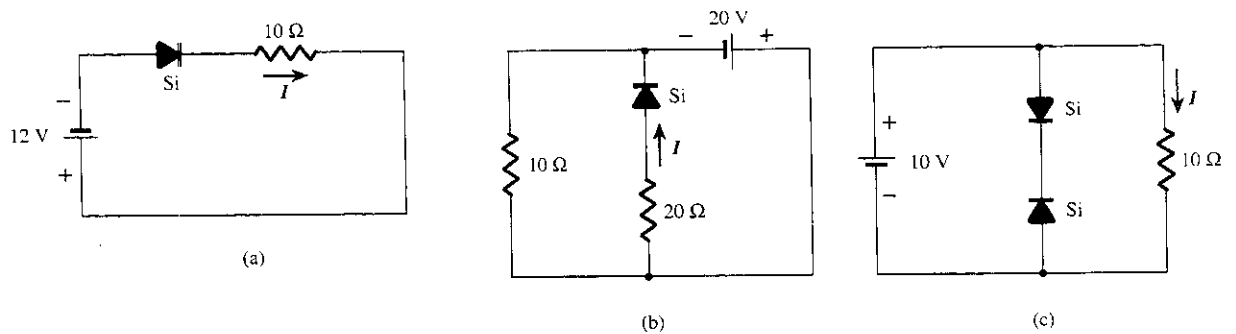


Figura 2.135 Problema 5.

6. Determine V_o e I_D para las redes de la figura 2.136.

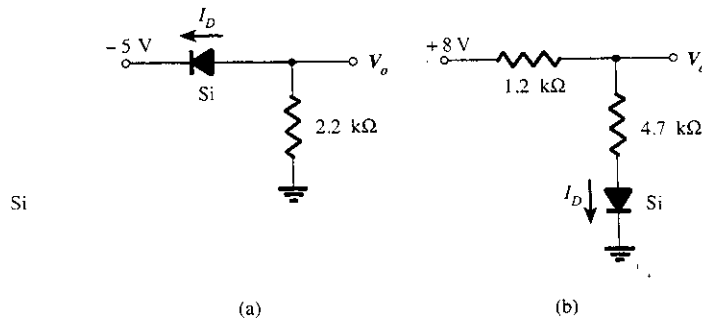


Figura 2.136 Problemas 6, 52.

- * 7. Determine el nivel de V_o para cada una de las redes de la figura 2.137.

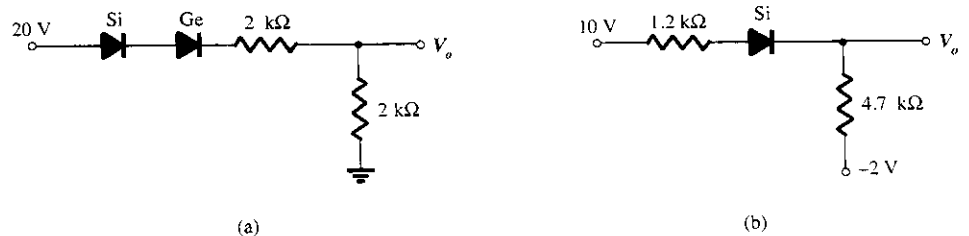


Figura 2.137 Problema 7, 51.

- * 8. Determine V_o e I_D para las redes de la figura 2.138.

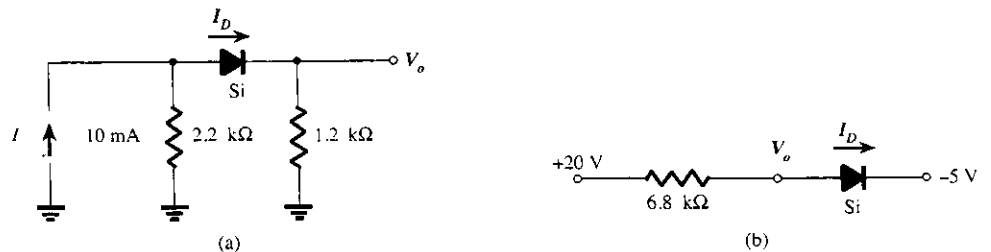


Figura 2.138 Problema 8.

* 9. Determine V_{o_1} y V_{o_2} para las redes de la figura 2.139.

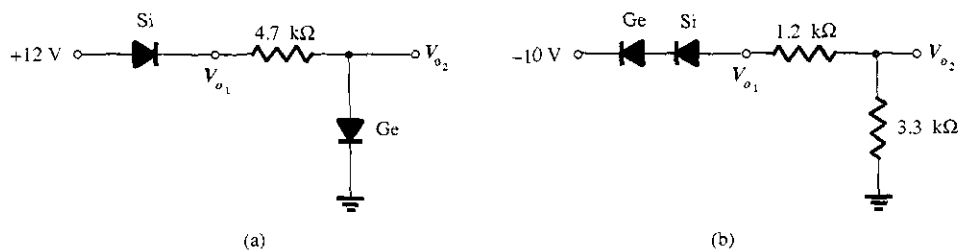


Figura 2.139 Problema 9.

§ 2.5 Configuraciones en paralelo y en serie-paralelo

10. Determine V_o e I_D para las redes de la figura 2.140.

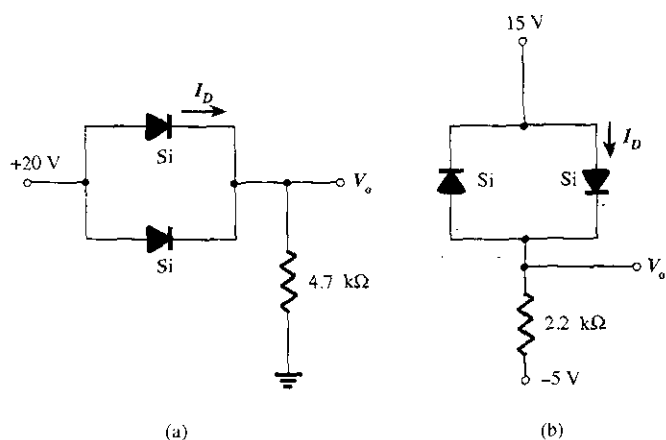


Figura 2.140 Problemas 10, 53.

* 11. Determine V_o e I para las redes de la figura 2.141.

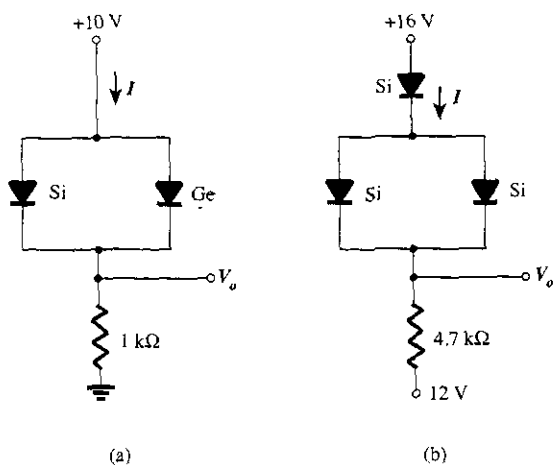


Figura 2.141 Problema 11.

12. Determine V_{o1} , V_{o2} , e I para la red de la figura 2.142.
- * 13. Determine V_o e I_D para la red de la figura 2.143.

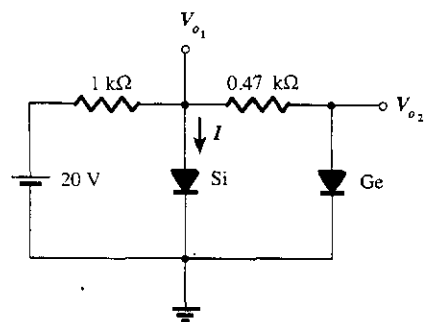


Figura 2.142 Problema 12.

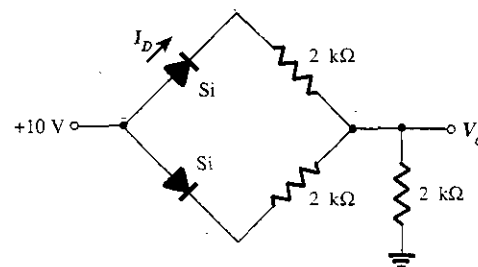


Figura 2.143 Problemas 13, 54.

§ 2.6 Compuertas AND/OR

14. Determine V_o para la red de la figura 2.38 con 0 V en ambas entradas.
15. Determine V_o para la red de la figura 2.38 con 10 V en ambas entradas.
16. Determine V_o para la red de la figura 2.41 con 0 V en ambas entradas.
17. Determine V_o para la red de la figura 2.41 con 10 V en ambas entradas.
18. Determine V_o para la compuerta lógica OR de la figura 2.144.
19. Determine V_o para la compuerta lógica AND de la figura 2.145.
20. Determine el nivel de V_o para la compuerta de la figura 2.146.
21. Determine el nivel de V_o para configuración de la figura 2.147.

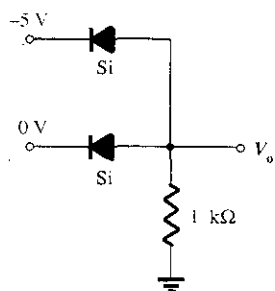


Figura 2.144 Problema 18.

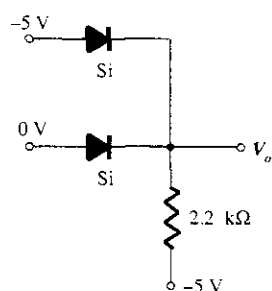


Figura 2.145 Problema 19.

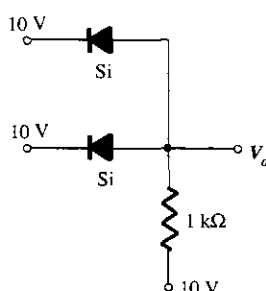


Figura 2.146 Problema 20.

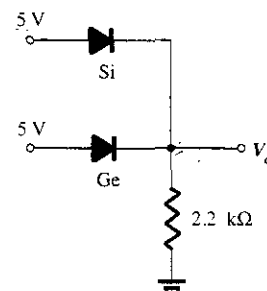


Figura 2.147 Problema 21.

§ 2.7 Entradas senoidales; rectificación de media onda

22. Suponiendo un diodo ideal, dibuje v_i , v_d e i_d para el rectificador de media onda de la figura 2.148. La entrada tiene una forma de onda senoidal con una frecuencia de 60 Hz.
- * 23. Repita el problema 22 con un diodo de silicio ($V_T = 0.7$ V).
- * 24. Repita el problema 22 con una carga aplicada de $6.8 \text{ k}\Omega$ como lo indica la figura 2.149. Dibuje v_L e i_L .
25. Para la red de la figura 2.150, dibuje v_o y determine V_{dc} .

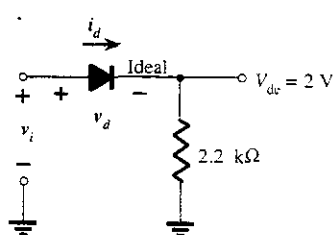


Figura 2.148 Problemas 22, 23, 24.

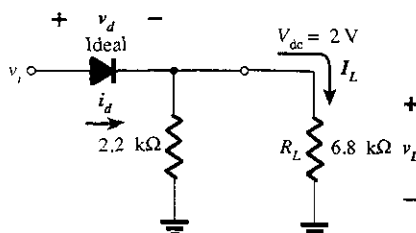


Figura 2.149 Problema 24.

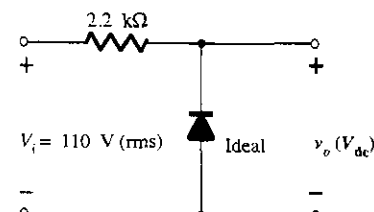


Figura 2.150 Problema 25.

* 26. Para la red de la figura 2.151, dibuje v_o e i_R .

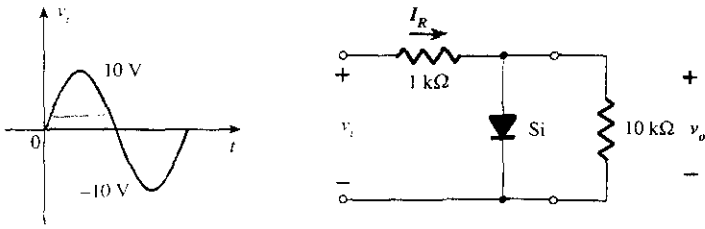


Figura 2.151 Problema 26.

- * 27. a) Dado $P_{\max} \approx 14 \text{ mW}$ para cada diodo de la figura 2.152, determine el valor máximo de corriente de cada diodo (utilizando el modelo equivalente aproximado).
 b) Determine I_{\max} para $V_{i\max} = 160 \text{ V}$.
 c) Determine la corriente a través de cada diodo para $V_{i\max}$ utilizando los resultados del inciso b.
 d) ¿Es la corriente determinada en el inciso c menor que el valor máximo determinado en el inciso a?
 e) Si sólo estuviera presente un diodo, determine la corriente del diodo y compárela con el valor máximo.

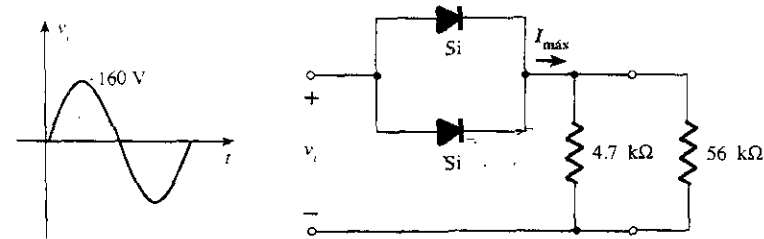


Figura 2.152 Problema 27.

§ 2.8 Rectificación de onda completa

28. Un puente rectificador de onda completa con una entrada senoidal de 120-V rms tiene una resistencia de carga de $1 \text{ k}\Omega$.
 a) Si se utilizan diodos de silicio, ¿cuál es el voltaje dc disponible en la carga?
 b) Determine el valor PIV que se requiere de cada diodo.
 c) Encuentre la corriente máxima a través de cada diodo durante la conducción.
 d) ¿Cuál es el valor de potencia que se requiere de cada diodo?
29. Determine v_o y el valor PIV que se requiere para cada diodo de la configuración de la figura 2.153.

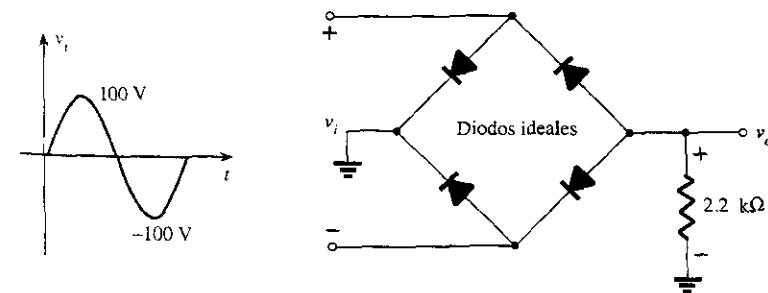


Figura 2.153 Problema 29.

* 30. Dibuje v_o para la red de la figura 2.154 y determine el voltaje de dc disponible.

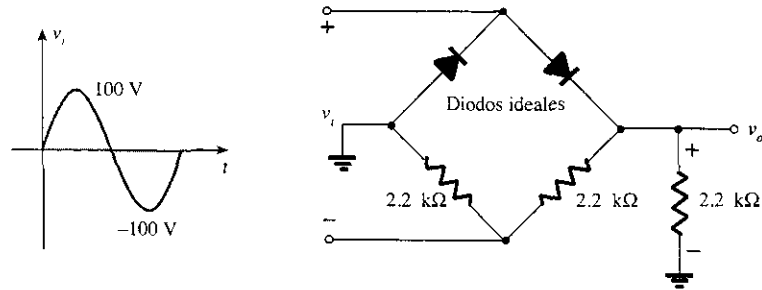


Figura 2.154 Problema 30.

* 31. Dibuje v_o para la red de la figura 2.155 y determine el voltaje de dc disponible.

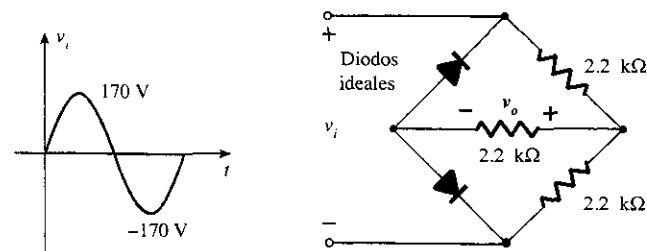


Figura 2.155 Problema 31.

§ 2.9 Recortadores

32. Dibuje v_o para cada red de la figura 2.156 para la entrada que se indica.

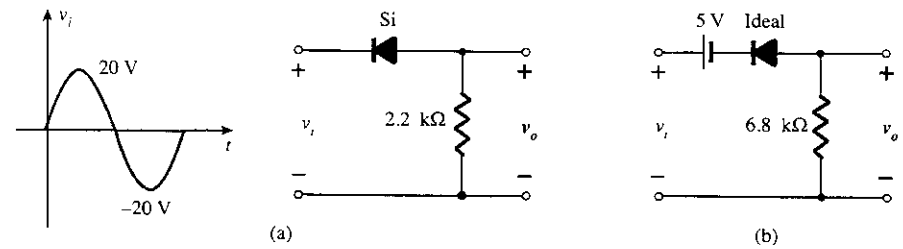


Figura 2.156 Problema 32.

33. Dibuje v_o para cada red de la figura 2.157 para la entrada que se indica.

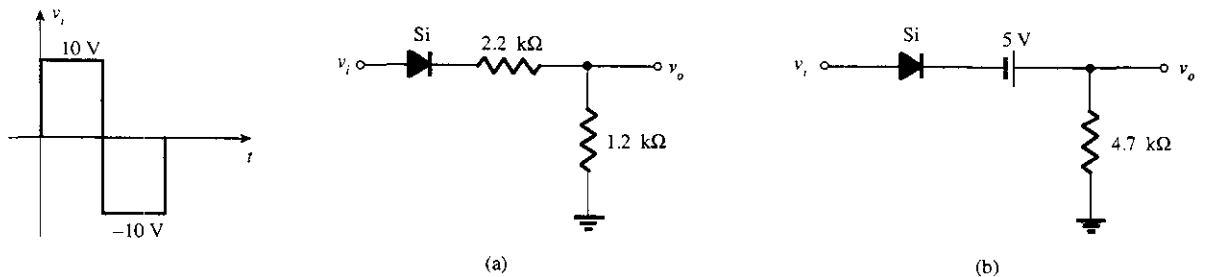


Figura 2.157 Problema 33.

* 34. Dibuje v_o para cada red de la figura 2.158 para la entrada que se indica.

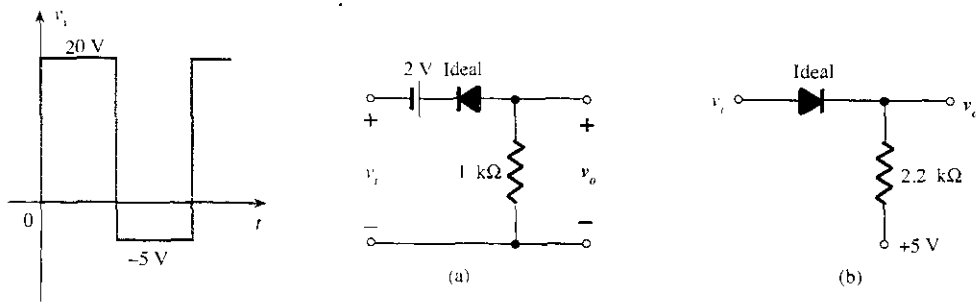


Figura 2.158 Problema 34.

* 35. Dibuje v_o para cada red de la figura 2.159 para la entrada que se indica.

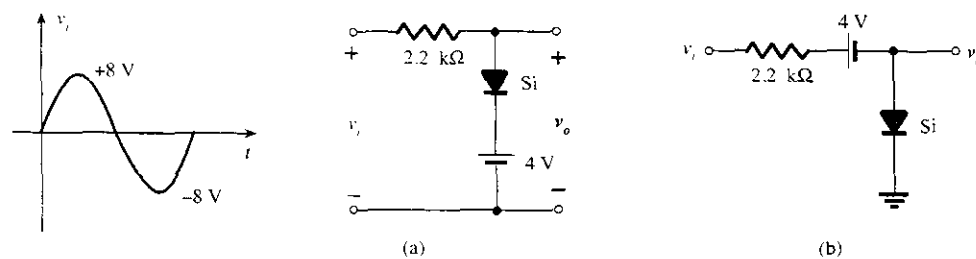


Figura 2.159 Problema 35.

36. Dibuje i_R y v_o para la red de la figura 2.160 para la entrada que se indica.

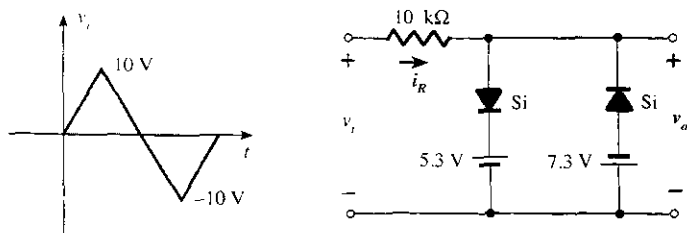


Figura 2.160 Problema 36.

§ 2.10 Cambiadores de nivel

37. Dibuje v_o para cada red de la figura 2.161 para la entrada que se indica.

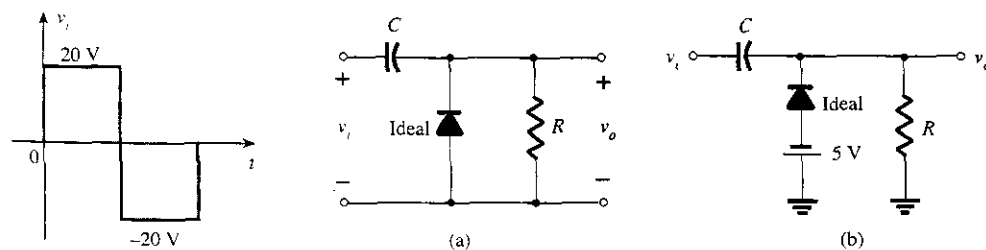


Figura 2.161 Problema 37.

38. Dibuje v_o para cada red de la figura 2.162 para la entrada que se indica. ¿Sería una buena aproximación considerar que se trata de un diodo ideal para ambas configuraciones? ¿Por qué?

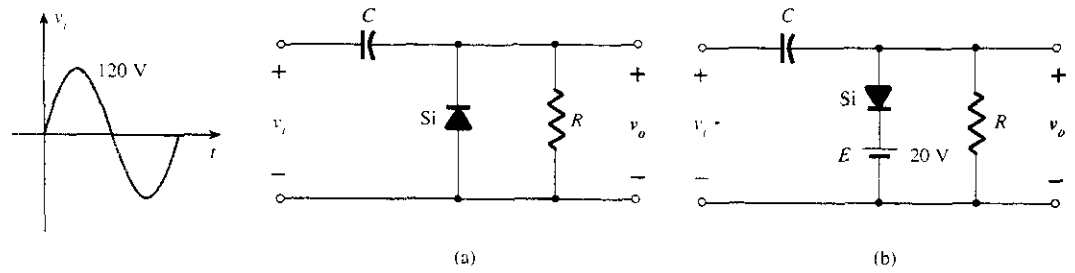


Figura 2.162 Problema 38.

- * 39. Para la red de la figura 2.163:

- Calcular 5τ .
- Comparar 5τ con la mitad del periodo de la señal aplicada.
- Dibujar v_o .

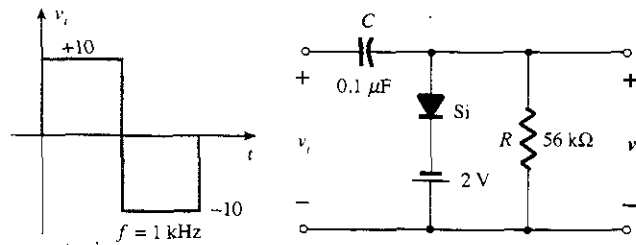


Figura 2.163 Problema 39.

- * 40. Diseñar un circuito cambiador de nivel para llevar a cabo la función que se señala en la figura 2.164.

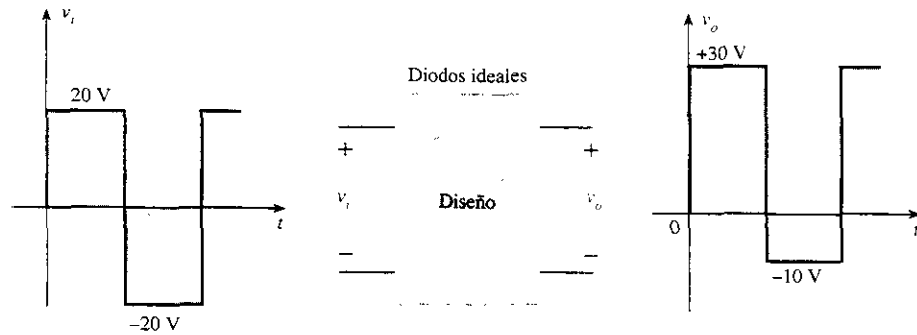


Figura 2.164 Problema 40.

- * 41. Diseñar un circuito cambiador de nivel para llevar a cabo la función que se indica en la figura 2.165.



Figura 2.165 Problema 41.

§ 2.11 Diodos Zener

- * 42. a) Determinar V_L , I_L e I_R para la red de la figura 2.166 si $R_L = 180 \Omega$.
 b) Repita el inciso a si $R_L = 470 \Omega$.
 c) Determine el valor de R_L que establecerá las condiciones máximas de potencia para el diodo Zener.
 d) Determine el valor mínimo de R_L para asegurar que el diodo Zener está en estado "encendido".

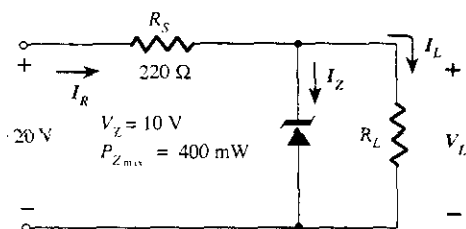


Figura 2.166 Problema 42.

- * 43. a) Diseñe la red de la figura 2.167 para mantener V_L en 12 V para una variación en la carga (I_L) desde 0 hasta 200 mA. Esto es, determine R_S y V_Z .
 b) Determine P_{Zmax} para el diodo Zener del inciso a.
 * 44. Para la red de la figura 2.168, determine el rango de V_i que mantendrá V_L en 8 V y no excederá el valor máximo de potencia del diodo Zener.
 45. Diseñar un regulador de voltaje que mantendrá un voltaje de salida de 20 V a través de una carga de 1 kΩ con una entrada que tendrá una variación entre 30 y 50 V. Esto es, determine el valor adecuado de R_S y la corriente máxima I_{ZM} .
 46. Dibuje la salida de la red de la figura 2.120 si la entrada es una onda cuadrada de 50 V. Repita para una onda cuadrada de 5-V.

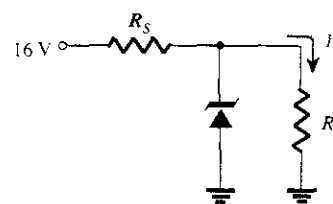


Figura 2.167 Problema 43.

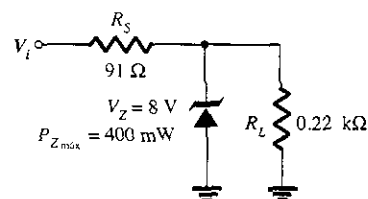


Figura 2.168 Problemas 44, 55.

§ 2.12 Circuitos multiplicadores de voltaje

47. Determine el voltaje disponible del doblador de voltaje de la figura 2.121 si el voltaje del secundario del transformador es de 120 V (rms).
 48. Determine los valores PIV que se requieren por los diodos de la figura 2.121 en términos del voltaje pico del secundario V_m .

§ 2.13 Análisis por computadora

49. Escriba el archivo de entrada para PSpice (DOS) para determinar las corrientes I_1 , I_2 e I_{D2} de la figura 2.36 (ejemplo 2.15).
 50. Utilizando PSpice (DOS), escriba el archivo de entrada para determinar V_o para la red de la figura 2.38.
 51. Escriba el archivo de entrada PSpice (DOS), para determinar V_o para la red de la figura 2.137b.
 52. Desarrolle un análisis para la red de la figura 2.136b utilizando PSpice (Windows).
 53. Desarrolle un análisis para la red de la figura 2.140b usando PSpice (Windows).
 54. Desarrolle un análisis para la red de la figura 2.143 utilizando PSpice (Windows).
 55. Desarrolle un análisis general de la red Zener de la figura 2.168 usando PSpice (Windows).
 56. Repita el problema 49 utilizando BASIC.
 57. Repita el problema 50 usando BASIC.

* Los asteriscos indican problemas más difíciles.

3.1 INTRODUCCIÓN

Durante el periodo de 1904 a 1947, el bulbo fue, sin duda, el dispositivo electrónico más interesante y también el que más se desarrolló. El diodo de bulbo fue introducido por J. A. Fleming en 1904. Poco tiempo después, en 1906, Lee De Forest le añadió un tercer elemento al diodo al vacío, denominado *rejilla de control*, lo cual dio por resultado el *triodo*, primer amplificador de su género. En los años subsecuentes, la radio y la televisión ofrecieron un gran estímulo a la industria de los bulbos. La producción se incrementó, de cerca de un millón de bulbos en 1922 a cien millones aproximadamente en 1937. A principio de los años treinta el tubo de vacío de cuatro y cinco elementos cobró gran importancia en la industria de los tubos electrónicos al vacío. En los años siguientes la industria se convirtió en una de las más importantes y se lograron rápidos avances en el diseño, técnicas de manufactura, aplicaciones de alta potencia y alta frecuencia y la miniaturización.

Sin embargo, el 23 de diciembre de 1947, la industria de la electrónica registró la aparición de un nuevo campo de interés y desarrollo. Fue esa tarde cuando Walter H. Brattain y Joseph Bardeen demostraron la acción amplificadora del primer transistor en la compañía Bell Telephone Laboratories. El transistor original (un transistor de punto de contacto) se muestra en la figura 3.1. Las ventajas de este dispositivo de estado sólido de tres terminales respecto al bulbo se manifestaron de inmediato: era más pequeño y ligero, no tenía requerimientos de



Los inventores del primer transistor en los Bell Laboratories: doctor William Shockley (sentado); doctor John Bardeen (izquierda); doctor Walter H. Brattain. (Cortesía de los archivos AT&T.)

Dr. Shockley Nació en: Londres, Inglaterra, 1910
PhD Harvard, 1936

Dr. Bardeen Nació en: Madison, Wisconsin, 1908
PhD Princeton, 1936

Dr. Brattain Nació en: Amoy, China, 1902
PhD Universidad de Minnesota, 1928

Todos compartieron el Premio Nobel en 1956 por esta contribución.



Figura 3.1 El primer transistor. (Cortesía Bell Telephone Laboratories.)

calentamiento o disipación de calor, su construcción era resistente y era más eficiente debido a que el mismo dispositivo consumía menos potencia, estaba disponible para utilizarse de inmediato, no requería de un periodo de calentamiento y era posible utilizar voltajes de operación más bajos. Nótese que, a partir del análisis anterior, en este capítulo se aborda por primera vez el análisis de dispositivos con tres o más terminales. El lector encontrará que todos los amplificadores (dispositivos que incrementan el voltaje, la corriente o nivel de potencia) tendrán por lo menos tres terminales, donde una controla el flujo de las otras dos terminales.

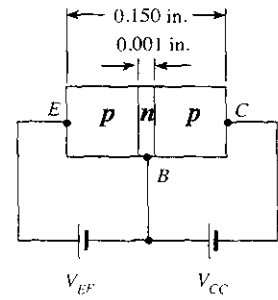
3.2 CONSTRUCCIÓN DE TRANSISTORES

El transistor es un dispositivo semiconductor de tres capas que consiste de dos capas de material tipo n y una capa tipo p , o bien, de dos capas de material tipo p y una tipo n . Al primero se le llama *transistor npn*, en tanto que al segundo *transistor pnp*. Ambos se muestran en la figura 3.2 con la polarización de dc adecuada. En el capítulo 4 encontrará que la polarización de dc es necesaria para establecer la región de operación adecuada para la amplificación de ac. La capa del emisor se encuentra fuertemente dopada, la base ligeramente dopada y el colector sólo muy poco dopado. Las capas exteriores tienen espesores mucho mayores que el material tipo p o n al que circundan. Para los transistores que se muestran en la figura 3.2, la proporción del espesor total respecto al de la capa central es de $0.150/0.001 = 150 : 1$. El dopado de la capa central es también mucho menor que el dopado de las capas exteriores (casi siempre 10:1 o menos). Este nivel bajo de dopado disminuye la conductividad (aumenta la resistencia) de este material al limitar el número de portadores “libres”.

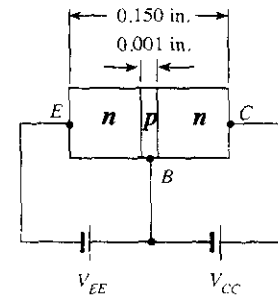
Para la polarización que se muestra en la figura 3.2 las terminales se indican mediante las literales E para el *emisor*, C para el *colector* y B para la *base*. Se desarrollará una apreciación de la elección de esta notación cuando se analice la operación básica del transistor. La abreviatura BJT, de *transistor bipolar de unión* (del inglés, *Bipolar Junction Transistor*), suele aplicarse a este dispositivo de tres terminales. El término *bipolar* refleja el hecho de que los huecos y los electrones participan en el proceso de inyección hacia el material polarizado de forma opuesta. Si sólo se utiliza un portador (electrón o hueco), entonces se considera un dispositivo *unipolar*. El diodo Schottky, que se considera en el capítulo 20, es uno de estos dispositivos.

3.3 OPERACIÓN DEL TRANSISTOR

Ahora se describirá la operación básica del transistor utilizando el transistor *pnp* de la figura 3.2a. La operación del transistor *npn* es exactamente la misma que si se intercambiaran las funciones que cumplen el electrón y el hueco. En la figura 3.3 se dibujó de nuevo el transistor *pnp* sin la polarización base-colector. Obsérvense las similitudes entre esta situación y aquella del diodo con *polarización directa* del capítulo 1. El espesor de la región de agotamiento se redujo debido a la polarización aplicada, lo que da por resultado un flujo muy considerable de portadores mayoritarios desde el material tipo p hacia el tipo n .



(a)



(b)

Figura 3.2 Tipos de transistores: a) *pnp*; b) *npn*.

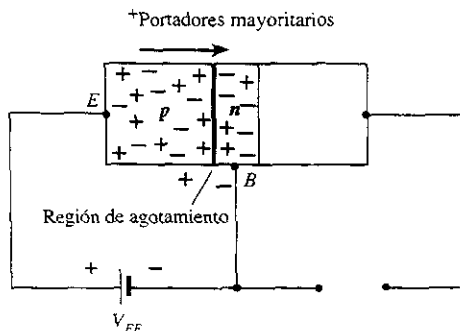


Figura 3.3 Unión con polarización directa de un transistor *pnp*.

Ahora se eliminará la polarización base-colector del transistor *pnp* de la figura 3.2a, según se muestra en la figura 3.4. Es pertinente considerar las similitudes entre esta situación y la del diodo con *polarización inversa* de la sección 1.6. Recuerde que el flujo de los portadores mayoritarios es cero, y da por resultado sólo un flujo de portadores minoritarios, como indica la figura 3.4. Por consiguiente, en resumen:

Una unión *p-n* de un transistor tiene polarización inversa, mientras que la otra tiene polarización directa.

En la figura 3.5 ambos potenciales de polarización se aplicaron a un transistor *pnp*, con el flujo resultante indicado de portadores mayoritarios y minoritarios. Obsérvense, en la figura 3.5, los espesores de las regiones de agotamiento, que indican con claridad cuál unión tiene polarización directa y cuál polarización inversa. Como se indica en la figura 3.5, habrá una gran difusión de portadores mayoritarios a través de la unión *p-n* con polarización directa hacia el material tipo *n*. Así, la pregunta sería si acaso estos portadores contribuirán de forma directa a la corriente de base I_B o si pasarán directamente al material tipo *p*. Debido a que el material tipo *n* del centro es muy delgado y tiene baja conductividad, un número muy pequeño de estos portadores tomará esta trayectoria de alta resistencia hacia la terminal de la base. La magnitud de la corriente de base casi siempre se encuentra en el orden de los microamperes, comparado con miliamperes para las corrientes del emisor y del colector. La mayor cantidad de estos portadores mayoritarios se difundirá a través de la unión con polarización inversa, hacia el material tipo *p* conectado a la terminal del colector, según se muestra en la figura 3.5. La razón de esta relativa facilidad con la cual los portadores mayoritarios pueden atravesar la unión con polarización inversa se comprenderá con facilidad si se considera que para el diodo con polarización inversa, los portadores mayoritarios inyectados aparecerán como portadores minoritarios en el material tipo *n*. En otras palabras, tuvo lugar una *inyección* de portadores minoritarios al material de la región de la base tipo *n*. A la combinación de esto con el hecho de que todos los portadores minoritarios en la región de agotamiento atravesarán la unión con polarización inversa de un diodo puede atribuírsele el flujo que se indica en la figura 3.5.

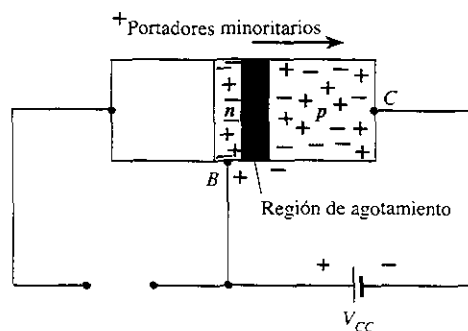


Figura 3.4 Unión con polarización inversa de un transistor *pnp*.

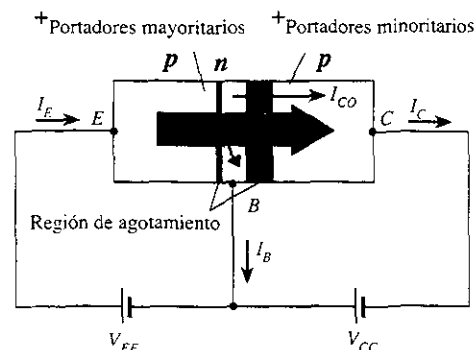


Figura 3.5 Flujo de portadores mayoritarios y minoritarios de un transistor *pnp*.

Al aplicar la ley de corriente de Kirchhoff al transistor de la figura 3.5, como si fuera un solo nodo, se obtiene

$$I_E = I_C + I_B \quad (3.1)$$

y se observa que la corriente del emisor es la suma de las corrientes del colector y de la base. Sin embargo, la corriente del colector está formada por dos componentes: los portadores mayoritarios y minoritarios, según se indica en la figura 3.5. Al componente de corriente minoritaria se le denomina *corriente de fuga* y se le asigna el símbolo I_{CO} (corriente I_C con la terminal del emisor abierta). Por tanto, la corriente total del colector se determina mediante la ecuación (3.2).

$$I_C = I_{C_{\text{mayoritaria}}} + I_{CO_{\text{minoritaria}}} \quad (3.2)$$

Para los transistores de propósito general, I_C se mide en miliamperes, mientras que I_{CO} se mide en microamperes o nanoamperes. I_{CO} , al igual que I_S para un diodo con polarización inversa, es sensible a la temperatura y debe analizarse con cuidado cuando se consideren rangos amplios de temperatura. Si lo anterior no se considera de manera adecuada, es susceptible de afectar de manera severa la estabilidad de un sistema a una temperatura alta. Las mejoras en las técnicas de construcción han generado niveles significativamente más bajos de I_{CO} , a tal grado que casi siempre es posible omitir sus efectos.

3.4 CONFIGURACIÓN DE BASE COMÚN

La notación y los símbolos que se utilizan junto con el transistor en casi todos los textos y manuales que se publican hoy en día, se indican en la figura 3.6, para la configuración de base común con transistores *pnp* y *npn*. La terminología de la base común se deriva del hecho de que la base es común tanto a la entrada como a la salida de la configuración. A su vez, por lo regular la base es la terminal más cercana a, o que se encuentra en, el potencial de tierra. A lo largo de este libro todas las direcciones de corriente harán referencia al flujo convencional (huecos) en lugar de hacerlo respecto al flujo de electrones. Esta elección se basó, sobre todo, en el hecho de que en la gran cantidad de literatura disponible en instituciones educativas e industriales se utiliza el flujo convencional, y las flechas en todos los símbolos electrónicos tienen una dirección definida por esta convención. Recuerde que la flecha en el símbolo del diodo define la dirección de la conducción para la corriente convencional. Para el transistor:

La flecha en el símbolo gráfico define la dirección de la corriente del emisor (flujo convencional) a través del dispositivo.

Todas las direcciones de corriente que aparecen en la figura 3.6 son las direcciones reales, definidas por medio de la elección del flujo convencional. Nótese, en cada caso, que $I_E = I_C + I_B$. Obsérvese también que las polaridades aplicadas (fuentes de alimentación) son tales que permiten establecer una corriente en la dirección que se indica en cada rama. Es decir, se compara la dirección de I_E con la polaridad de V_{EE} para cada configuración y la dirección de I_C con la polaridad de V_{CC} .

Para describir en su totalidad el comportamiento de un dispositivo de tres terminales, como los amplificadores de base común de la figura 3.6, se requiere de dos conjuntos de características, uno para el *punto de excitación* o parámetros de *entrada* y el otro para el lado de la *salida*. Como se muestra en la figura 3.7, el conjunto de entrada para el amplificador de base común relacionará la corriente de entrada (I_E) con un voltaje de entrada (V_{BE}) para varios niveles de voltaje de salida (V_{CB}).

El conjunto de salida relacionará la corriente de salida (I_C) con un voltaje de salida (V_{CB}) para varios niveles de corriente de entrada (I_E), según se muestra en la figura 3.8. El conjunto de características de la salida o *colector* tiene tres regiones básicas de interés, como se indica

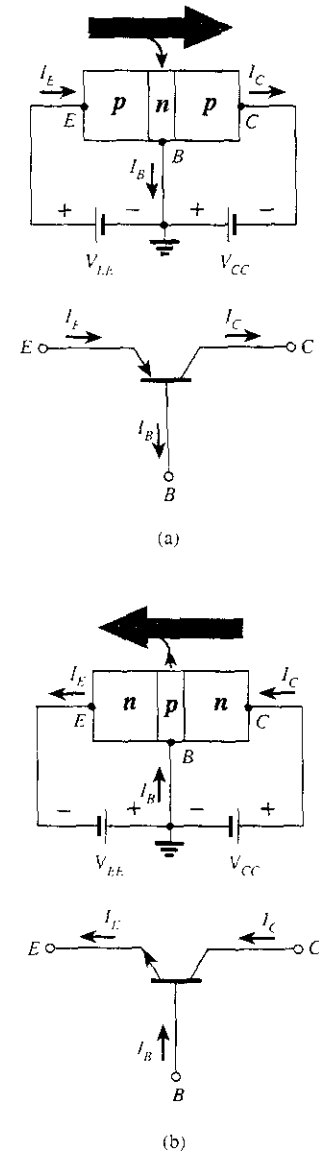


Figura 3.6 Notación y símbolos utilizados con la configuración de base común: a) transistor *pnp*; b) transistor *npn*.

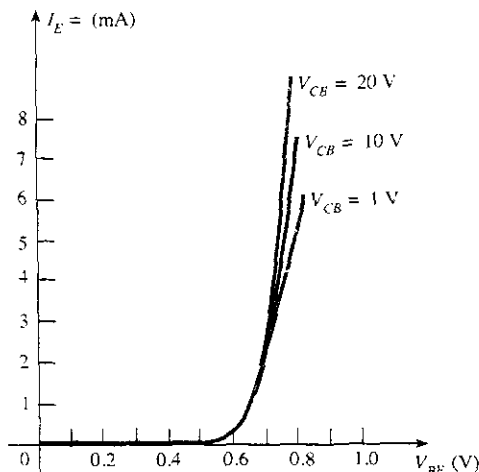
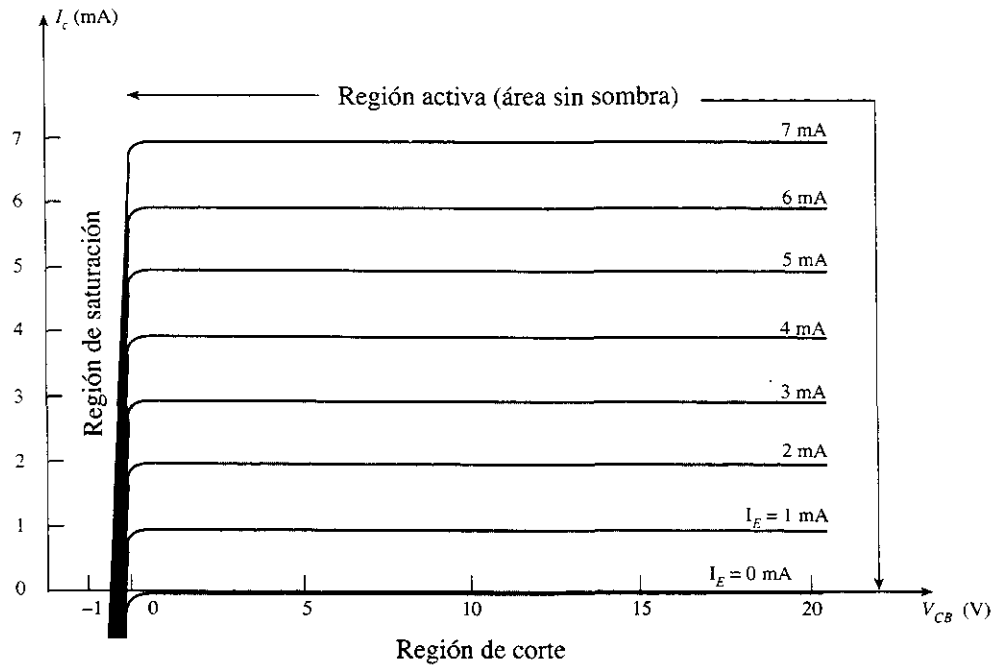


Figura 3.7 Características del punto de entrada o manejo para un amplificador a transistor de silicio de base común.

Figura 3.8 Características de salida o colector para un amplificador a transistor de base común.



en la figura 3.8: las regiones *activa*, de *corte* y de *saturación*. La región activa es la que suele utilizarse para los amplificadores lineales (sin distorsión). En particular:

En la región activa la unión base-colector se polariza inversamente, mientras que la unión emisor-base se polariza directamente.

La región activa se define mediante los arreglos de polarización de la figura 3.6. En el extremo más bajo de la región activa, la corriente del emisor (I_E) es cero; esa es la verdadera corriente del colector, y se debe a la corriente de saturación inversa I_{CO} , como lo señala la figura 3.8. La corriente I_{CO} real es tan pequeña (microamperes) en magnitud si se compara con la escala vertical de I_C (miliamperes) que aparece virtualmente sobre la misma línea horizontal en donde $I_C = 0$. Las condiciones de circuito que existen cuando $I_E = 0$ para la configuración de base común se muestran en la figura 3.9. La notación que con más frecuencia se utiliza para I_{CO} en los datos y las hojas de especificaciones es, como se indica en la figura 3.9, I_{CBO} . Debido a las mejoras en las técnicas de fabricación, el nivel de I_{CBO} para los transistores de propósito general (en especial los de silicio) en los rangos de potencia baja y mediana, por lo regular es tan bajo que puede ignorarse su efecto. Sin embargo, para las unidades de mayor potencia I_{CBO} aparecerá todavía en el rango de los microamperes. Además, recuerde que I_{CBO} , así como I_s , para el diodo (ambas corrientes de fuga inversas) son sensibles a la temperatura. A mayores temperaturas, el efecto de I_{CBO} puede convertirse en un factor importante debido a que aumenta muy rápidamente con la temperatura.

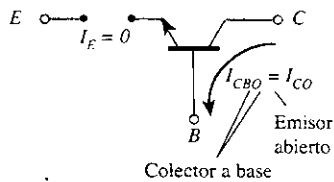


Figura 3.9 Corriente de saturación inversa.

Obsérvese en la figura 3.8 que cuando la corriente del emisor se incrementa por arriba de cero, la corriente del colector aumenta a una magnitud en esencia igual a aquella de la corriente del emisor, según se determina por las relaciones básicas de corriente en el transistor. Nótese asimismo el efecto casi nulo de V_{CB} sobre la corriente del colector para la región activa. Las curvas indican con claridad que *una primera aproximación a la relación entre I_E e I_C en la región activa está especificada por*

$$I_C \cong I_E \quad (3.3)$$

Como se infiere por su propio nombre, la región de corte se define como la región en la que la corriente del colector es 0 A, según indica la figura 3.8. Así también:

En la región de corte, tanto la unión base-colector como la unión emisor-base de un transistor tienen polarización inversa.

La región de saturación se define como la región a la izquierda de las características de $V_{CB} = 0$ V. La escala horizontal en esta región se expandió para mostrar con claridad el cambio radical que sufren las características en esta región. Obsérvese el incremento exponencial en la corriente del colector cuando el voltaje V_{CB} se incrementa hacia los 0 V.

En la región de saturación, tanto la unión base-colector como la emisor-base están en polarización directa.

Las características de entrada de la figura 3.7 revelan que para valores fijos del voltaje del colector (V_{CB}), conforme se incrementa el voltaje base-emisor, la corriente del emisor aumenta de tal manera que es muy similar a las características del diodo. De hecho, los niveles crecientes de V_{CB} tienen un efecto tan bajo sobre las características que, como una primera aproximación, se pueden ignorar los cambios ocasionados por V_{CB} y sus características pueden dibujarse como se ilustra en la figura 3.10a. Si se aplica la aproximación de segmentos lineales, dará por resultado las características que se presentan en la figura 3.10b. Al avanzar un paso más e ignorando la pendiente de la curva, y, por tanto, la resistencia asociada con la unión con polarización directa, se obtendrán las características que denota la figura 3.10c. Para los propósitos de análisis de este texto, el modelo equivalente de la figura 3.10c se utilizará para todos los análisis en dc de redes de transistores. Es decir, una vez que el transistor se encuentre en estado “encendido”, se supondrá que el voltaje base-emisor es el siguiente:

$$V_{BE} = 0.7 \text{ V} \quad (3.4)$$

En otras palabras, el efecto de las variaciones debidas a V_{CB} y a la pendiente de las características de entrada se omitirán en tanto sea posible analizar las redes de transistores de tal manera que ofrezcan una buena aproximación a la respuesta real, sin involucrarse demasiado en las variaciones de los parámetros de menor importancia.

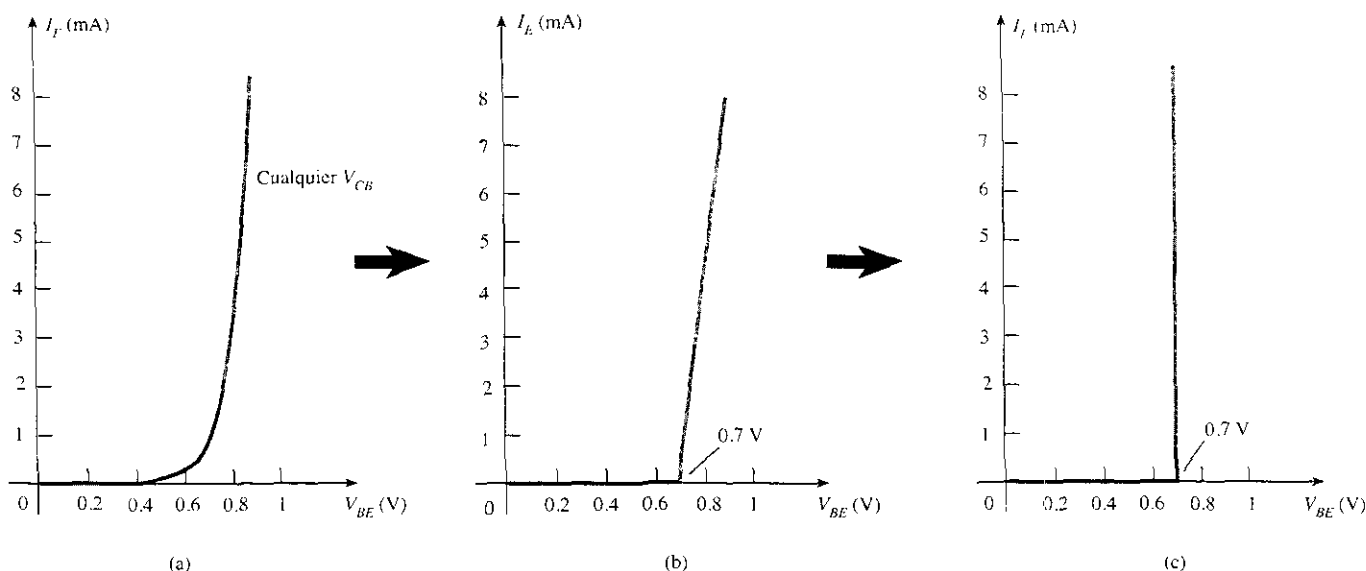


Figura 3.10 Desarrollo del modelo equivalente para ser utilizado para la región base-emisor de un amplificador en modo de dc.

Es importante apreciar en su totalidad el enunciado que establece las características de la figura 3.10c. Éstas especifican que con el transistor en estado “encendido” o activo, el voltaje base-emisor será de 0.7 V a *cualquier* nivel de corriente del emisor controlada mediante una red externa. Desde la primera vez que se encuentra cualquier configuración de transistor en el modo de dc, es posible especificar de inmediato que el voltaje base-emisor es de 0.7 V si el dispositivo se encuentra en la región activa, una conclusión muy importante para el análisis de dc que se explica a continuación.

EJEMPLO 3.1

- Utilizando las características de la figura 3.8, determine la corriente resultante del colector cuando $I_E = 3 \text{ mA}$ y $V_{CB} = 10 \text{ V}$.
- Empleando las características de la figura 3.8, determine la corriente resultante del colector si I_E permanece en 3 mA pero V_{CB} se reduce a 2 V .
- Usando las características de la figuras 3.7 y 3.8, determine V_{BE} cuando $I_C = 4 \text{ mA}$ y $V_{CB} = 20 \text{ V}$.
- Repita el inciso c utilizando las características de las figuras 3.8 y 3.10c.

Solución

- Las características indican con claridad que $I_C \cong I_E = 3 \text{ mA}$.
- El efecto de cambio de V_{CB} puede omitirse e I_C continúa siendo 3 mA .
- A partir de la figura 3.8, $I_E \cong I_C = 4 \text{ mA}$. En la figura 3.7 el nivel resultante de V_{BE} es de aproximadamente 0.74 V .
- Una vez más, a partir de la figura 3.8, $I_E \cong I_C = 4 \text{ mA}$. Sin embargo, en la figura 3.10c V_{BE} es de 0.7 V para cualquier nivel de corriente del emisor.

Alfa (α)

En el modo de dc los niveles de I_C e I_E debidos a los portadores mayoritarios se encuentran relacionados por una cantidad llamada *alfa* y definida por la siguiente ecuación:

$$\alpha_{dc} = \frac{I_C}{I_E} \quad (3.5)$$

donde I_C e I_E son los niveles de corriente en el punto de operación. Si bien las características de la figura 3.8 podrían sugerir que $\alpha = 1$ para los dispositivos prácticos, el nivel de alfa suele extenderse de 0.90 a 0.998, donde la mayoría se aproxima al extremo alto del rango. Debido a que alfa sólo puede definirse para los portadores mayoritarios, la ecuación (3.2) se convierte en

$$I_C = \alpha I_E + I_{CBO} \quad (3.6)$$

Para las características de la figura 3.8 cuando $I_E = 0 \text{ mA}$, I_C es por consiguiente igual a I_{CBO} ; no obstante, como se mencionó antes, el nivel de I_{CBO} es con frecuencia tan pequeño que prácticamente no es posible detectarlo en la gráfica de la figura 3.8. En otras palabras, cuando $I_E = 0 \text{ mA}$, en la figura 3.8, I_C también parece ser de 0 mA para el rango de valores de V_{CB} .

Para las situaciones de ac donde el punto de operación se desplaza sobre la curva de característica, un alfa en ac se define mediante

$$\alpha_{ac} = \left. \frac{\Delta I_C}{\Delta I_E} \right|_{V_{CB} = \text{constante}} \quad (3.7)$$

En términos formales, alfa de ac se denomina como de *base común*, *corto circuito* o *factor de amplificación* por razones que resultarán más obvias cuando se analicen los circuitos equivalentes para transistores en el capítulo 7. Por el momento, se debe reconocer que la ecuación (3.7) especifica que un cambio relativamente bajo en la corriente del colector se divide entre el cambio correspondiente en I_E cuando se mantiene constante el voltaje del colector a la base. En la mayor parte de las situaciones, las magnitudes de α_{ac} y α_{dc} son muy cercanas, lo cual permite utilizar la magnitud de una para la otra. El uso de una ecuación como la (3.7) se demostrará en la sección 3.6.

Polarización

La polarización correcta de la configuración de base común en la región activa se puede determinar con rapidez, si se utiliza la aproximación $I_C \cong I_E$, y suponiendo, por el momento, que I_B

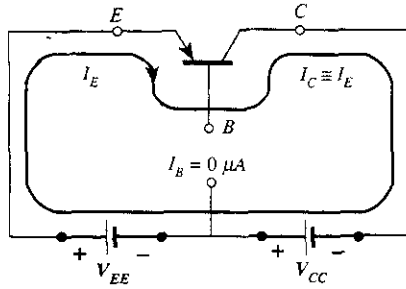


Figura 3.11 Establecimiento de la polarización correcta para un transistor *pn*p en base común en la región activa.

$\approx 0 \mu\text{A}$. El resultado es la configuración de la figura 3.11 para el transistor *pn*p. La flecha del símbolo define la dirección del flujo convencional para $I_E \approx I_C$. Luego se insertan las fuentes dc con una polaridad tal, que soportarán la dirección resultante de la corriente. Para el transistor *npn* se invertirán las polaridades.

Algunos estudiantes sienten que pueden recordar si la flecha del símbolo del dispositivo se encuentra apuntando hacia adentro o hacia afuera, comparando las literales del tipo de transistor con las literales adecuadas de las frases “apuntando hacia adentro” o “no apuntando hacia adentro”. Por ejemplo, existe una similitud entre las literales *npn* y las literales itálicas de no apuntando hacia adentro y las literales *pn*p con apuntando hacia adentro.

3.5 ACCIÓN AMPLIFICADORA DEL TRANSISTOR

Ahora que se ha establecido la relación entre I_C e I_E en la sección 3.4, se puede explicar la acción básica de amplificación del transistor sobre un nivel superficial utilizando la red de la figura 3.12. La polaridad dc no aparece en la figura debido a que nuestro interés se limita a la respuesta en ac. Para la configuración de base común, la resistencia ac de entrada determinada por las características de la figura 3.7 es muy pequeña y casi siempre varía entre 10 y 100 Ω . La resistencia de salida, según se determinó en las curvas de la figura 3.8, es muy alta (mientras más horizontales sean las curvas, mayor será la resistencia) y suele variar entre 50 k Ω y 1 M Ω (100 k Ω para el transistor de la figura 3.12). La diferencia en cuanto a resistencia se debe a la unión con polarización directa en la entrada (base-emisor) y a la unión con polarización inversa en la salida (base-colector). Utilizando un valor común de 20 Ω para la resistencia de entrada, se encuentra que

$$I_i = \frac{V_i}{R_i} = \frac{200 \text{ mV}}{20 \Omega} = 10 \text{ mA}$$

Si se asume por un momento que $\alpha_{ac} = 1$ ($I_c = I_e$),

$$I_L = I_i = 10 \text{ mA}$$

y

$$\begin{aligned} V_L &= I_L R \\ &= (10 \text{ mA})(5 \text{ k}\Omega) \\ &= 50 \text{ V} \end{aligned}$$

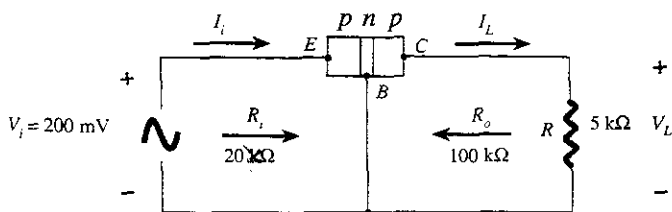


Figura 3.12 Acción básica de amplificación de voltaje de la configuración de base común.

La amplificación de voltaje es

$$A_v = \frac{V_L}{V_i} = \frac{50 \text{ V}}{200 \text{ mV}} = 250$$

Los valores típicos de la amplificación de voltaje para la configuración de base común varían entre 50 y 300. La amplificación de corriente (I_C/I_E) es siempre menor que 1 para la configuración de la base común. Esta última característica debe ser obvia debido a que $I_C = \alpha I_E$ y α es siempre menor que 1.

La acción básica de amplificación se produjo mediante la *transferencia* de una corriente I desde un circuito de baja *resistencia* a uno de alta. La combinación de las partes de las dos palabras en *itálicas*, en la siguiente fórmula, da como resultado el término *transistor*; esto es,

$$\text{transferencia} + \text{resistor} \rightarrow \text{transistor}$$

3.6 CONFIGURACIÓN DE EMISOR COMÚN

La configuración de transistor que se encuentra más a menudo aparece en la figura 3.13 para los transistores *pnp* y *nnp*. Se le denomina *configuración de emisor común* debido a que el emisor es común o hace referencia a las terminales tanto de entrada como de salida (en este caso, es común tanto a la terminal de base como a la de colector). Una vez más, se necesitan dos conjuntos de características para describir por completo el comportamiento de la configuración de emisor común: uno para el circuito de *entrada* o *base-emisor* y otro para el circuito de *salida* o *colector-emisor*. Ambos se muestran en la figura 3.14.

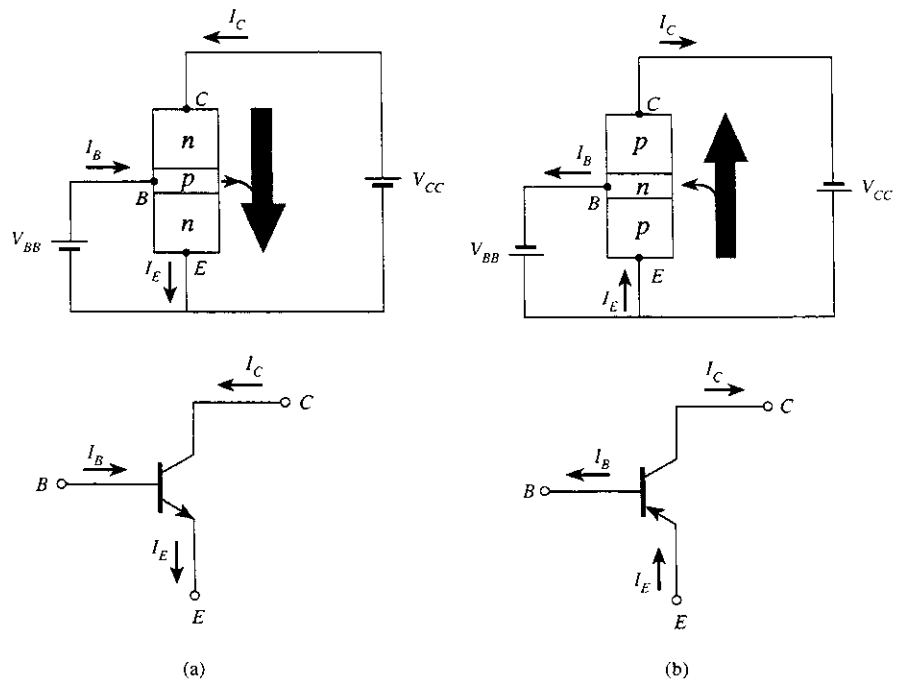


Figura 3.13 Notación y símbolos utilizados con la configuración de emisor común: a) transistor *nnp*; b) transistor *pnp*.

Las corrientes del emisor, colector y base se muestran en su dirección convencional para la corriente. Si bien cambió la configuración del transistor, aún se puede aplicar las relaciones de corriente que se desarrollaron antes para la configuración de base común. Es decir, $I_E = I_C + I_B$ e $I_C = \alpha I_E$.

Para la configuración de emisor común, las características de salida son una gráfica de la corriente de salida (I_C) en función del voltaje de salida (V_{CE}) para un rango de valores de corriente de entrada (I_B). Las características de entrada son una gráfica de la corriente de entrada (I_B) en función del voltaje de entrada (V_{BE}) para un rango de valores de voltaje de salida (V_{CE}).

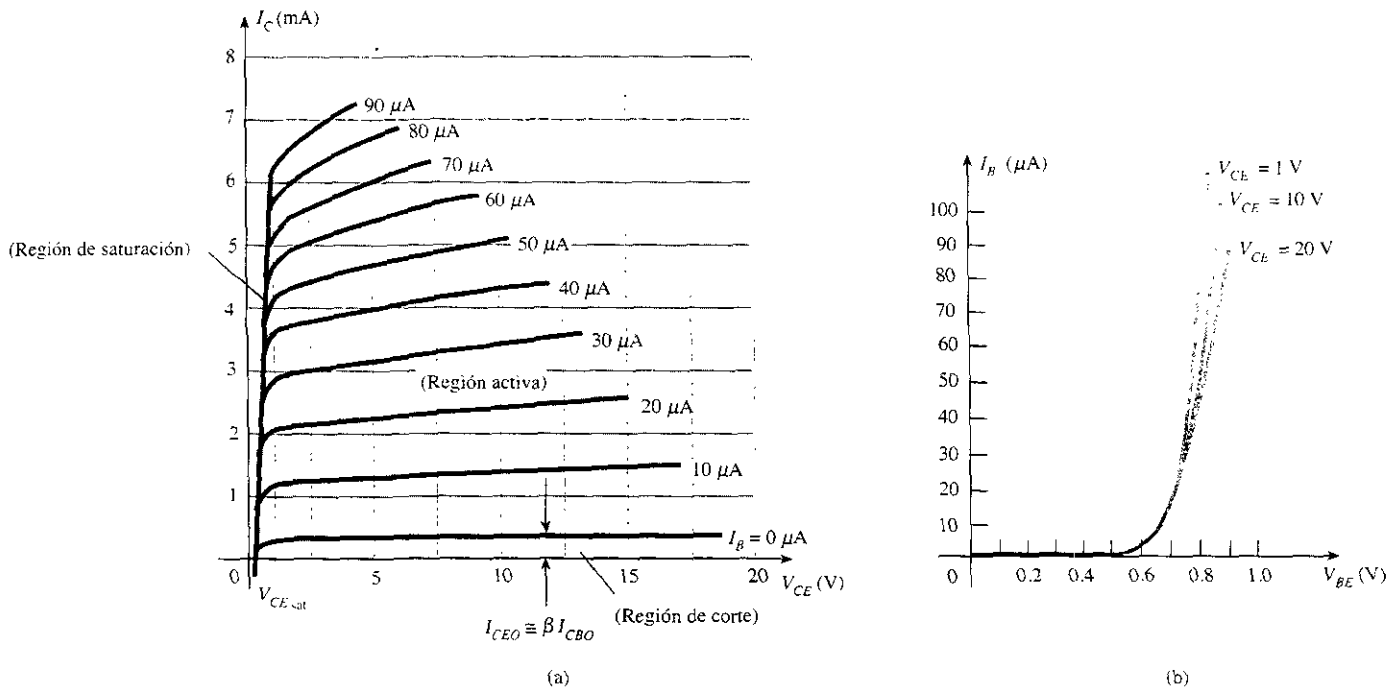


Figura 3.14 Características de un transistor de silicio en la configuración de emisor común: a) características del colector; b) características de la base.

Obsérvese que en las características de la figura 3.14 la magnitud de I_B se indica en microamperes, comparado con los miliamperes de I_C . Considere también que las curvas de I_B no son tan horizontales como las que se obtuvieron para I_E en la configuración de base común, lo cual indica que el voltaje del colector al emisor tendrá influencia sobre la magnitud de la corriente del colector.

La región activa para la configuración del emisor común es la parte del cuadrante superior derecho que tiene mayor linealidad, es decir, la región en la que las curvas para I_B son casi rectas e igualmente espaciadas. En la figura 3.14a, esta región existe a la derecha de la línea punteada en $V_{CE_{sat}}$ y por arriba de la curva para I_B igual a cero. La región a la izquierda de $V_{CE_{sat}}$ se denomina región de saturación.

En la región activa de un amplificador de base común la unión del colector-base se encuentra polarizada inversamente, mientras que la unión base-emisor se encuentra polarizada directamente.

Recuerde que estas son las mismas condiciones que existieron en la región activa de la configuración de base común. La región activa de la configuración de emisor común se puede emplear también para la amplificación de voltaje, corriente o potencia.

La región de corte para la configuración de emisor común no está tan bien definida como para la configuración de base común. Obsérvese en las características del colector de la figura 3.14 que I_C no es igual a cero cuando I_B es cero. Para la configuración de base común, cuando la corriente de entrada I_E fue igual a cero, la corriente del colector fue igual sólo a la corriente de saturación inversa I_{CO} , de tal forma que en la curva $I_E = 0$ y el eje de los voltajes fue uno para todos los propósitos prácticos.

La razón de esta diferencia en las características del colector puede obtenerse a través del manejo adecuado de las ecuaciones (3.3) y (3.6). Es decir,

$$\text{Ecuación (3.6): } I_C = \alpha I_E = I_{CBO}$$

$$\text{La sustitución da Ecuación (3.3): } I_C = \alpha(I_C + I_B) + I_{CBO}$$

$$\text{Volviendo a arreglar da: } I_C = \frac{\alpha I_B}{1 - \alpha} + \frac{I_{CBO}}{1 - \alpha} \quad (3.8)$$

Si se considera el caso que recién se analizó, donde $I_B = 0$ A, y se sustituye un valor típico como de 0.996, la corriente resultante del colector es la siguiente:

$$I_C = \frac{\alpha(0 \text{ A})}{1 - \alpha} + \frac{I_{CBO}}{1 - 0.996}$$

$$= \frac{I_{CBO}}{0.004} = 250 I_{CBO}$$

Si I_{CBO} fuera $1 \mu\text{A}$, la corriente resultante del colector con $I_B = 0$ A sería $250(1 \mu\text{A}) = 0.25 \text{ mA}$, según se refleja en las características de la figura 3.14.

Como referencia futura, a la corriente del colector definida con la condición $I_B = 0 \mu\text{A}$ se le asignará la notación que indica la ecuación (3.9).

$$I_{CEO} = \left. \frac{I_{CBO}}{1 - \alpha} \right|_{I_B = 0 \mu\text{A}} \quad (3.9)$$

En la figura 3.15 se demuestran las condiciones para esta corriente recién definida con su dirección asignada de referencia.

Para propósitos de amplificación lineal (la menor distorsión), el corte para la configuración de emisor común se definirá mediante $I_C = I_{CEO}$.

En otras palabras, la región por abajo de $I_B = 0 \mu\text{A}$ debe evitarse si se requiere una señal de salida sin distorsión.

Cuando se utiliza como interruptor en el circuito lógico de una computadora, un transistor tendrá dos puntos de operación interesantes: uno en la región de corte y otro en la región de saturación. La condición ideal de corte debe ser $I_C = 0 \text{ mA}$ para el voltaje elegido V_{CE} . Debido a que I_{CEO} suele ser bajo en magnitud para los materiales de silicio, *el corte existirá para fines de conmutación cuando $I_B = 0 \mu\text{A}$ o $I_C = I_{CEO}$, pero sólo para los transistores de silicio. Sin embargo, para los transistores de germanio, el corte para fines de conmutación se definirá mediante las condiciones que existan cuando $I_C = I_{CBO}$.* Dicha condición se puede obtener, por lo regular, para los transistores de germanio mediante la polarización inversa de la unión base-emisor, con unas cuantas décimas de volt.

Recuerde que para la configuración de base común se hizo una aproximación al conjunto de características de entrada mediante un equivalente de segmentos lineales, que dio como resultado $V_{BE} = 0.7 \text{ V}$ para cualquier nivel de I_E mayor que 0 mA . Para la configuración de emisor común se puede recurrir al mismo método, lo cual da por resultado el equivalente aproximado de la figura 3.16. El resultado da sustento a la conclusión anterior respecto a que para un transistor "encendido" o activo, el voltaje de la base-emisor es de 0.7 V . En este caso, el voltaje está fijo para cualquier nivel de corriente de base.

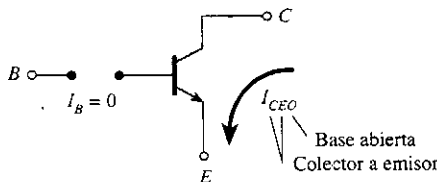


Figura 3.15 Condiciones de circuito relativos a I_{CEO} .

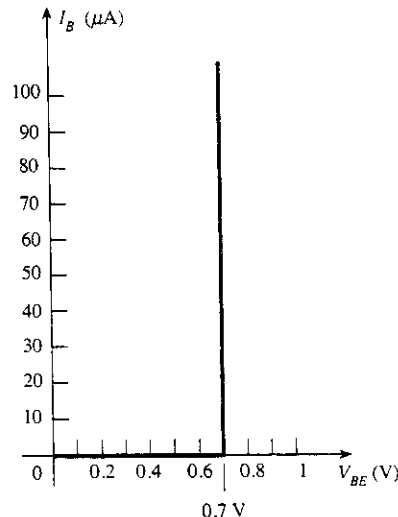


Figura 3.16 Equivalente de segmentos lineales para las características del diodo de la figura 3.14b.

EJEMPLO 3.2

- a) Utilizando las características de la figura 3.14, determine I_C cuando $I_B = 30 \mu\text{A}$ y $V_{CE} = 10 \text{ V}$.
- b) Empleando las características de la figura 3.14, determine I_C cuando $V_{BE} = 0.7 \text{ V}$ y $V_{CE} = 15 \text{ V}$.

Solución

- a) En la intersección de $I_B = 30 \mu\text{A}$ y $V_{CE} = 10 \text{ V}$, $I_C = 3.4 \text{ mA}$.
- b) Usando la figura 3.14b, $I_B = 20 \mu\text{A}$ cuando $V_{BE} = 0.7 \text{ V}$. A partir de la figura 3.14a, se encuentra que $I_C = 2.5 \text{ mA}$ en la intersección de $I_B = 20 \mu\text{A}$ y $V_{CE} = 15 \text{ V}$.

Beta (β)

En el modo de dc, los niveles de I_C e I_B se relacionan mediante una cantidad a la que llamaremos *beta* y se definen mediante la ecuación siguiente:

$$\beta_{dc} = \frac{I_C}{I_B} \quad (3.10)$$

donde I_C e I_B son determinadas en un punto de operación en particular de las características. Para los dispositivos prácticos, el nivel de β suele tener un rango entre cerca de 50 y más de 400, con la mayoría dentro del rango medio. Como para α , β revela ciertamente la magnitud relativa de una corriente respecto a la otra. Para un dispositivo con una β de 200, la corriente del colector equivale a 200 veces la magnitud de la corriente de base.

En las hojas de especificaciones, β_{dc} se incluye, por lo regular, como h_{FE} , donde la h se obtiene de un circuito equivalente híbrido que se presentará en el capítulo 7. Los subíndices FE se derivan de una amplificación de corriente directa (por las siglas en inglés de, forward) y la configuración de emisor común, respectivamente.

Para las situaciones de ac, una beta ac, se define en los términos siguientes:

$$\beta_{ac} = \left. \frac{\Delta I_C}{\Delta I_B} \right|_{V_{CE} = \text{constante}} \quad (3.11)$$

El nombre formal para β_{ac} es *factor de amplificación de corriente directa de emisor común*. Debido a que, por lo general, la corriente del colector es la corriente de salida para una configuración de emisor común, y la corriente de base es la corriente de entrada, el término *amplificación* se incluye en la nomenclatura anterior.

La ecuación (3.11) es similar en cuanto a formato a la ecuación para α_{ac} en la sección 3.4. El procedimiento para obtener α_{ac} a partir de las curvas de características no se explicó debido a la dificultad para medir realmente los cambios de I_C e I_E sobre las características. Sin embargo, la ecuación (3.11) puede describirse con cierta claridad, y de hecho el resultado se puede utilizar para encontrar α_{ac} empleando una ecuación que se obtendrá más adelante.

Por lo regular, en las hojas de especificaciones β_{ac} se indica como h_{fe} . Obsérvese que la única diferencia entre la notación que se utiliza para la beta dc, específicamente $\beta_{dc} = h_{FE}$, radica en el tipo de literal que se emplea para cada cantidad señalada como subíndice. La literal h continúa haciendo referencia al circuito equivalente híbrido que se describirá en el capítulo 7 y la fe a la ganancia de corriente directa (por las siglas en inglés de, forward) en la configuración de emisor común.

El uso de la ecuación (3.11) se describe mejor mediante un ejemplo numérico utilizando un conjunto real de características, como las que aparecen en la figura 3.14a y se repiten en la 3.17. Determine β_{ac} para una región de las características definidas por un punto de operación de $I_B = 25 \mu\text{A}$ y $V_{CE} = 7.5 \text{ V}$, como se indica en la figura 3.17. La restricción de $V_{CE} = \text{constante}$ requiere que se dibuje una línea vertical a través del punto de operación en $V_{CE} = 7.5 \text{ V}$. En cualquier lugar de esta línea vertical el voltaje V_{CE} es 7.5 V , una constante. El cambio en I_B

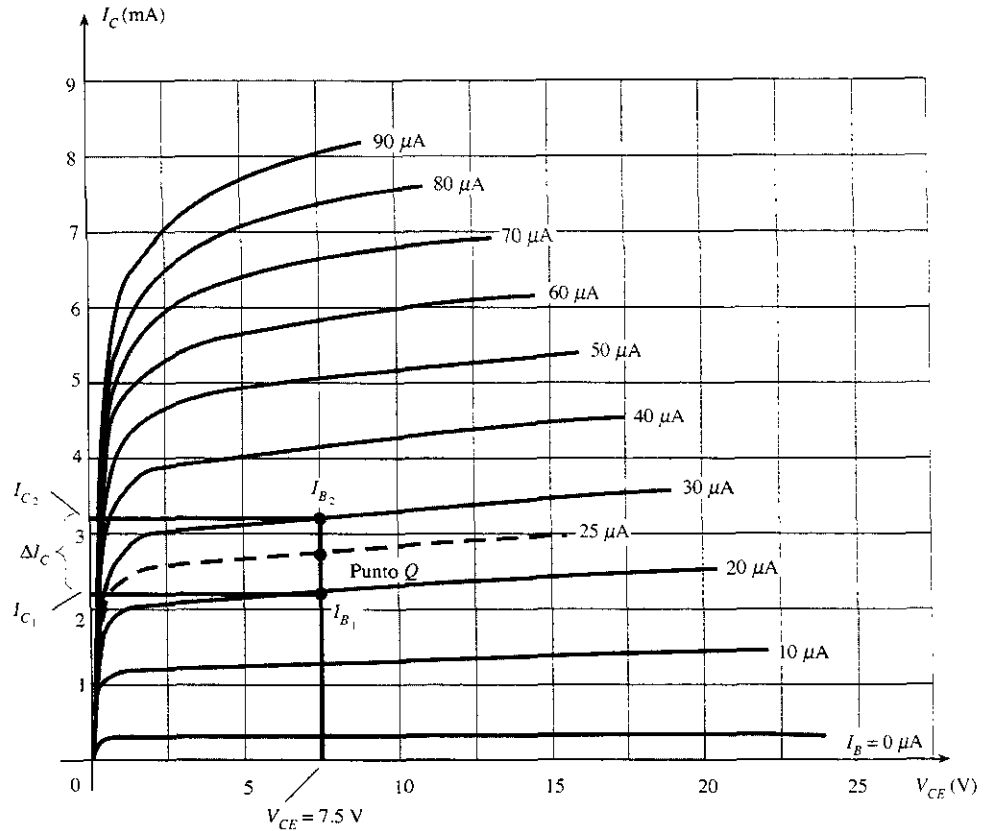


Figura 3.17 Determinación de β_{ac} y β_{dc} a partir de las características del colector.

(ΔI_B) como aparece en la ecuación (3.11) se define entonces al elegir dos puntos en cada lado del punto Q a lo largo del eje vertical, y a distancias aproximadamente similares a cada lado del punto Q . Para esta situación, las curvas de $I_B = 20 \mu A$ y $30 \mu A$ cumplen el requisito sin extenderse muy lejos del punto Q . También definen los niveles de I_B que se definen con facilidad en lugar de tener que interpolar el nivel de I_B entre las curvas. Es pertinente mencionar que la mejor determinación suele hacerse manteniendo la ΔI_B que se seleccionó tan pequeña como sea posible. En las dos intersecciones de I_B y el eje vertical, los dos niveles de I_C pueden determinarse trazando una línea horizontal sobre el eje vertical y leyendo los valores resultantes de I_C . El β_{ac} resultante para la región se puede determinar mediante

$$\begin{aligned}\beta_{ac} &= \left. \frac{\Delta I_C}{\Delta I_B} \right|_{V_{CE} = \text{constante}} = \frac{I_{C2} - I_{C1}}{I_{B2} - I_{B1}} \\ &= \frac{3.2 \text{ mA} - 2.2 \text{ mA}}{30 \mu A - 20 \mu A} = \frac{1 \text{ mA}}{10 \mu A} \\ &= 100\end{aligned}$$

La solución anterior revela que para una entrada de ac en la base, la corriente del colector será de aproximadamente 100 veces la magnitud de la corriente base.

Si se determina la beta de dc en el punto Q :

$$\beta_{dc} = \frac{I_C}{I_B} = \frac{2.7 \text{ mA}}{25 \mu A} = 108$$

Aunque no son exactamente iguales, los niveles de β_{ac} y de β_{dc} se encuentran razonablemente cercanos y a menudo se pueden utilizar indistintamente. Esto es, si se conoce el nivel de β_{ac} , se supone que es de la misma magnitud aproximadamente que β_{dc} , y viceversa. Tome también en cuenta que dentro del mismo lote, el valor de β_{ac} variará en alguna medida entre un transistor y el siguiente, aunque cada uno tenga el mismo número de código. Es probable que la variación no sea significativa para la mayor parte de las aplicaciones; por consiguiente, es suficiente validar el sistema aproximado anterior. Casi siempre, mientras más bajo sea el nivel de I_{CEO} , más cercanas serán las magnitudes de las dos betas. Debido a que la tendencia se dirige hacia niveles más y más bajos de I_{CEO} , la validación de la aproximación anterior se sustenta aún más.

Si las características tuvieran la apariencia de aquellas que se encuentran en la figura 3.18, el nivel de β_{ac} sería el mismo en todas las regiones de las características. Obsérvese que el paso o incremento en I_B se ha fijado en $10 \mu A$, y el espaciamiento vertical entre las curvas es el mismo en cada punto de las características, es decir, 2 mA . El cálculo de β_{ac} en el punto Q indicado dará por resultado

$$\beta_{ac} = \frac{\Delta I_C}{\Delta I_B} \bigg|_{V_{CE} = \text{constante}} = \frac{9 \text{ mA} - 7 \text{ mA}}{45 \mu A - 35 \mu A} = \frac{2 \text{ mA}}{10 \mu A} = 200$$

Determinar beta de dc en el mismo punto Q dará por resultado

$$\beta_{cd} = \frac{I_C}{I_B} = \frac{8 \text{ mA}}{40 \mu A} = 200$$

lo cual revela que si las características tienen la apariencia de la figura 3.18, la magnitud de β_{ac} y de β_{dc} será la misma en cada punto de las características. Es importante observar que $I_{CEO} = 0 \mu A$.

Aunque un conjunto de características de un transistor real nunca tendrá la apariencia de la figura 3.18, ofrecemos un conjunto de características con el objeto de compararlas con las que se obtienen con un trazador de curvas (que se describirá enseguida).

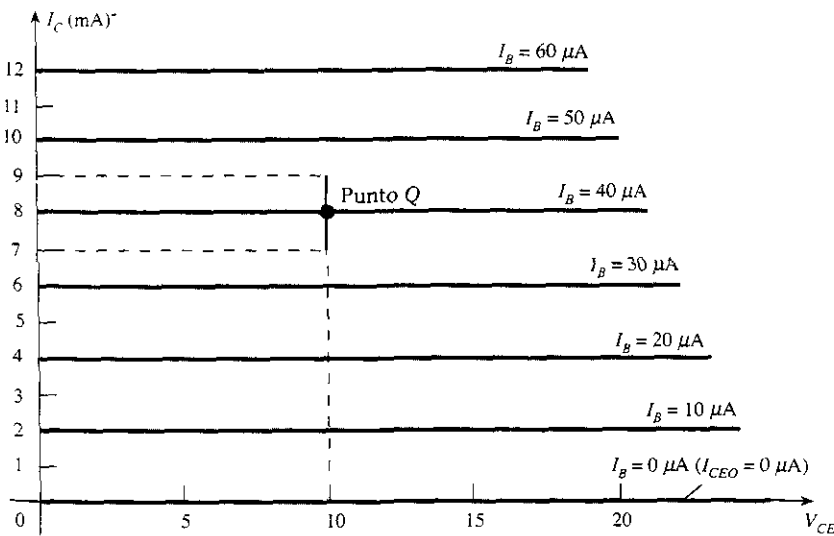


Figura 3.18 Características en la cual β_{ac} es igual en cualquier lado y $\beta_{ac} = \beta_{dc}$.

Para el análisis subsecuente, el subíndice correspondiente a dc o ac no se incluirá con la β para evitar la confusión a que dan lugar las expresiones con etiquetas innecesarias. Para las situaciones de dc bastará con reconocerla como β_{dc} , y para cualquier análisis en ac será β_{ac} . Si se especifica un valor de β para una configuración de transistor en particular, por lo regular se utilizará tanto para los cálculos de dc como para los de ac.

Es posible establecer una relación entre β y α utilizando las relaciones básicas que se han presentado hasta ahora. Al utilizar $\beta = I_C/I_B$ se tiene que $I_B = I_C/\beta$, y a partir de $\alpha = I_C/I_E$ se tiene que $I_E = I_C/\alpha$. Al sustituir en

$$I_E = I_C + I_B$$

se tiene

$$\frac{I_C}{\alpha} = I_C + \frac{I_C}{\beta}$$

y al dividir ambos miembros de la ecuación entre I_C se obtiene

$$\frac{1}{\alpha} = 1 + \frac{1}{\beta}$$

o bien

$$\beta = \alpha\beta + \alpha = (\beta + 1)\alpha$$

en consecuencia

$$\alpha = \frac{\beta}{\beta + 1} \quad (3.12a)$$

o bien

$$\beta = \frac{\alpha}{1 - \alpha} \quad (3.12b)$$

A su vez, recuerde que

$$I_{CEO} = \frac{I_{CBO}}{1 - \alpha}$$

pero al utilizar una equivalencia de

$$\frac{1}{1 - \alpha} = \beta + 1$$

derivado de lo anterior, se encuentra que

$$I_{CEO} = (\beta + 1)I_{CBO}$$

o bien

$$I_{CEO} \cong \beta I_{CBO} \quad (3.13)$$

según se indica en la figura 3.14a. Beta es un parámetro en particular importante porque ofrece un vínculo directo entre los niveles de corriente de los circuitos de entrada y los de salida para una configuración de emisor común. Es decir,

$$I_C = \beta I_B \quad (3.14)$$

y dado que

$$\begin{aligned} I_E &= I_C + I_B \\ &= \beta I_B + I_B \end{aligned}$$

se tiene

$$I_E = (\beta + 1)I_B \quad (3.15)$$

Las dos ecuaciones anteriores desempeñan un papel muy importante en el análisis que se realiza en el capítulo 4.

Polarización

La polarización adecuada de un amplificador de emisor común puede determinarse de una manera similar a la presentada para la configuración de base común. Suponga que se le presenta un transistor *npn* como el que se muestra en la figura 3.19a, y se pide aplicar la polaridad correcta para colocar al dispositivo en la región activa.

El primer paso consiste en indicar la dirección de I_E según lo establece la flecha en el símbolo del transistor como se muestra en la figura 3.19b. Después, se presentan las otras

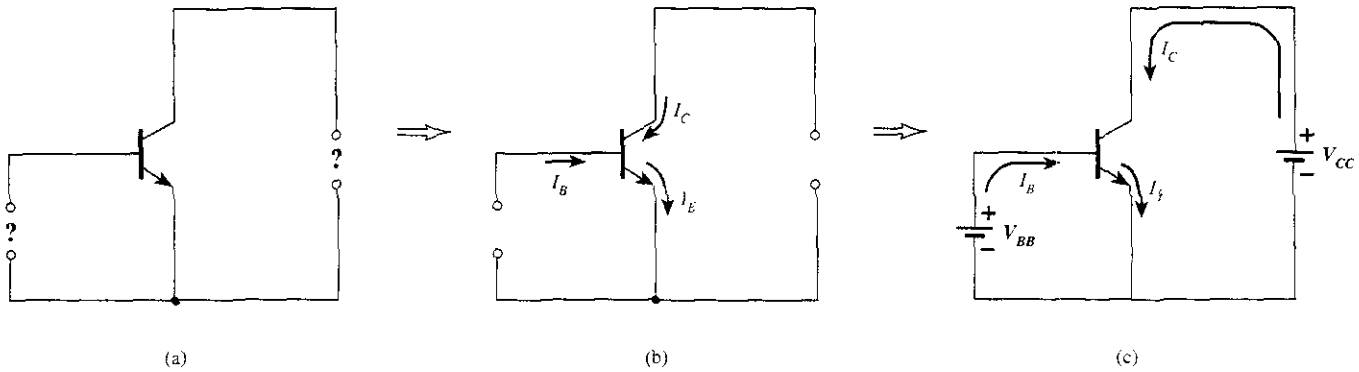


Figura 3.19 Determinación del arreglo polarización apropiada para una configuración de transistor *nnp* en emisor común.

corrientes como se indica, tomando en cuenta la relación de la ley de corriente de Kirchhoff: $I_C + I_B = I_E$. Por último, se introducen las fuentes con las polaridades que soportarán las direcciones resultantes de I_B e I_C , según se muestra en la figura 3.19c, para completar el concepto. El mismo sistema puede aplicarse a los transistores *pnp*. Si el transistor de la figura 3.19 tiene un transistor *pnp*, se invertirán todas las corrientes y polaridades de la figura 3.19c.

3.7 CONFIGURACIÓN DE COLECTOR COMÚN

La tercera y última configuración de transistor es la *configuración de colector común*, que se ilustra en la figura 3.20 con las direcciones adecuadas de corriente y notación de voltaje. La configuración de colector común se utiliza sobre todo para propósitos de acoplamiento de impedancia, debido a que tiene una alta impedancia de entrada y una baja impedancia de salida, contrariamente a las de las configuraciones de base común y de un emisor común.

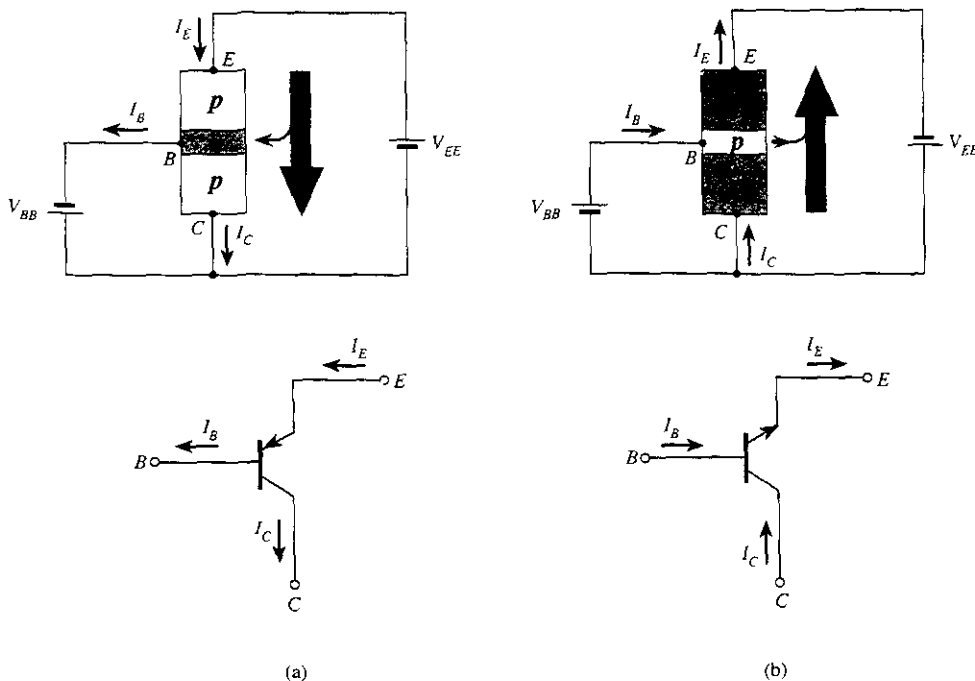


Figura 3.20 Notación y símbolos utilizados con la configuración de colector común: a) transistor *pnp*; b) transistor *nnp*.

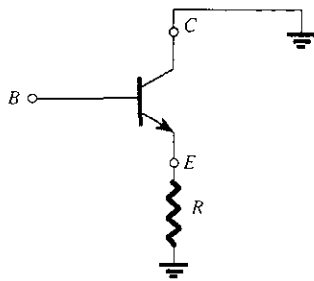


Figura 3.21 Configuración de colector común utilizado para propósitos de acoplamiento de impedancia.

En la figura 3.21 se muestra una configuración de circuito de colector común con la resistencia de carga conectada del emisor a la tierra. Obsérvese que el colector se encuentra conectado a la tierra aunque el transistor esté conectado de manera similar a la configuración del emisor común. Desde un punto de vista de diseño, no se requiere de un conjunto de características de colector común para elegir los parámetros del circuito de la figura 3.21. Puede diseñarse utilizando las características de emisor común de la sección 3.6. Para todos los propósitos prácticos, las características de salida para la configuración de colector común son las mismas que para la configuración de emisor común. Para la configuración de colector común, las características de salida son una gráfica de I_E en función de V_{EC} para un rango de valores de I_B . Por tanto, la corriente de entrada es la misma tanto para las características del emisor común como para las del colector común. El eje horizontal del voltaje para la configuración del colector común se obtiene con sólo cambiar el signo del voltaje del colector al emisor de las características del emisor común. Por último, existe un cambio casi imperceptible en la escala vertical de I_C de las características de emisor común, si I_C se reemplaza por I_E para las características de colector común (debido a que $\alpha \cong 1$). Para el circuito de entrada de la configuración de colector común las características básicas de emisor común son suficientes para obtener la información que se requiere.

3.8 LÍMITES DE OPERACIÓN

Para cada transistor hay una región de operación sobre las características, las cuales aseguran que no se rebasen los valores máximos y que la señal de salida exhiba una distorsión mínima. Esta región se definió para las características del transistor de la figura 3.22. Todos los límites de operación para un transistor se definen en la hoja de especificaciones que se describirá en la sección 3.9.

Algunos de los límites de operación se explican por sí solos, tales como la corriente máxima del colector (a la que por lo regular se hace mención normalmente en la hoja de especificaciones como corriente *continua* del colector) y voltaje máximo del colector al emisor (que a menudo se abrevia como V_{CEO} o $V_{(BR)CEO}$ en la hoja de especificaciones). Para el transistor de la figura 3.22, $I_{C\text{máx}}$ se especificó como 50 mA y V_{CEO} como 20 V. La línea vertical relativa a

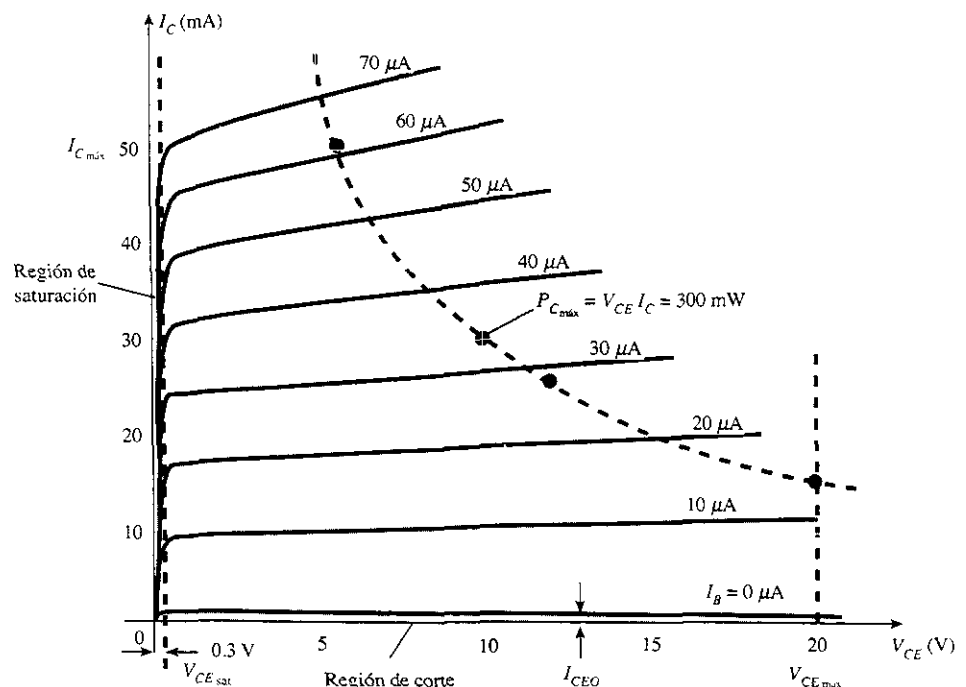


Figura 3.22 Definición de la región lineal (sin distorsión) de operación para un transistor.

las características que se define como $V_{CE_{sat}}$ especifica el V_{CE} mínimo que puede aplicarse sin caer en la región no lineal denominada como región de *saturación*. El nivel de $V_{CE_{sat}}$ suele encontrarse en las proximidades de los 0.3 V que se especifican para este transistor.

El nivel máximo de disipación se define mediante la ecuación siguiente:

$$P_{C_{max}} = V_{CE} I_C \quad (3.16)$$

Para el dispositivo de la figura 3.22, la disipación de potencia del colector se especificó como 300 mW. Así surge la pregunta respecto a cómo graficar la curva de disipación de potencia del colector especificada por el hecho de que

$$P_{C_{max}} = V_{CE} I_C = 300 \text{ mW}$$

o bien

$$V_{CE} I_C = 300 \text{ mW}$$

En cualquier punto de las características el producto de V_{CE} e I_C debe ser igual a 300 mW. Si se elige que I_C tenga un valor máximo de 50 mA y se sustituye en la relación anterior, se obtiene

$$V_{CE} I_C = 300 \text{ mW}$$

$$V_{CE}(50 \text{ mA}) = 300 \text{ mW}$$

$$V_{CE} = \frac{300 \text{ mW}}{50 \text{ mA}} = 6 \text{ V}$$

Como resultado, se encuentra que si $I_C = 50 \text{ mA}$, entonces $V_{CE} = 6 \text{ V}$ sobre la curva de disipación de potencia, como se indicó en la figura 3.22. Si ahora se elige que V_{CE} tenga un valor máximo de 20 V, el nivel de I_C es el siguiente:

$$(20 \text{ V}) I_C = 300 \text{ mW}$$

$$I_C = \frac{300 \text{ mW}}{20 \text{ V}} = 15 \text{ mA}$$

definiendo un segundo punto sobre la curva de potencia.

Si ahora se elige un nivel de I_C a la mitad del rango medio tal como 25 mA, y se despeja con objeto de obtener el nivel resultante de V_{CE} , se obtiene

$$V_{CE}(25 \text{ mA}) = 300 \text{ mW}$$

$$y \quad V_{CE} = \frac{300 \text{ mW}}{25 \text{ mA}} = 12 \text{ V}$$

como también se indica en la figura 3.22.

Por lo regular, se puede dibujar un estimado general de la curva real utilizando los tres puntos que se definieron antes. Desde luego, mientras más puntos se tengan, más exacta será la curva; sin embargo, casi siempre lo único que se necesita es un estimado general.

La región de *corte* se define como la región por abajo de $I_C = I_{CEO}$. Esta región debe evitarse también si la señal de salida debe tener una distorsión mínima. En algunas hojas de especificaciones sólo se incluye I_{CBO} . Entonces, se debe utilizar la ecuación $I_{CEO} = \beta I_{CBO}$ para darse una idea del nivel de corte si no se dispone de las curvas características. La operación en la región resultante de la figura 3.22 asegurará una distorsión mínima de la señal de salida, y los niveles de corriente y de voltaje que no dañarán al dispositivo.

En caso de que no se disponga de las curvas características, o que éstas no aparezcan en la hoja de especificaciones (cosa que suele ocurrir), sólo habrá que asegurar que I_C , V_{CE} , y su producto $V_{CE} I_C$ caigan dentro del rango que aparece en la ecuación (3.17).

$$\begin{aligned}
 I_{CEO} &\leq I_C \leq I_{C_{m\acute{a}x}} \\
 V_{CE_{sat}} &\leq V_{CE} \leq V_{CE_{m\acute{a}x}} \\
 V_{CE} I_C &\leq P_{C_{m\acute{a}x}}
 \end{aligned}
 \tag{3.17}$$

Para las características de base común, la curva de potencia máxima se define mediante el siguiente producto de cantidades de salida:

$$P_{C_{m\acute{a}x}} = V_{CE} I_C \tag{3.18}$$

3.9 HOJA DE ESPECIFICACIONES DE TRANSISTORES

Debido a que la hoja de especificaciones es el enlace de comunicación entre el fabricante y el usuario, es muy importante que la información que incluye se reconozca y se entienda con claridad. Aunque no hemos presentado todos los parámetros, ahora conoceremos casi todos. Los parámetros restantes se presentarán en los capítulos siguientes. Entonces, se hará mención a esta hoja de especificaciones con objeto de repasar la forma como se presenta el parámetro.

La información que se proporciona como figura 3.23 se tomó directamente de la publicación *Small-Signal Transistors, FETs, and Diodes* (Transistores de pequeña señal, FET y diodos) que preparó la compañía Motorola Inc. El 2N4123 es un transistor *npn* de uso cuya identificación de encapsulado y terminales aparecen en la esquina superior derecha de la figura 3.23a. Casi todas las hojas de especificaciones se desglosan en *valores nominales máximos*, *características térmicas* y *características eléctricas*. Las características eléctricas se desglosan después en “encendido”, “apagado” y en características de pequeña señal. Las características de “encendido” y “apagado” se refieren a los límites de dc, en tanto que las de pequeña señal incluyen los parámetros importantes para la operación en ac.

Obsérvese en la lista de valores nominales máximos que $V_{CE_{m\acute{a}x}} = V_{CEO} = 30$ V con $I_{C_{m\acute{a}x}} = 200$ mA. La disipación máxima del colector $P_{C_{m\acute{a}x}} = P_D = 625$ mW. El factor de pérdida de disipación bajo el valor máximo especifica que el valor máximo disminuye en 5 mW por el aumento de cada 1° de temperatura por arriba de los 25 °C. En las características “apagado” I_{CBO} se especifica como 50 nA y en las de “encendido” $V_{CE_{sat}} = 0.3$ V. El nivel de h_{FE} tiene un rango entre 50 y 150 en $I_C = 2$ mA y $V_{CE} = 1$ V, y un valor mínimo de 25 a la mayor corriente de 50 mA al mismo voltaje.

Ahora definimos los límites de operación para el dispositivo y se repiten a continuación en el formato de la ecuación (3.17) utilizando $h_{FE} = 150$ (el límite superior) e $I_{CEO} \cong \beta I_{CBO} = (150)(50 \text{ nA}) = 7.5 \mu\text{A}$. Es cierto que para muchas aplicaciones el $7.5 \mu\text{A} = 0.0075$ mA puede considerarse como 0 mA sobre una base aproximada.

Límites de operación

$$7.5 \mu\text{A} \leq I_C \leq 200 \text{ mA}$$

$$0.3 \text{ V} \leq V_{CE} \leq 30 \text{ V}$$

$$V_{CE} I_C \leq 650 \text{ mW}$$

En las características de pequeña señal se proporciona el nivel de h_{fe} (β_{ac}) junto con una gráfica de la forma en que varía con la corriente del colector en la figura 3.23f. En la figura 3.23j se demuestra el efecto de la temperatura y la corriente del colector en el nivel de h_{FE} (β_{dc}). A temperatura ambiente (25 °C) obsérvese que h_{FE} (β_{dc}) tiene un valor máximo de 1 en el área cercana a 8 mA aproximadamente. Conforme I_C se incrementa por arriba de este nivel, h_{FE} disminuye a la mitad del valor cuando I_C es igual a 50 mA. También puede disminuir a este nivel si I_C disminuye al nivel bajo de 0.15 mA. Como se trata de una curva *normalizada*, si se tiene un transistor con $\beta_{dc} = h_{FE} = 50$ a temperatura ambiente, el valor máximo a 8 mA es 50. Cuando $I_C = 50$ mA ha disminuido a $50/2 = 25$. En otras palabras, la normalización revela que

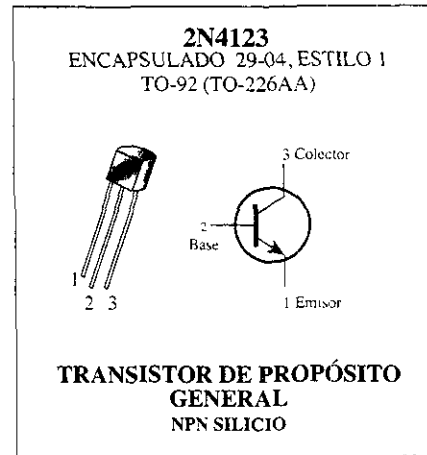
el nivel real de h_{FE} a cualquier nivel de I_C se dividió entre el valor máximo de h_{FE} a esa temperatura y con $I_C = 8 \text{ mA}$. Obsérvese asimismo que la escala horizontal de la figura 3.23j es una escala logarítmica. Las escalas logarítmicas se analizan con todo detalle en el capítulo 11. Es probable que el lector, cuando disponga de tiempo para revisar las primeras secciones del capítulo 11, quiera hacer un nuevo repaso de las gráficas que se incluyen en esta sección.

VALORES NOMINALES MÁXIMOS

Valor	Símbolo	2N4123	Unidad
Voltaje colector-emisor	V_{CE0}	30	Vdc
Voltaje colector-base	V_{CB0}	40	Vdc
Voltaje emisor-base	V_{EB0}	5.0	Vdc
Corriente del colector - continua	I_C	200	mAcd
Disipación total del dispositivo @ $T_A = 25^\circ\text{C}$ Pérdida de disipación arriba de 25°C	P_D	625 5.0	mW mW/°C
Rango de temperatura de unión en operación y almacenamiento	T_J, T_{stg}	-55 a +150	°C

CARACTERÍSTICAS TÉRMICAS

Característica	Símbolo	Máximo	Unidad
Resistencia térmica, unión a encapsulado	$R_{\theta JC}$	83.3	°C/W
Resistencia térmica, unión a ambiente	$R_{\theta JA}$	200	°C/W



CARACTERÍSTICAS ELÉCTRICAS ($T_A = 25^\circ\text{C}$ a menos que se especifique lo contrario)

Característica	Símbolo	Mínimo	Máximo	Unidad
CARACTERÍSTICAS DE APAGADO				
Voltaje de ruptura (1) colector-emisor ($I_C = 1.0 \text{ mAcd}, I_E = 0$)	$V_{(BR)CEO}$	30	—	Vdc
Voltaje de ruptura colector-base ($I_C = 10 \mu\text{Acd}, I_E = 0$)	$V_{(BR)CBO}$	40	—	Vdc
Voltaje de ruptura emisor-base ($I_E = 10 \mu\text{Acd}, I_C = 0$)	$V_{(BR)EBO}$	5.0	—	Vdc
Corriente de corte del colector ($V_{CB} = 20 \text{ Vdc}, I_E = 0$)	I_{CBO}	—	50	nAcd
Corriente de corte del emisor ($V_{BE} = 3.0 \text{ Vdc}, I_C = 0$)	I_{EBO}	—	50	nAcd
CARACTERÍSTICAS DE ENCENDIDO				
Ganancia de corriente DC (1) ($I_C = 2.0 \text{ mAcd}, V_{CE} = 1.0 \text{ Vdc}$) ($I_C = 50 \text{ mAcd}, V_{CE} = 1.0 \text{ Vdc}$)	h_{FE}	50 25	150 —	—
Voltaje de saturación (1) colector-emisor ($I_C = 50 \text{ mAcd}, I_B = 5.0 \text{ mAcd}$)	$V_{CE_{sat}}$	—	0.3	Vdc
Voltaje de saturación base-emisor ($I_C = 50 \text{ mAcd}, I_B = 5.0 \text{ mAcd}$)	$V_{BE_{sat}}$	—	0.95	Vdc
CARACTERÍSTICAS DE PEQUEÑA SEÑAL				
Producto ganancia en corriente-ancho de banda ($I_C = 10 \text{ mAcd}, V_{CE} = 20 \text{ Vdc}, f = 100 \text{ MHz}$)	f_T	250	—	MHz
Capacitancia de salida ($V_{CB} = 5.0 \text{ Vdc}, I_E = 0, f = 100 \text{ MHz}$)	C_{obo}	—	4.0	pF
Capacitancia de entrada ($V_{BE} = 0.5 \text{ Vdc}, I_C = 0, f = 100 \text{ kHz}$)	C_{ibo}	—	8.0	pF
Capacitancia colector-base ($I_E = 0, V_{CB} = 5.0 \text{ V}, f = 100 \text{ kHz}$)	C_{cb}	—	4.0	pF
Ganancia en corriente en pequeña señal ($I_C = 2.0 \text{ mAcd}, V_{CE} = 10 \text{ Vdc}, f = 1.0 \text{ kHz}$)	h_{fe}	50	200	—
Ganancia en corriente-alta frecuencia ($I_C = 10 \text{ mAcd}, V_{CE} = 20 \text{ Vdc}, f = 100 \text{ MHz}$) ($I_C = 2.0 \text{ mAcd}, V_{CE} = 10 \text{ V}, f = 1.0 \text{ kHz}$)	h_{fe}	2.5 50	— 200	—
Figura de ruido ($I_C = 100 \mu\text{Acd}, V_{CE} = 5.0 \text{ Vdc}, R_s = 1.0 \text{ k ohm}, f = 1.0 \text{ kHz}$)	NF	—	6.0	dB

(1) Prueba de pulso: ancho del pulso = $300 \mu\text{s}$, ciclo de trabajo = 2.0 %

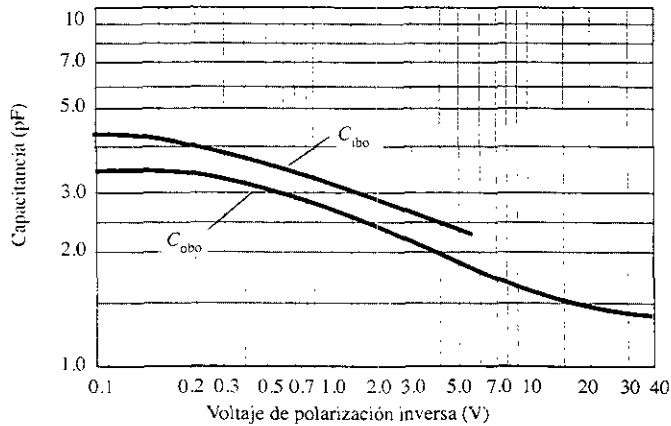
(a)

Figura 3.23 Hoja de especificaciones de transistores.

Antes de concluir esta descripción de las características, obsérvese el hecho de que no se proporcionan las características reales del colector. De hecho, casi todas las hojas de especificaciones que presentan la mayoría de los fabricantes omiten proporcionar las características completas. Es de esperarse que los datos que se proporcionan sean suficientes para utilizar de manera eficaz el dispositivo en el proceso de diseño.

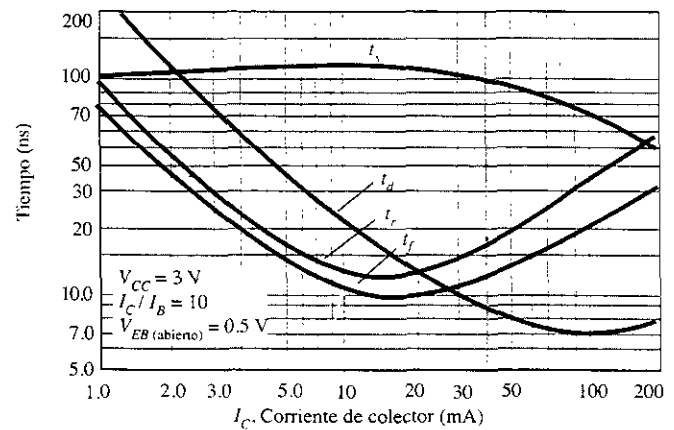
Como se observó en la introducción de esta sección, no todos los parámetros que se incluyen en la hoja de especificaciones se definieron en las secciones o capítulos anteriores. Sin embargo, la hoja de especificaciones que se proporciona en la figura 3.23 se mencionará con frecuencia en los capítulos que siguen, a medida que se presenten los parámetros. La hoja de especificaciones puede ser una herramienta muy valiosa en el diseño o al utilizarla en el análisis, pero debe hacerse cualquier esfuerzo que sea necesario para conocer la importancia de cada parámetro, y la forma en que puede variar con los niveles cambiantes de corriente, temperatura y demás.

Figura 1 - Capacitancia



(b)

Figura 2 - Tiempos de conmutación



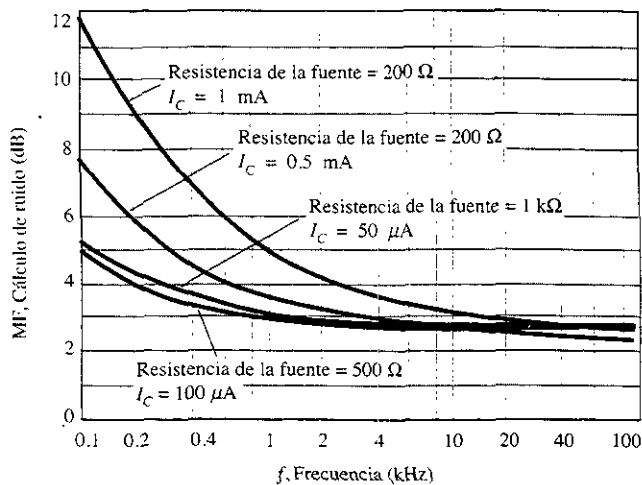
(c)

CARACTERÍSTICAS DE PEQUEÑA SEÑAL PARA AUDIO

FIGURA DE RUIDO

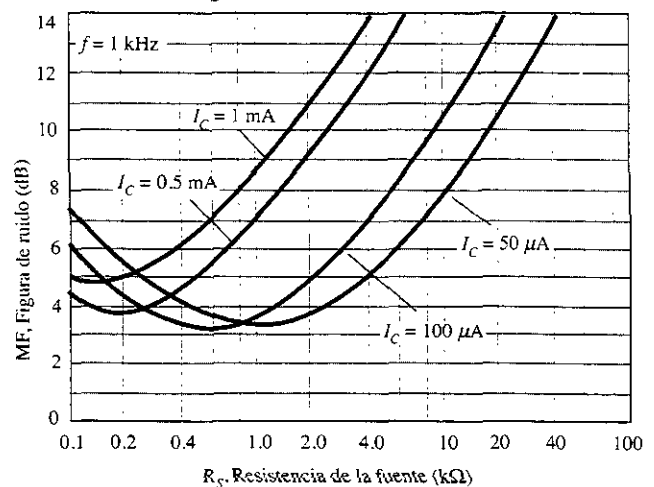
($V_{CE} = 5\text{ Vdc}$, $T_A = 25^\circ\text{C}$)
 Ancho de banda = 1.0 Hz

Figura 3 - Variaciones de frecuencia



(d)

Figura 4 - Resistencia de la fuente

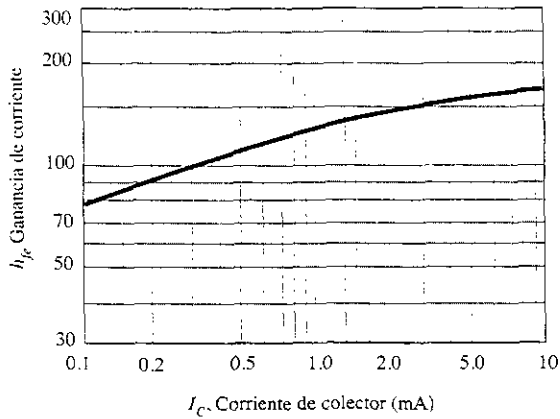


(e)

Figura 3.23 Continuación.

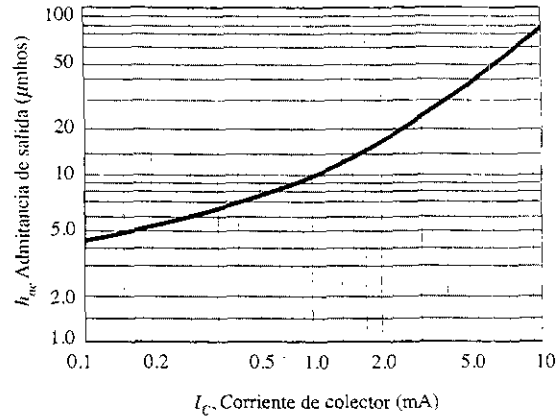
PARÁMETROS h
 $V_{CE} = 10 \text{ V}, f = 1 \text{ kHz}, T_A = 25^\circ\text{C}$

Figura 5 - Ganancia de corriente



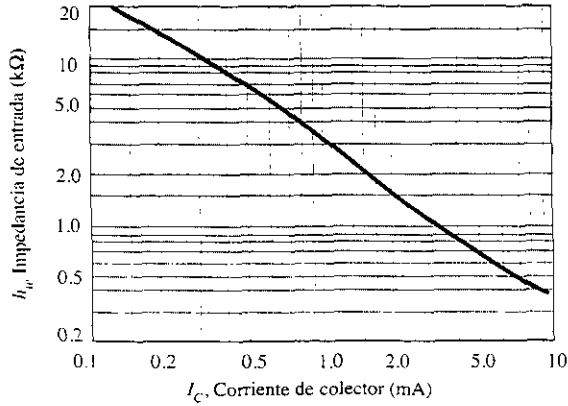
(f)

Figura 6 - Admitancia de entrada



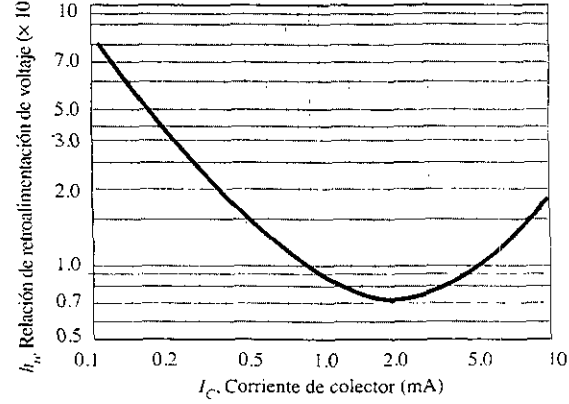
(g)

Figura 7 - Impedancia de entrada



(h)

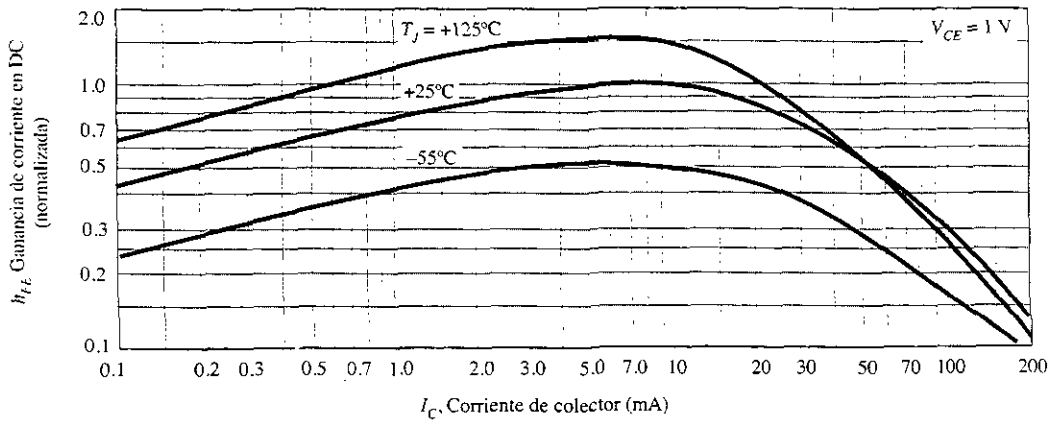
Figura 8 - Relación de retroalimentación de voltaje



(i)

CARACTERÍSTICAS ESTÁTICAS

Figura 9 - Ganancia de corriente en DC



(j)

Figura 3.23 Continuación.

3.10 PRUEBA DE TRANSISTORES

De manera semejante como ocurre con los diodos, existen tres “rutas” que pueden tomarse para verificar un transistor: *trazador de curvas*, *medidor digital* y *óhmetro*.

Trazador de curvas

El trazador de curvas de la figura 1.45 generará una imagen igual a la pantalla de la figura 3.24 una vez que todos los controles se ajusten de manera adecuada. Las pantallas más pequeñas a la derecha indican la escala que debe aplicarse a las características. La sensibilidad vertical es de 2 mA/div, lo que da por resultado la escala que se ilustra a la izquierda del monitor. La sensibilidad horizontal es de 1 V/div, lo que da por resultado la escala que se muestra abajo de las características. La función de paso indica que las curvas están separadas por una diferencia de 10 μA , empezando en 0 μA para la curva de la parte inferior. El último factor de escala que se proporciona se puede utilizar para determinar con rapidez la β_{ac} para cualquier región de las características. Sólo multiplique el factor que aparece en pantalla por el número de divisiones entre las curvas I_B en la región de interés. Por ejemplo, determine β_{ac} para un punto Q de $I_C = 7 \text{ mA}$ y $V_{CE} = 5 \text{ V}$. En esta región de la pantalla, la distancia entre las curvas I_B es de $\frac{9}{10}$ de una división, como se indica en la figura 3.25. Si se usa el factor especificado, se encuentra que

$$\beta_{ac} = \frac{9}{10} \text{ div} \left(\frac{200}{\text{div}} \right) = 180$$

Figura 3.24 Respuesta del trazador de curvas al transistor npn 2N3904.

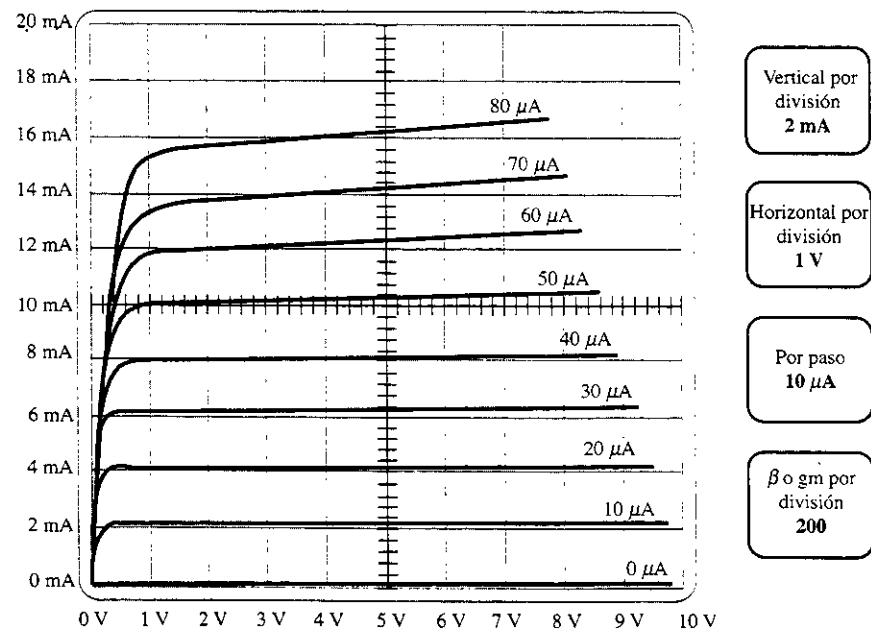
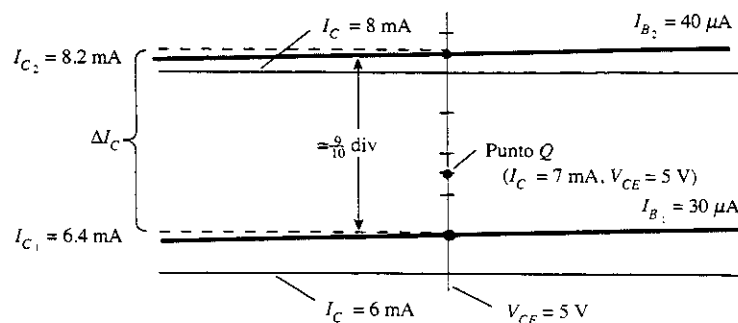


Figura 3.25 Determinación de la β_{ac} para las características del transistor de la figura 3.24 a $I_C = 7 \text{ mA}$ y $V_{CE} = 5 \text{ V}$.



Al utilizar la ecuación (3.11) se obtiene

$$\begin{aligned}\beta_{ac} &= \frac{\Delta I_C}{\Delta I_B} \bigg|_{V_{CE} = \text{constante}} = \frac{I_{C_2} - I_{C_1}}{I_{B_2} - I_{B_1}} = \frac{8.2 \text{ mA} - 6.4 \text{ mA}}{40 \mu\text{A} - 30 \mu\text{A}} \\ &= \frac{1.8 \text{ mA}}{10 \mu\text{A}} = 180\end{aligned}$$

lo cual verifica la determinación anterior.

Medidores digitales avanzados

Hoy en día, en el mercado se dispone de medidores digitales avanzados, como el que se muestra en la figura 3.26, que son capaces de proporcionar el nivel de h_{FE} , si se utilizan los conectores que están en la parte inferior a la izquierda del disco selector de función. Obsérvese la opción de *pnp* o *nnp* y la disponibilidad de dos bornes para el emisor para manejar la secuencia de contactos, según sea el encapsulado. El nivel de h_{FE} se determina a una corriente del colector de 2 mA para el Testmate 175A, que también aparece en la pantalla digital. Obsérvese que este versátil instrumento también puede verificar un diodo. Puede medir la capacitancia y la frecuencia además de las funciones normales de medición de voltaje, corriente y resistencia.

De hecho, en el modo de verificación de diodo se puede usar para verificar las uniones *p-n* de un transistor. Con el colector abierto, la unión base-emisor debe dar por resultado un voltaje bajo de aproximadamente 0.7 V, con la punta de prueba roja (positivo) conectada a la base y la punta de prueba negra (negativo) conectada al emisor. Una inversión de las terminales debe dar por resultado una indicación O.L. para representar la unión con polarización inversa. De manera análoga, con el emisor abierto, es posible verificar los estados de polarización directa e inversa de la unión base-colector.

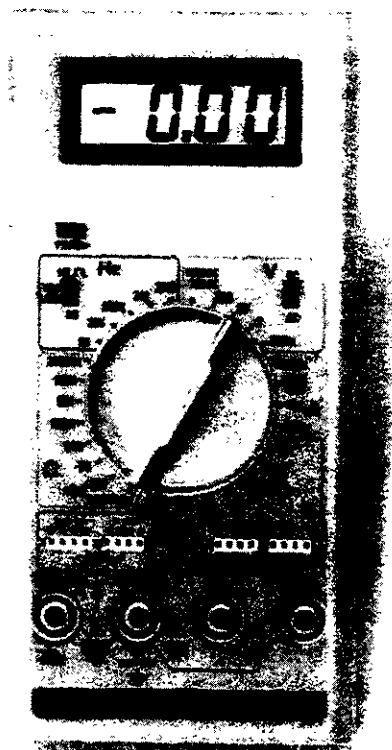


Figura 3.26 Probador de transistores. (Cortesía de Computronics Technology, Inc.)

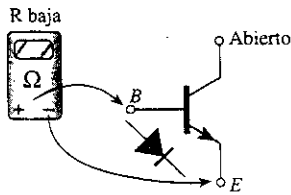


Figura 3.27 Verificación de la unión base-emisor con polarización directa de un transistor *nnp*.

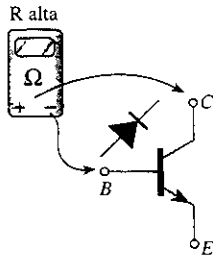


Figura 3.28 Verificación de la unión base-colector con polarización inversa de un transistor *nnp*.

Óhmetro

Un óhmetro o las escalas de resistencia de un DMM pueden utilizarse para verificar el estado de un transistor. Recuerde que para un transistor en la región activa, la unión base-emisor tiene polarización directa y la unión base-colector polarización inversa. Por tanto, en esencia, la unión con polarización directa debe registrar una resistencia relativamente baja, mientras que la unión con polarización inversa muestra una resistencia mucho mayor. Para un transistor *nnp*, la unión con polarización directa (polarizada por la fuente interna en el modo de resistencia) base-emisor debe verificarse como se indica en la figura 3.27, y da por resultado una lectura que, por lo regular, caerá en el rango de 100 Ω a unos cuantos kilohms. La unión con polarización inversa base-colector (una vez más polarizada inversamente por la fuente interna) debe verificarse según se muestra en la figura 3.28 con una lectura que suele exceder los 100 k Ω . Para un transistor *pnp* las terminales se invierten para cada unión. Es obvio que una resistencia grande o pequeña en ambas direcciones (invirtiendo los contactos) para cada unión de un transistor *nnp* o *pnp* indica un dispositivo dañado.

Si ambas uniones de un transistor dan por resultado las lecturas esperadas, el tipo de transistor también puede determinarse con sólo observar la polaridad de las puntas de prueba cuando se aplican a la unión base-emisor. Si la punta de prueba positiva (+) se conecta a la base y la negativa (-) al emisor, una lectura de baja resistencia indicaría un transistor *nnp*. A su vez, una lectura de alta resistencia indicaría un transistor *pnp*. Aunque también puede utilizarse un óhmetro para determinar las terminales (base, colector y emisor) de un transistor, se supone que esta determinación puede hacerse con sólo observar la orientación de los contactos en el encapsulado.

3.11 ENCAPSULADO DE TRANSISTORES E IDENTIFICACIÓN DE TERMINALES

Una vez que se ha fabricado el transistor utilizando una de las técnicas que se describen en el capítulo 12, se unen las terminales mediante pequeños alambres, que casi siempre son de oro, aluminio o níquel, y toda la estructura se encapsula en un "contenedor" como el que se muestra en la figura 3.29. Los que se construyen para trabajo pesado son dispositivos de alta potencia, en tanto que otros cuyo encapsulado es pequeño (tipo sombrero) o cuyo cuerpo es de plástico son dispositivos de baja o mediana potencia.

Siempre que sea posible, el encapsulado del transistor tendrá algún tipo de marca para indicar qué terminales se encuentran conectadas al emisor, colector o base de un transistor. Algunos de los métodos que se utilizan con mayor frecuencia se indican en la figura 3.30.

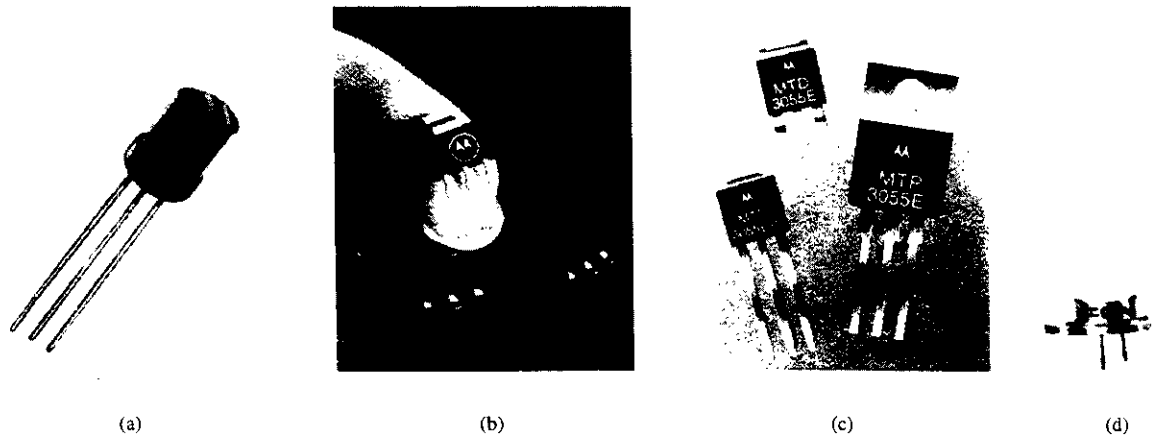


Figura 3.29 Varios tipos de transistores. a) Cortesía de General Electric Company; b) y c) cortesía de Motorola, Inc.; d) cortesía de International Rectifier Corporation.

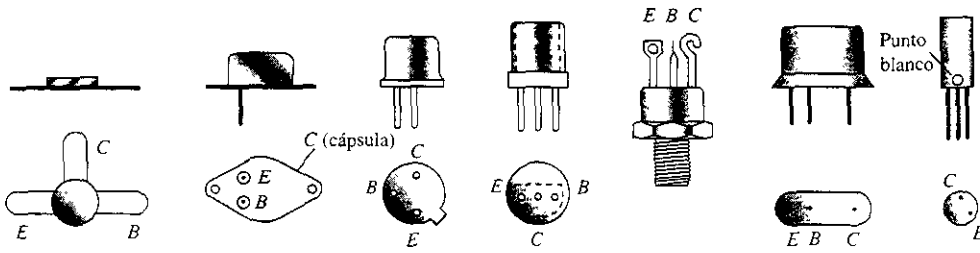


Figura 3.30 Identificación de terminales del transistor.

En la figura 3.31 aparece la construcción interna de un encapsulado TO-92 de la línea Fairchild. Obsérvese el tamaño en extremo pequeño del dispositivo semiconductor real. Existen pequeños alambres de oro para conectar las terminales, una estructura de cobre y un encapsulado de resina epóxica.

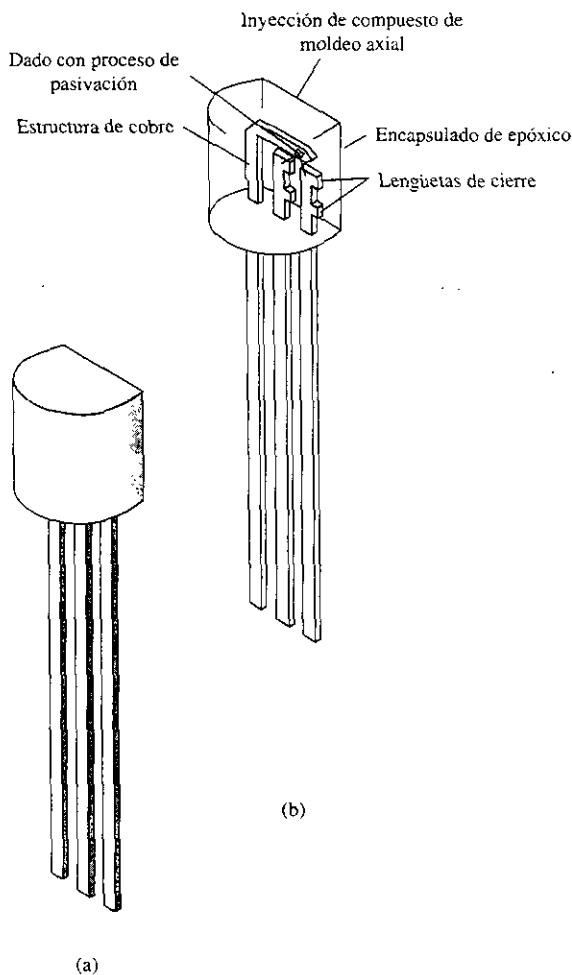
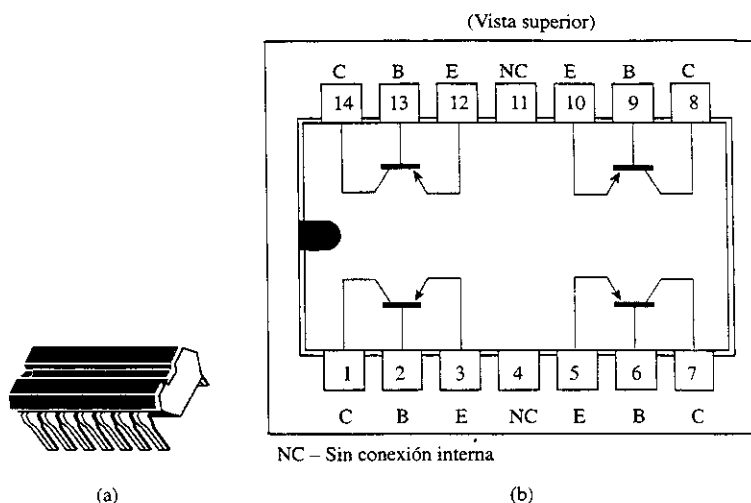


Figura 3.31 Construcción interna de un transistor Fairchild en un encapsulado TO-92. (Cortesía de Fairchild Camera and Instrument Corporation.)

En el encapsulado de terminales en doble línea, que aparece en la figura 3.32a, es posible encapsular cuatro transistores *pnp* individuales de silicio; las conexiones internas de las terminales se ilustran en la figura 3.32b. De igual manera como ocurre con el encapsulado de diodos en IC, la identificación en la superficie superior indica el número 1 de las 14 terminales.

Figura 3.32 Transistores *pn*p de silicio Q2T2905 de Texas Instruments: a) apariencia; b) diagrama de base. (Cortesía de Texas Instruments Incorporated.)



3.12 ANÁLISIS POR COMPUTADORA

En el capítulo 4 se estudiará una red de transistores utilizando BASIC y PSpice (versiones DOS y Windows). Si se utiliza BASIC, el método será análogo a un análisis realizado a mano, mientras que en un análisis mediante PSpice (versión DOS) se utilizará un modelo de transistor que se introduce en los párrafos siguientes. El PSpice (versión Windows) utilizará un transistor que se incluye en la biblioteca interna.

PSpice (versión DOS)

El enunciado de PSpice para la introducción de los elementos de un transistor tiene el formato siguiente:

<u>Q1</u>	<u>3</u>	<u>1</u>	<u>4</u>	<u>QN</u>
nombre	C	B	E	nombre del modelo

La Q se requiere para identificar el dispositivo como un transistor. El número 1 es el nombre elegido para el transistor, aunque puede incluir hasta siete caracteres (números y letras). Después, se capturan las terminales *en el orden* que aparece arriba. El último registro es el *nombre del modelo*, para dirigir al paquete de programación (programa) hacia la localización de los parámetros que definen al transistor.

El enunciado del modelo tiene el siguiente formato:

.MODEL	<u>QN</u>	<u>NPN</u>	<u>(BF = 140 IS = 2E - 15)</u>
	nombre	tipo	parámetros que serán especificados del modelo

Como se indica, el enunciado debe comenzar con .MODEL y seguido por el nombre del modelo del transistor como se especificó en el enunciado anterior. Después, se indica el tipo de transistor y los valores de los parámetros que se especificarán que se incluyen dentro del paréntesis. La lista de parámetros, como aparece en el manual PSpice, es muy extensa y de hecho incluye 40 términos. Para las necesidades actuales sólo es necesario especificar dos parámetros. Entre éstos se incluyen el valor de beta, que se señala como BF, y la corriente de saturación inversa IS a un nivel que dé por resultado un voltaje base-emisor de aproximadamente 0.7 V cuando el dispositivo está “encendido”.

Los dos enunciados que se mencionaron antes aparecerán en la sección de análisis por computadora que se incluye en el capítulo 4. Serán los únicos enunciados diferentes de los que aparecen en el análisis de diodos del capítulo 2. En otras palabras, los elementos nuevos pueden

presentarse en la biblioteca PSpice sin modificar los procedimientos ya descritos. En este sentido, el uso del paquete PSpice es una “experiencia de construcción” real con la posibilidad de analizar algunas redes muy complicadas que se encuentran a sólo unos cuantos enunciados de distancia.

Análisis del centro de diseño de PSpice para Windows

La elección de transistor bajo PSpice para Windows se encuentra al seleccionar **Draw** en la barra de menú de la ventana de **Schematics (esquemas)**. Después se elige **Get New Part (busca nuevo componente)** seguido por **Browse (hojear)** para ver la lista disponible. Se encuentra **eval.slb** en la lista de **library (biblioteca)** y después de seleccionar la entrada se debe mover a través de la lista de dispositivos disponibles. Conforme oprima el botón de un dispositivo al siguiente, una caja de **Description** aparecerá arriba de la entrada describiendo el tipo de dispositivo. Una vez que se elige la opción del transistor deseado, sólo se selecciona en el dispositivo y **OK**, y aparecerá en la pantalla para su colocación. El capítulo 4 describirá la forma de modificar los parámetros del transistor seleccionado y la forma de llevar a cabo un análisis de la red de transistores.

PROBLEMAS

§ 3.2 Construcción de transistores

1. ¿Qué nombres se asignan a los dos tipos de transistores BJT? Dibuje la construcción básica de cada uno e identifique los diversos portadores minoritarios y mayoritarios en cada uno. Dibuje el símbolo gráfico junto a cada uno. ¿Se altera algún elemento de esta información al cambiar de una base de silicio a una de germanio?
2. ¿Cuál es la diferencia más importante entre un dispositivo bipolar y uno unipolar?

§ 3.3 Operación del transistor

3. ¿Cómo se deben polarizar las dos uniones del transistor para una operación de amplificación correcta del transistor?
4. ¿Cuál es la fuente de la corriente de fuga en un transistor?
5. Dibuje una figura similar a la figura 3.3 para la unión con polarización directa de un transistor *npn*. Describa el movimiento resultante del portador.
6. Dibuje una figura similar a la figura 3.4 para la unión con polarización inversa de un transistor *npn*. Señale el movimiento resultante del portador.
7. Dibuje una figura similar a la figura 3.5 para el flujo de portadores mayoritarios y minoritarios de un transistor *npn*. Describa el movimiento resultante del portador.
8. ¿Cuál de las corrientes del transistor es siempre la mayor? ¿Cuál es siempre la menor? ¿Cuáles de las dos corrientes son relativamente cercanas en magnitud?
9. Si la corriente del emisor de un transistor es de 8 mA e I_B es de 1/100 de I_C , determine los niveles de I_C e I_E .

§ 3.4 Configuración de base común

10. De memoria, dibuje el símbolo del transistor para un transistor *pnp* y *nnp*, e inserte la dirección convencional del flujo para cada corriente.
11. Utilizando las características de la figura 3.7, especifique V_{BE} a $I_E = 5$ mA para $V_{CB} = 1$ V, 10 V y 20 V. ¿Es razonable suponer, con base en una aproximación, que V_{CB} tiene sólo un pequeño efecto en la relación entre V_{BE} e I_E ?
12. a) Determine la resistencia promedio en ac para las características de la figura 3.10b.
b) Para las redes en las cuales la magnitud de los elementos resistivos se encuentra en kilohms, ¿es válida la aproximación de la figura 3.10c (basándose en los resultados del inciso a)?
13. a) Usando las características de la figura 3.8, determine la corriente resultante del colector si $I_E = 4.5$ mA $V_{CB} = 4$ V.
b) Repita el inciso a para $I_E = 4.5$ mA $V_{CB} = 16$ V.
c) ¿Cómo han afectado los cambios de V_{CB} el nivel resultante de I_C ?
d) Respecto a una base aproximada, ¿cómo se relacionan I_E e I_C basándose en los resultados anteriores?

14. a) Empleando las características de las figuras 3.7 y 3.8, determine I_C si $V_{CB} = 10 \text{ V}$ y $V_{BE} = 800 \text{ mV}$.
 b) Determine V_{BE} si $I_C = 5 \text{ mA}$ y $V_{CB} = 10 \text{ V}$.
 c) Repita el inciso b utilizando las características de la figura 3.10b.
 d) Repita el inciso b utilizando las características de la figura 3.10c.
 e) Compare las soluciones para V_{BE} para los incisos b, c, y d. ¿Se puede ignorar la diferencia si normalmente se encuentran niveles de voltaje mayores a unos cuantos volts?
15. a) Dada una α_{dc} de 0.998, determine I_C si $I_E = 4 \text{ mA}$.
 b) Determine α_{dc} si $I_E = 2.8 \text{ mA}$ e $I_B = 20 \mu\text{A}$.
 c) Encuentre I_E si $I_B = 40 \mu\text{A}$ y α_{dc} es 0.98.
16. Dibuje de memoria la configuración del transistor en base común (para *npn* y *pnp*) e indique la polaridad de la polarización aplicada y las direcciones de corriente resultantes.

§ 3.5 Acción amplificadora del transistor

17. Calcule la ganancia de voltaje ($A_v = V_L / V_i$) para la red de la figura 3.12 si $V_i = 500 \text{ mV}$ y $R = 1 \text{ k}\Omega$. (Los otros valores del circuito permanecen iguales.)
18. Calcule la ganancia de voltaje ($A_v = V_L / V_i$) para la red de la figura 3.12 si la fuente tiene una resistencia interna de 100Ω en serie con V_i .

§ 3.6 Configuración de emisor común

19. Defina I_{CBO} e I_{CEO} . ¿En qué son diferentes? ¿Cómo están relacionados? ¿Por lo regular sus magnitudes son cercanas?
20. Utilizando las características de la figura 3.14:
 - a) Encuentre el valor de I_C correspondiente a $V_{BE} = +750 \text{ mV}$ y $V_{CE} = +5 \text{ V}$.
 - b) Encuentre el valor de V_{CE} y V_{BE} correspondiente a $I_C = 3 \text{ mA}$ e $I_B = 30 \mu\text{A}$.
- * 21. a) Para las características de emisor común de la figura 3.14, determine la beta en dc en un punto de operación de $V_{CE} = +8 \text{ V}$ e $I_C = 2 \text{ mA}$.
 b) Encuentre el valor de α correspondiente a este punto de operación.
 c) A $V_{CE} = +8 \text{ V}$, encuentre el valor correspondiente de I_{CEO} .
 d) Calcule el valor aproximado de I_{CBO} utilizando el valor de beta dc que se obtuvo en el inciso a.
- * 22. a) Usando las características de la figura 3.14a, determine I_{CEO} a $V_{CE} = 10 \text{ V}$.
 b) Determine β_{dc} en $I_B = 10 \mu\text{A}$ y $V_{CE} = 10 \text{ V}$.
 c) Utilizando la β_{dc} determinada en el inciso b, calcule I_{CBO} .
23. a) Utilizando las características de la figura 3.14a, determine β_{dc} en $I_B = 80 \mu\text{A}$ y $V_{CE} = 5 \text{ V}$.
 b) Repita el inciso a en $I_B = 5 \mu\text{A}$ y $V_{CE} = 15 \text{ V}$.
 c) Vuelva a utilizar el inciso a en $I_B = 30 \mu\text{A}$ y $V_{CE} = 10 \text{ V}$.
 d) Revisando los resultados de los incisos a a c, ¿cambia el valor de β_{dc} entre punto y punto en las características? ¿Dónde se encuentran los valores más altos? ¿Puede desarrollar algunas conclusiones generales acerca del valor de β_{dc} con base en un conjunto de características como las que se presentan en la figura 3.14a?
- * 24. a) Utilizando las características de la figura 3.14a, determine β_{ac} en $I_B = 80 \mu\text{A}$ y $V_{CE} = 5 \text{ V}$.
 b) Repita el inciso a en $I_B = 5 \mu\text{A}$ y $V_{CE} = 15 \text{ V}$.
 c) Vuelva a hacer el inciso a en $I_B = 30 \mu\text{A}$ y $V_{CE} = 10 \text{ V}$.
 d) Al revisar los resultados de los incisos a a c, ¿cambia el valor de β_{ac} entre punto y punto en las características? ¿Dónde se encuentran los valores más altos? ¿Puede determinar algunas conclusiones generales acerca del valor de β_{ac} con base en un conjunto de características de colector?
 e) Los puntos seleccionados en este ejercicio son los mismos que los que se utilizaron en el problema 23. Si se llevara a cabo el problema 23, compare los niveles de β_{dc} y β_{ac} para cada punto y comente acerca de la tendencia en magnitud para cada cantidad.
25. Utilizando las características de la figura 3.14a, determine β_{dc} en $I_B = 25 \mu\text{A}$ y $V_{CE} = 10 \text{ V}$. Después calcule α_{dc} y el nivel resultante de I_E . (Utilice el nivel de I_C determinado por $I_C = \beta_{dc} I_B$.)
26. a) Dado que $\alpha_{dc} = 0.987$, especifique el valor correspondiente de β_{dc} .
 b) Una vez especificado $\beta_{dc} = 120$, determine el valor correspondiente de α .
 c) Si $\beta_{dc} = 180$ e $I_C = 2.0 \text{ mA}$, encuentre I_E e I_B .

27. Dibuje de memoria la configuración de transistor en emisor común (para *nnp* y *pnnp*) e inserte el arreglo correcto de la polarización con las direcciones de corriente resultantes para I_B , I_C e I_E .

§ 3.7 Configuración de colector común

28. Se aplica un voltaje de 2 V rms (medidos de la base a tierra) al circuito de la figura 3.21. Suponiendo que el voltaje del emisor siga exactamente el voltaje de base y que $V_{be} \text{ (rms)} = 0.1 \text{ V}$, calcule la amplificación de voltaje del circuito ($A_v = V_o / V_i$) y la corriente del emisor para $R_E = 1 \text{ k}\Omega$.
29. Para un transistor que tenga las características de la figura 3.14, dibuje las características de entrada y de salida de la configuración de colector común.

§ 3.8 Límites de operación

30. Determine la región de operación para un transistor que tenga las características de la figura 3.14 si $I_{C \text{ máx}} = 7 \text{ mA}$, $V_{CE \text{ máx}} = 17 \text{ V}$, y $P_{C \text{ máx}} = 40 \text{ mW}$.
31. Especifique la región de operación para un transistor que tenga las características de la figura 3.8 si $I_{C \text{ máx}} = 6 \text{ mA}$, $V_{CB \text{ máx}} = 15 \text{ V}$, y $P_{C \text{ máx}} = 30 \text{ mW}$.

§ 3.9 Hoja de especificaciones de transistores

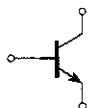
32. Refiriéndose a la figura 3.23, determine el rango de temperaturas para el dispositivo en grados Fahrenheit.
33. Utilizando la información que se proporciona en la figura 3.23 con respecto a $P_{D \text{ máx}}$, $V_{CE \text{ máx}}$, $I_{C \text{ máx}}$, y $V_{CE \text{ máx}}$, dibuje los límites de operación para el dispositivo.
34. Con base en los datos de la figura 3.23, ¿cuál es el valor esperado de I_{CEO} utilizando el valor promedio de β_{dc} ?
35. ¿Cómo se compara el rango de h_{FE} (figura 3.23j, normalizada a partir de $h_{FE} = 100$) con el rango de h_{fe} (figura 3.23f) para el rango de I_C desde 0.1 mA a 10 mA?
36. Utilizando las características de la figura 3.23b, determine si la capacitancia de entrada en la configuración de base común se incrementa o disminuye con los crecientes niveles de potencial de polarización inversa. Explique por qué.
- * 37. Utilizando las características de la figura 3.23f, determine cuánto ha cambiado el nivel de h_{fe} desde su valor en 1 mA a su valor en 10 mA. Obsérvese que la escala vertical es una escala logarítmica que puede referirse a la sección 11.2. ¿Es este cambio tal que deba considerarse en una situación de diseño?
- * 38. Utilizando las características de la figura 3.23j, determine el nivel de β_{dc} en $I_C = 10 \text{ mA}$ en los tres niveles de temperatura que aparecen en la figura. ¿Es significativo el cambio para el rango de temperatura especificado? ¿Se trata de un elemento que deba considerarse en el proceso de diseño?

§ 3.10 Prueba de transistores

39. a) Utilizando las características de la figura 3.24, determine β_{ac} en $I_C = 14 \text{ mA}$ y $V_{CE} = 3 \text{ V}$.
 b) Determine β_{ac} en $I_C = 1 \text{ mA}$ y $V_{CE} = 8 \text{ V}$.
 c) Especifique β_{dc} en $I_C = 14 \text{ mA}$ y $V_{CE} = 3 \text{ V}$.
 d) Determine β_{dc} en $I_C = 1 \text{ mA}$ y $V_{CE} = 8 \text{ V}$.
 e) ¿Cómo se comparan los niveles de β_{ac} y de β_{dc} en cada región?
 f) ¿Es válida la aproximación $\beta_{dc} \approx \beta_{ac}$ para este conjunto de características?

* Los asteriscos indican problemas más difíciles.

4

Polarización
en dc-BJT

4.1 INTRODUCCIÓN

El análisis o diseño de un amplificador a transistor requiere de un conocimiento tanto para la respuesta en dc como para la respuesta en ac del sistema. Muy a menudo se asume que un transistor es un dispositivo mágico que puede elevar el nivel de una señal de entrada de ac, sin la asistencia de una fuente externa de energía. En realidad, el nivel de potencia de salida de ac mejorado es el resultado de una transferencia de energía desde las fuentes de dc aplicadas. Por tanto, el análisis o diseño de cualquier amplificador electrónico tiene dos componentes: la porción de dc y la porción de ac. Por fortuna, el teorema de la superposición puede aplicarse y la investigación de las condiciones de dc puede separarse por completo de la respuesta de ac. Sin embargo, se debe tener en cuenta que durante el estado de diseño o síntesis, la elección de los parámetros para los niveles requeridos de dc afectarán la respuesta en ac, y viceversa.

El nivel de dc de un transistor en operación es controlado por diversos factores, incluyendo el rango de puntos de operación posibles sobre las características del dispositivo. En la sección 4.2 se especifica el rango para el amplificador a BJT. Una vez definidos los niveles de voltaje y de corriente de dc, se debe construir una red que establecerá el punto de operación deseado; en este capítulo se analizan varias de estas redes. Cada diseño también determinará la estabilidad del sistema, es decir, qué tan sensible es el sistema a las variaciones de temperatura. Este aspecto también se investigará en una sección posterior del presente capítulo.

Aunque en este capítulo se analiza cierta cantidad de redes, existe una similitud fundamental entre el análisis de cada configuración debido al uso recurrente de las siguientes relaciones básicas, que son importantes para un transistor:

$$V_{BE} = 0.7 \text{ V} \quad (4.1)$$

$$I_E = (\beta + 1)I_B \cong I_C \quad (4.2)$$

$$I_C = \beta I_B \quad (4.3)$$

Una vez que estén analizadas las primeras redes, la solución de las siguientes se tornará más clara. En la mayoría de los casos la corriente base I_B es la primera cantidad que debe determinarse. Una vez que I_B se conoce, las relaciones de las ecuaciones (4.1) a (4.3) pueden aplicarse para encontrar las cantidades de interés restantes. Las similitudes en el análisis serán inmediatamente obvias según vaya avanzando en este capítulo. Las ecuaciones para I_B son tan familiares para una cantidad de configuraciones que una ecuación puede derivarse de otra sólo

con eliminar o añadir uno o dos términos. La principal función de este capítulo es desarrollar un nivel de familiaridad con el transistor BJT, el cual podría permitir un análisis en dc de cualquier sistema que pueda utilizar el amplificador a BJT.

4.2 PUNTO DE OPERACIÓN

El término *polarización* que aparece en el título de este capítulo es un término que comprende todo lo relacionado para la aplicación de voltajes de dc, que ayudan a establecer un nivel fijo de corriente y voltaje. Para los amplificadores a transistores el voltaje y corriente de dc resultantes establecen un *punto de operación* sobre las características que definen una región que se utilizará para la amplificación de la señal aplicada. Debido a que el punto de operación es un punto fijo sobre las características, también se le llama *punto de reposo* (abreviado punto *Q*, por la sigla en inglés de, *quiescent point*). La figura 4.1 muestra una característica general de salida de un dispositivo con cuatro puntos de operación indicados. El circuito de polarización puede diseñarse para establecer la operación del dispositivo en cualquiera de estos puntos o de otros dentro de la *región activa*. Los valores máximos están indicados en las características de la figura 4.1 mediante una línea horizontal para la corriente máxima del colector $I_{C_{máx}}$, y una línea vertical cuando sea el voltaje máximo del colector-emisor $V_{CE_{máx}}$. La restricción de máxima potencia se define por la curva $P_{C_{máx}}$ en la misma figura. En el extremo inferior de las escalas se encuentra la *región de corte*, definida por $I_B \leq 0 \mu A$, y la *región de saturación*, definida por $V_{CE} \leq V_{CE_{sat}}$.

El dispositivo BJT puede estar en polarización para operar fuera de estos límites máximos, pero el resultado de tal operación podría ser un recorte considerable de la vida del dispositivo, o bien la destrucción del dispositivo. Cuando se confina la región activa pueden seleccionarse muchas áreas o puntos de operación diferentes. El punto *Q* que se elige a menudo depende del empleo del circuito. De cualquier manera, se pueden considerar algunas diferen-

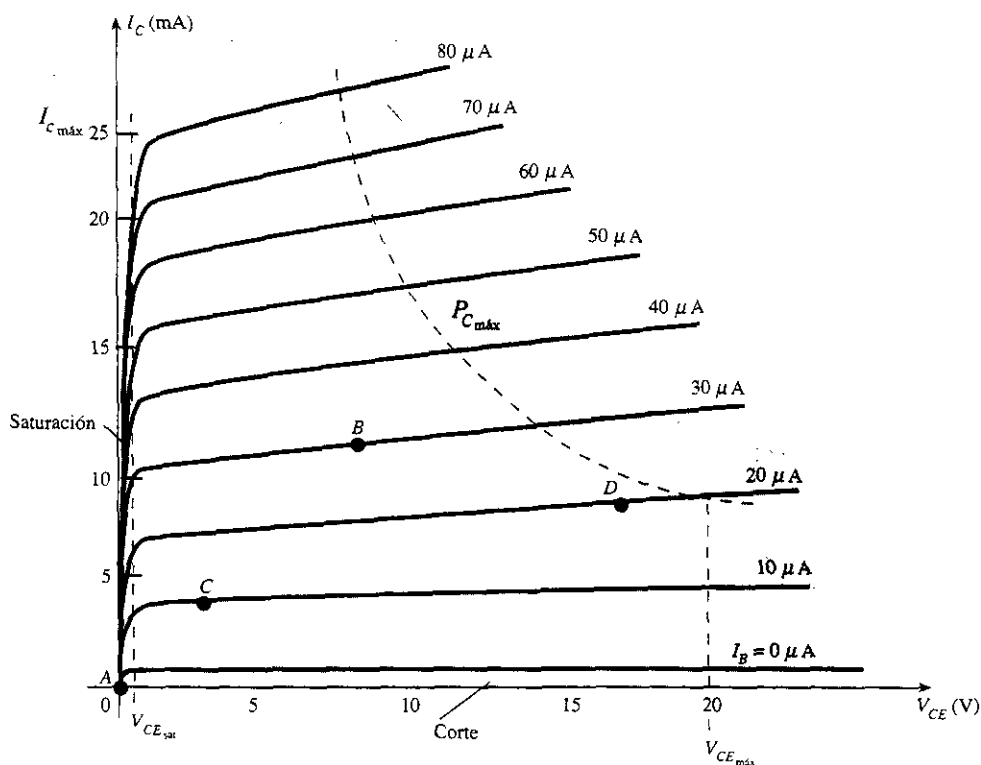


Figura 4.1 Varios puntos de operación dentro de los límites de operación de un transistor.

cias entre los diversos puntos mostrados en la figura 4.1 para presentar algunas ideas básicas acerca del punto de operación y, por tanto, del circuito de polarización.

Si no se utilizara la polarización, el dispositivo estaría al principio completamente apagado, dando por resultado un punto Q en A , es decir, cero corriente a través del dispositivo (y cero voltaje a través de él). Debido a que es necesario polarizar un dispositivo de forma que pueda responder al rango completo de la señal de entrada, el punto A no sería precisamente el adecuado. Para el punto B , si la señal se aplica al circuito, el dispositivo tendrá una variación en corriente y voltaje desde el punto de operación, permitiendo al dispositivo reaccionar (y posiblemente amplificar) tanto ante las excursiones positivas como negativas de la señal de entrada. Si la señal de entrada se elige correctamente, el voltaje y la corriente del dispositivo tendrán variación, pero no la suficiente como para llevar al dispositivo hacia el *corte* o a la *saturación*. El punto C permitiría cierta variación positiva y negativa de la señal de salida, pero el valor pico a pico estaría limitado por la proximidad de $V_{CE} = 0$ V / $I_C = 0$ mA. La operación en el punto C también acarrea inquietud acerca de las no linealidades presentadas por el hecho de que hay un cambio rápido en las curvas de I_B en esta región. En general, es preferible operar donde la ganancia del dispositivo es muy constante (o lineal) para asegurar que la amplificación a través de la excursión completa de la señal de entrada es la misma. El punto B es una región de espaciamiento más lineal y, por tanto, de operación más lineal, según se muestra en la figura 4.1. El punto D establece el sitio de operación del dispositivo cerca del nivel de voltaje y potencia máxima. La excursión del voltaje de salida en la dirección positiva se encuentra entonces limitada para no exceder el voltaje máximo. Por tanto, el punto B parece ser el mejor punto de operación en términos de ganancia lineal y la excursión más grande posible de voltaje y corriente. Ésta es por lo general la condición deseada para los amplificadores de pequeña señal (capítulo 8), pero no necesariamente es el caso para los amplificadores de potencia, los cuales serán considerados en el capítulo 16. En este análisis, nos concentramos básicamente en la polarización del transistor para la operación de amplificación en *pequeña señal*.

Existe otro factor para la polarización muy importante que todavía debemos considerar. Una vez que seleccionamos y polarizamos el BJT en un punto de operación, también debe tomarse en cuenta el efecto de la temperatura. Este factor ocasiona que cambien los parámetros, como la ganancia en corriente del transistor (β_{ac}) y la corriente de fuga del transistor (I_{CEO}). Las mayores temperaturas dan como resultado mayores corrientes de fuga en el dispositivo, causando un cambio en la condición de operación establecida por la red de polarización. El resultado es que el diseño de la red debe ofrecer también un grado de *estabilidad en temperatura*, de tal forma que dichos cambios ocasionen la menor cantidad de modificaciones en el punto de operación. La estabilidad del punto de operación puede especificarse mediante un *factor de estabilidad S* , el cual indica el grado de cambio en el punto de operación debido a una variación en la temperatura. Es mejor un circuito de gran estabilidad; comparada con la estabilidad de varios circuitos polarizados.

Para que el BJT esté polarizado en su región lineal o de operación activa, los siguientes puntos deben resultar exactos:

1. La unión base-emisor *debe* tener una polarización directa (voltaje de la región p más positivo) con un voltaje de polarización directa resultante de aproximadamente 0.6 a 0.7 V.
2. La unión base-colector *debe* tener una polarización inversa (voltaje de la región n más positivo) con un voltaje de polarización inversa resultante de cualquier valor dentro de los límites máximos del dispositivo.

[Obsérvese que para la polarización directa el voltaje a través de la unión p - n es p -positiva, mientras que para la polarización inversa es opuesto (inverso) con n -positiva. Este énfasis sobre la letra inicial debe ofrecer un medio para ayudar a memorizar la polaridad necesaria de voltaje.]

La operación en las regiones de corte, saturación y lineal de las características del BJT se ofrecen de la siguiente manera:

1. *Operación en la región lineal:*
Unión base-emisor con polarización directa
Unión base-colector con polarización inversa

2. *Operación en la región de corte:*
Unión base-emisor con polarización inversa
3. *Operación en la región de saturación:*
Unión base-emisor con polarización directa
Unión base-colector con polarización directa

4.3 CIRCUITO DE POLARIZACIÓN FIJA

El circuito de polarización fija de la figura 4.2 ofrece una introducción relativamente directa y simple al análisis de la polarización en dc de transistores. Aunque la red utilice un transistor *nnp*, las ecuaciones y los cálculos se pueden aplicar con facilidad a la configuración con transistor *pnp*, con el solo hecho de cambiar todas las direcciones de corriente y los voltajes de polarización. Las direcciones de corriente de la figura 4.2 son las reales, y los voltajes están definidos por la notación estándar de doble subíndice. Para el análisis en dc, la red debe aislarse de los niveles de ac, reemplazando los capacitores por un equivalente de circuito abierto. Más adelante, la fuente V_{CC} de dc puede separarse en dos fuentes (para propósitos de análisis solamente), como se muestra en la figura 4.3, para permitir una separación de los circuitos de entrada y de salida. También reduce la unión de las dos corrientes que fluyen hacia la base I_B . Como se observa, la separación es válida, como lo muestra la figura 4.3, donde V_{CC} está conectada directamente a R_B y R_C , justo como en la figura 4.2.

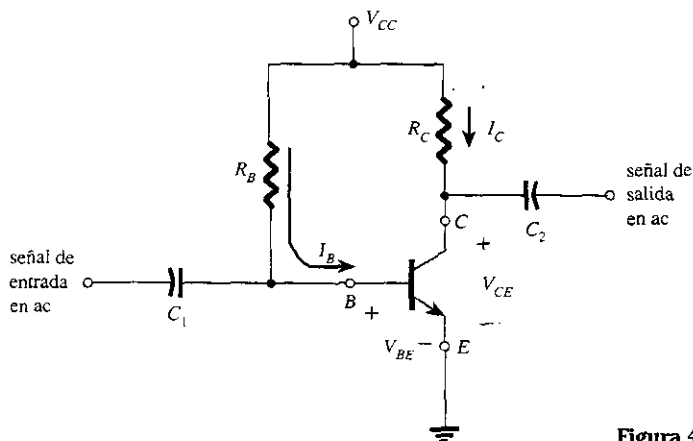


Figura 4.2 Circuito de polarización fija.

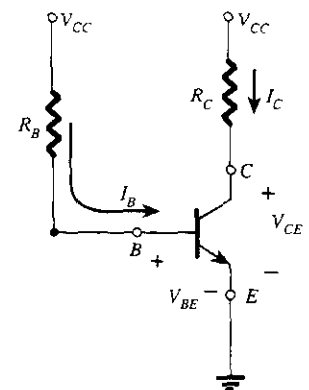


Figura 4.3 Equivalente de dc de la figura 4.2.

Polarización directa base-emisor

Considere primero la malla del circuito base-emisor de la figura 4.4. Cuando escriba la ecuación de voltaje de Kirchhoff en la dirección de las manecillas del reloj, se obtendrá

$$+V_{CC} - I_B R_B - V_{BE} = 0$$

Nótese la polaridad de la caída de voltaje a través de R_B establecida por la dirección indicada de I_B . Cuando se resuelve la ecuación para la corriente I_B da por resultado lo siguiente:

$$I_B = \frac{V_{CC} - V_{BE}}{R_B} \quad (4.4)$$

Es verdad que la ecuación (4.4) no es difícil de recordar si se toma en cuenta que la corriente de base es la corriente a través de R_B , y de acuerdo con la ley de Ohm dicha corriente es el voltaje a través de R_B dividido entre la resistencia R_B . El voltaje a través de R_B es el voltaje V_{CC} aplicado en un extremo menos la caída a través de la unión base-emisor (V_{BE}). Debido a

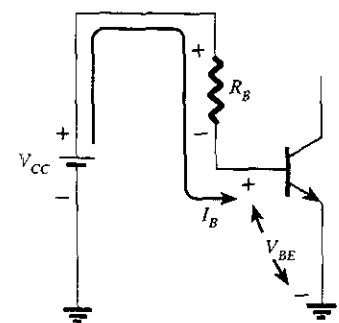


Figura 4.4 Malla base-emisor.

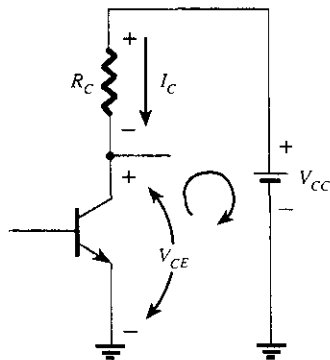


Figura 4.5 Malla colector-emisor.

que el voltaje V_{CC} y el voltaje base-emisor son constantes R_B , fija el nivel de la corriente de base para el punto de operación.

Malla colector-emisor

La sección colector-emisor de la red aparece en la figura 4.5 con la dirección de la corriente I_C indicada y la polaridad resultante a través de R_C . La magnitud de la corriente del colector está directamente relacionada a I_B mediante

$$I_C = \beta I_B \quad (4.5)$$

Es interesante observar que debido a que la corriente de base está controlada por el nivel de R_B y que I_C está relacionada a I_B por la constante β , la magnitud de I_C no es una función de la resistencia R_C . El cambio de R_C hacia cualquier nivel no afectará el nivel de I_B o de I_C mientras se permanezca en la región activa del dispositivo. Sin embargo, como se verá más adelante, el nivel de R_C determinará la magnitud de V_{CE} , el cual es un parámetro importante.

La aplicación de la ley de voltaje de Kirchhoff en la dirección del sentido de las manecillas del reloj alrededor de la malla cerrada indicada en la figura 4.5 dará por resultado lo siguiente:

$$V_{CE} + I_C R_C - V_{CC} = 0$$

y

$$V_{CE} = V_{CC} - I_C R_C \quad (4.6)$$

la cual establece que el voltaje a través de la región colector-emisor de un transistor en la configuración de polarización fija es el voltaje de alimentación menos la caída a través de R_C .

Como un breve repaso de la notación de subíndice sencillo y doble, recuerde que

$$V_{CE} = V_C - V_E \quad (4.7)$$

donde V_{CE} es el voltaje colector-emisor y V_C y V_E son los voltajes del colector y del emisor a tierra, respectivamente. Pero *en este caso*, debido a que $V_E = 0$ V, se tiene que

$$V_{CE} = V_C \quad (4.8)$$

Además, ya que

$$V_{BE} = V_B - V_E \quad (4.9)$$

y que $V_E = 0$ V, entonces

$$V_{BE} = V_B \quad (4.10)$$

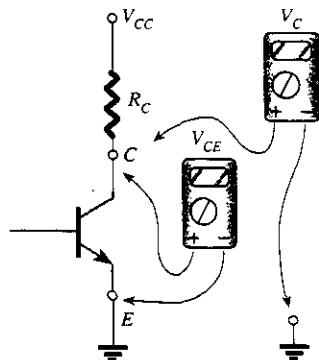


Figura 4.6 Medición de V_{CE} y V_C

Tenga presente que los niveles de voltaje como V_{CE} son determinados mediante la colocación de la punta de prueba roja (positiva) del voltímetro en la terminal del colector y la punta de prueba negra (negativa), a la terminal del emisor según se muestra en la figura 4.6. V_C es el voltaje del colector a la tierra y se mide según la misma figura. En este caso las dos lecturas son idénticas, pero en las redes que siguen las dos pueden ser muy diferentes. Comprender la diferencia entre ambas medidas puede ser muy importante para la localización de fallas en las redes de transistores.

EJEMPLO 4.1

Determinar lo siguiente para la configuración de polarización fija de la figura 4.7.

- I_{BQ} e I_{CQ} .
- V_{CEQ} .
- V_B y V_C .
- V_{BC} .

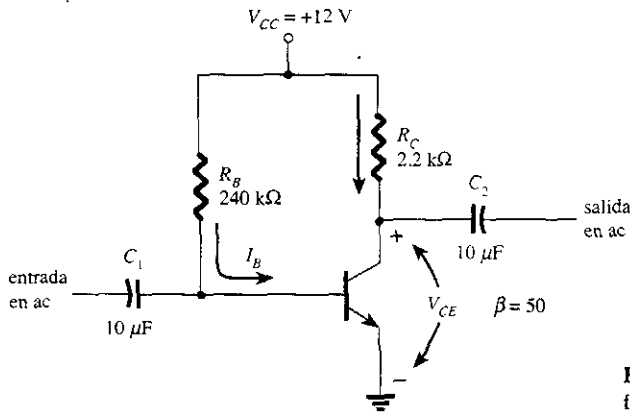


Figura 4.7 Circuito dc de polarización fija para el ejemplo 4.1.

Solución

a) Ecuación (4.4):
$$I_{B_Q} = \frac{V_{CC} - V_{BE}}{R_B} = \frac{12 \text{ V} - 0.7 \text{ V}}{240 \text{ k}\Omega} = 47.08 \mu\text{A}$$

Ecuación (4.5):
$$I_{C_Q} = \beta I_{B_Q} = (50)(47.08 \mu\text{A}) = 2.35 \text{ mA}$$

b) Ecuación (4.6):
$$\begin{aligned} V_{CE_Q} &= V_{CC} - I_C R_C \\ &= 12 \text{ V} - (2.35 \text{ mA})(2.2 \text{ k}\Omega) \\ &= 6.83 \text{ V} \end{aligned}$$

c)
$$V_B = V_{BE} = 0.7 \text{ V}$$

$$V_C = V_{CE} = 6.83 \text{ V}$$

d) La utilización de la notación del subíndice doble da por resultado

$$\begin{aligned} V_{BC} &= V_B - V_C = 0.7 \text{ V} - 6.83 \text{ V} \\ &= -6.13 \text{ V} \end{aligned}$$

y el signo negativo revela que la unión tiene polarización inversa, como debe ser para la amplificación lineal.

Saturación del transistor

El término *saturación* se aplica a cualquier sistema donde los niveles han alcanzado sus máximos valores. Una esponja saturada es aquella que no puede contener otra gota de líquido. Para un transistor que opera en la región de saturación la corriente es un valor máximo *para el diseño en particular*. El cambio en el diseño puede ocasionar que el nivel de saturación correspondiente pueda llegar a incrementarse o descender. Desde luego, el nivel más alto de saturación está definido por la corriente máxima del colector, y se proporciona en la hoja de especificaciones.

Las condiciones de saturación se evitan normalmente porque la unión base-colector ya no se encuentra con polarización inversa y la señal de salida amplificada se distorsionará. Un punto de operación en la región de saturación se describe en la figura 4.8a. Nótese que se trata de una región donde las curvas características se juntan y el voltaje colector-emisor se encuentra en o por debajo de $V_{CE_{sat}}$. Además, la corriente del colector es relativamente alta en las características.

Si se aproximan las curvas de la figura 4.8a a las que aparecen en la figura 4.8b, el método directo para determinar el nivel de saturación se torna aparente. En la figura 4.8b la corriente es más o menos alta y el voltaje V_{CE} se asume de 0 volts. Al aplicar la ley de Ohm, puede calcularse la resistencia entre las terminales del colector y las del emisor de la siguiente manera:

$$R_{CE} = \frac{V_{CE}}{I_C} = \frac{0 \text{ V}}{I_{C_{sat}}} = 0 \Omega$$

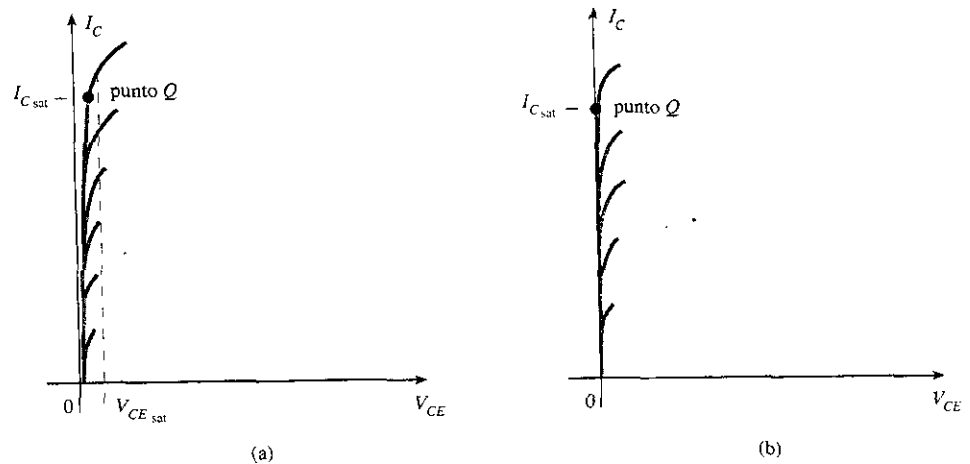


Figura 4.8 Región de saturación a) real b) aproximada.

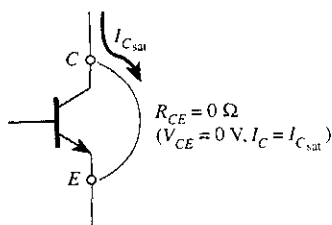


Figura 4.9 Determinación de I_{Csat} .

La aplicación de los resultados al esquema de la red resultaría en la configuración de la figura 4.9.

Por tanto, y para el futuro, si existiera una necesidad inmediata de conocer la corriente máxima del colector (nivel de saturación) para un diseño en particular, sólo se inserta un equivalente de corto circuito entre el colector y el emisor del transistor y se calcula la corriente resultante del colector. En resumen, sólo haga $V_{CE} = 0$ V. Para la configuración de polarización fija de la figura 4.10 el corto circuito se aplicó, causando que el voltaje a través de R_C se convierta en el voltaje aplicado V_{CC} . La corriente de saturación resultante para la configuración de polarización fija es

$$I_{Csat} = \frac{V_{CC}}{R_C} \quad (4.11)$$

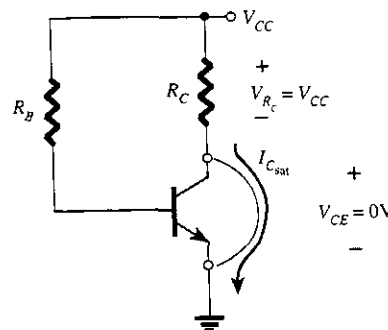


Figura 4.10 Determinación de I_{Csat} para la configuración de polarización fija.

Una vez que I_{Csat} se conoce puede tenerse idea de la corriente máxima posible del colector para el diseño escogido, y el nivel bajo el cual debe permanecer si se espera una amplificación lineal.

EJEMPLO 4.2

Determine el nivel de saturación para la red de la figura 4.7.

Solución

$$I_{Csat} = \frac{V_{CC}}{R_C} = \frac{12 \text{ V}}{2.2 \text{ k}\Omega} \approx 5.45 \text{ mA}$$

El diseño del ejemplo 4.1 dio por resultado $I_{CQ} = 2.35 \text{ mA}$, el cual se localiza lejos del punto de saturación y aproximadamente a la mitad del valor máximo del diseño.

Análisis de recta de carga

El análisis hasta el momento se hizo utilizando el nivel de β correspondiente con el punto Q resultante. Ahora, se investigará la forma en que los parámetros de la red definen el rango posible de puntos Q y la manera en que se determina el punto Q real. La red de la figura 4.11a establece una ecuación de salida que relaciona las variables I_C y V_{CE} de la siguiente manera:

$$V_{CE} = V_{CC} - I_C R_C \quad (4.12)$$

Las características de salida del transistor también relacionan las dos variables I_C y V_{CE} como se muestra en la figura 4.11b.

En esencia, se tiene una ecuación de redes y un conjunto de características que utilizan las mismas variables. La solución común de las dos sucede donde se satisfacen las restricciones establecidas por cada una de manera simultánea. Esto es similar a encontrar la solución para dos ecuaciones simultáneas: una establecida por la red y la otra por las características del dispositivo.

Las características del dispositivo de I_C en función de V_{CE} se ofrecen en la figura 4.11b. Ahora, se debe superponer la línea recta definida por la ecuación (4.12) sobre las características. El método más directo para graficar la ecuación (4.12) sobre las características de salida es mediante el hecho de que una línea recta se encuentra definida por dos puntos. Si se *elige* que I_C sea 0 mA, entonces se especifica el eje horizontal como la línea sobre la cual está localizado un punto. Al sustituir $I_C = 0 \text{ mA}$ en la ecuación (4.12), se encuentra que

$$V_{CE} = V_{CC} - (0)R_C$$

y

$$V_{CE} = V_{CC} |_{I_C = 0 \text{ mA}} \quad (4.13)$$

definiendo un punto para la línea recta de acuerdo con la figura 4.12.

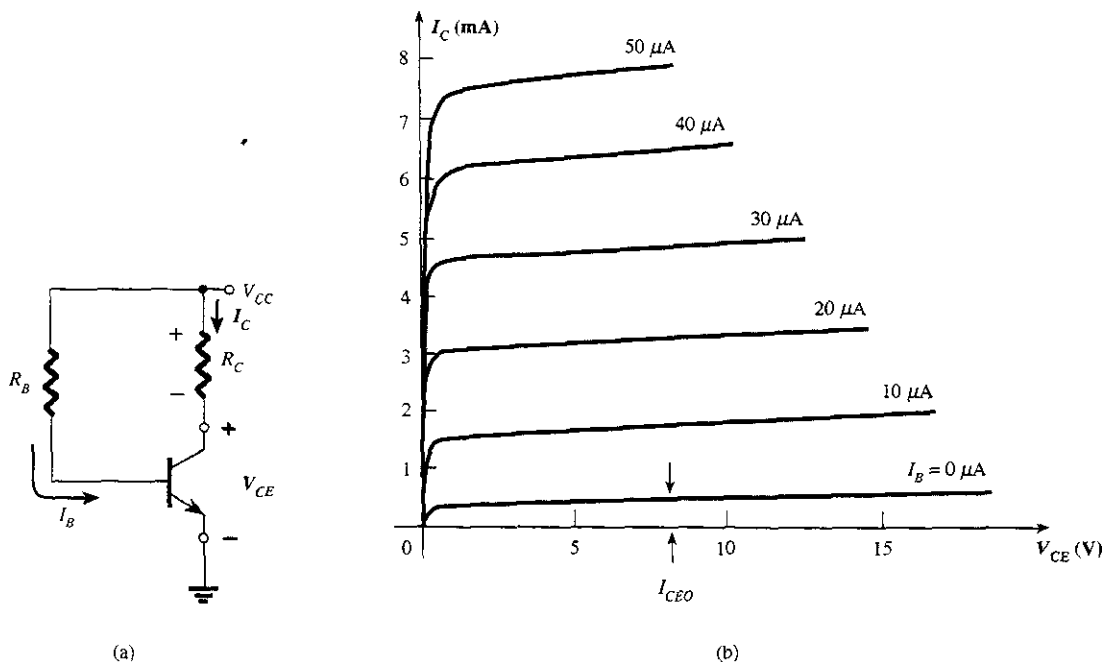


Figura 4.11 Análisis de la recta de carga a) la red b) las características el dispositivo.

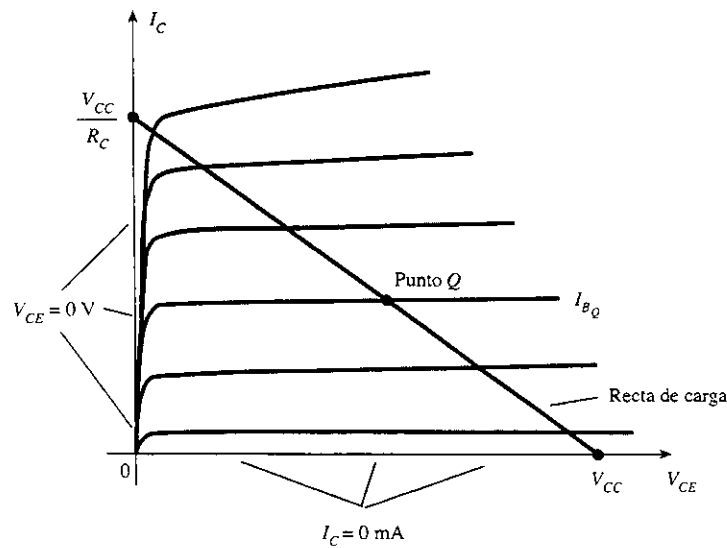


Figura 4.12 Recta de carga para polarización fija.

Ahora, si se *elige* que V_{CE} sea 0 V, lo que establece al eje vertical como la línea sobre la cual estará definido el segundo punto, se tiene que I_C está determinado por la siguiente ecuación:

$$0 = V_{CC} - I_C R_C$$

e

$$I_C = \frac{V_{CC}}{R_C} \Big|_{V_{CE}=0 \text{ V}} \quad (4.14)$$

según aparece en la figura 4.12.

Al unir los dos puntos definidos por las ecuaciones (4.13) y (4.14), se puede dibujar la línea recta establecida por la ecuación (4.12). A la línea resultante sobre la gráfica de la figura 4.12 se le llama *recta de carga* debido a que es definida por el resistor de carga R_C . Mediante la solución para el nivel resultante de I_B puede establecerse el punto Q real que se muestra en la figura 4.12.

Si el nivel de I_B cambia al variar el valor de R_B , el punto Q se desplaza hacia arriba o hacia abajo sobre la recta de carga como se indica en la figura 4.13. Si V_{CC} se conserva fijo y se cambia R_C , la recta de carga se moverá de acuerdo con la figura 4.14. Si I_B se mantiene fijo, el punto Q se desplaza como se indica en la misma figura. Si R_C se mantiene fijo y V_{CC} varía, la recta de carga se mueve igual que en la figura 4.15.

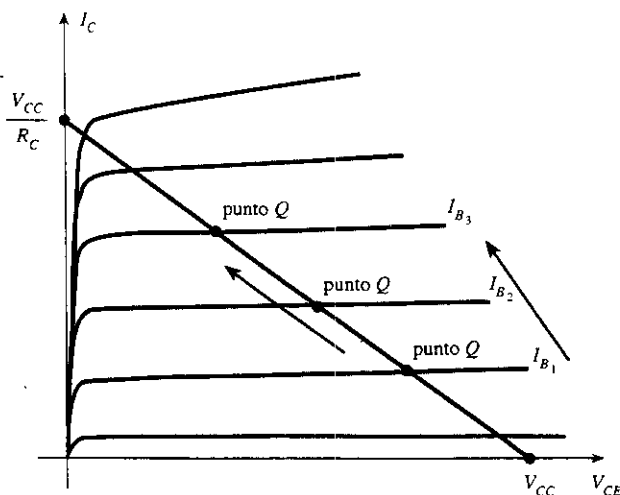


Figura 4.13 Movimiento del punto Q con niveles crecientes de I_B .

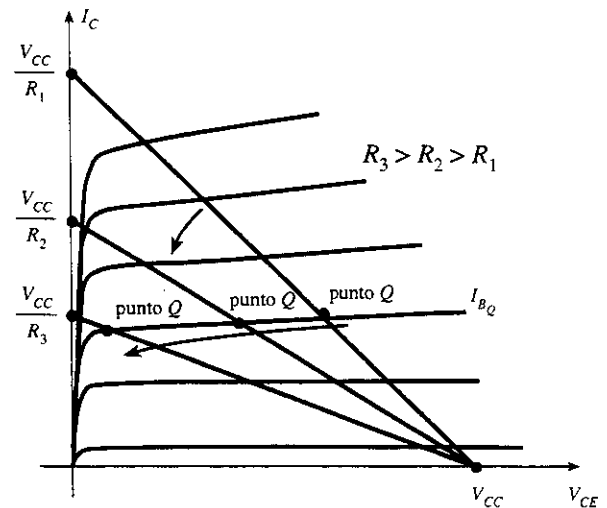


Figura 4.14 Efecto de los niveles crecientes de R_C sobre la recta de carga y el punto Q .

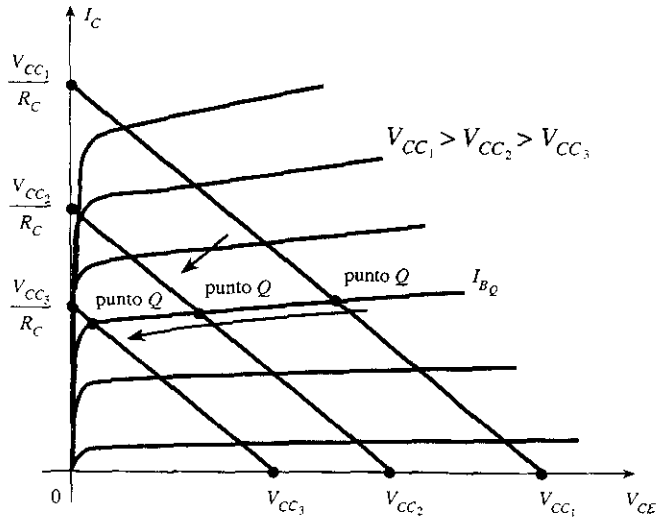


Figura 4.15 Efecto de valores pequeños de V_{CC} sobre la recta de carga y el punto Q .

Dada la recta de carga de la figura 4.16 y el punto Q definido, calcule los valores requeridos de V_{CC} , R_C y R_B para la configuración de polarización fija.

EJEMPLO 4.3

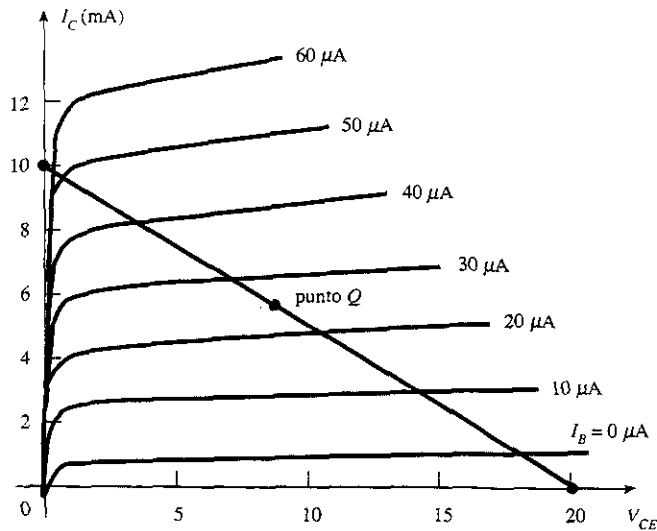


Figura 4.16 Ejemplo 4.3.

Solución

A partir de la figura 4.16

$$V_{CE} = V_{CC} = 20 \text{ V e } I_C = 0 \text{ mA}$$

$$I_C = \frac{V_{CC}}{R_C} \text{ y } V_{CE} = 0 \text{ V}$$

$$y \quad R_C = \frac{V_{CC}}{I_C} = \frac{20 \text{ V}}{10 \text{ mA}} = 2 \text{ k}\Omega$$

$$I_B = \frac{V_{CC} - V_{BE}}{R_B}$$

$$y \quad R_B = \frac{V_{CC} - V_{BE}}{I_B} = \frac{20 \text{ V} - 0.7 \text{ V}}{25 \mu\text{A}} = 772 \text{ k}\Omega$$



4.4 CIRCUITO DE POLARIZACIÓN ESTABILIZADO EN EMISOR

La red de polarización de dc de la figura 4.17 contiene un resistor en el emisor para mejorar el nivel de estabilidad respecto al de la configuración de polarización fija. La mejor estabilidad se demostrará a través de un ejemplo numérico que veremos posteriormente en esta sección. El análisis se llevará a cabo cuando examinemos en primer lugar la malla base-emisor, y posteriormente utilizando los resultados para investigar la malla colector-emisor.

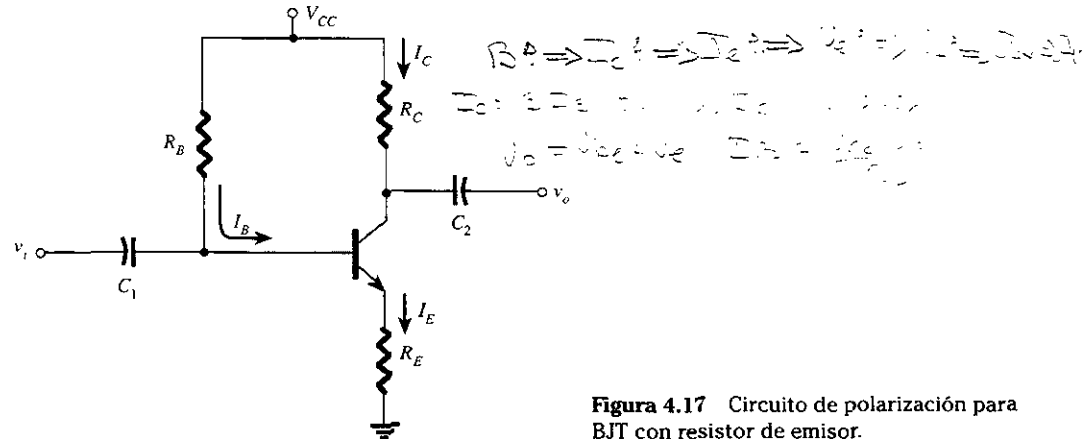


Figura 4.17 Circuito de polarización para BJT con resistor de emisor.

Malla emisor-base

La malla emisor-base de la red de la figura 4.17 puede dibujarse de nuevo igual como se indica en la figura 4.18. La ley de voltaje de Kirchhoff alrededor de la malla indicada en el sentido de las manecillas del reloj dará por resultado la siguiente ecuación:

$$+V_{CC} - I_B R_B - V_{BE} - I_E R_E = 0 \quad (4.15)$$

Recuerde del capítulo 3 que

$$I_E = (\beta + 1) I_B \quad (4.16)$$

Sustituyendo por I_E en la ecuación (4.15) resultará

$$V_{CC} - I_B R_B - V_{BE} - (\beta + 1) I_B R_E = 0$$

La agrupación de los términos ofrecerá lo siguiente:

$$-I_B (R_B + (\beta + 1) R_E) + V_{CC} - V_{BE} = 0$$

Multiplicando por (-1) se tiene

$$I_B (R_B + (\beta + 1) R_E) - V_{CC} + V_{BE} = 0$$

con

$$I_B (R_B + (\beta + 1) R_E) = V_{CC} - V_{BE}$$

y resolviendo para I_B da

$$I_B = \frac{V_{CC} - V_{BE}}{R_B + (\beta + 1) R_E} \quad (4.17)$$

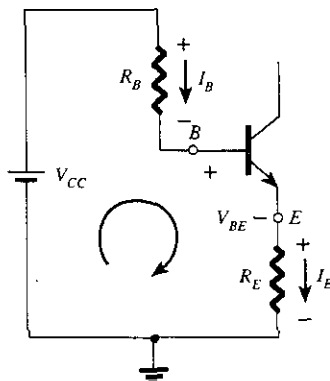


Figura 4.18 Malla base-emisor.

Nótese que la única diferencia entre esta ecuación para I_B y la que se obtuvo para la configuración de polarización fija es el término $(\beta + 1) R_E$.

Existe un resultado interesante que puede derivarse a partir de la ecuación (4.17), si la ecuación se utiliza para dibujar una red en serie que pudiera resultar en la misma ecuación, que

EJEMPLO 4.4

Para la red de polarización en emisor de la figura 4.22, calcule:

- I_B .
- I_C .
- V_{CE} .
- V_C .
- V_E .
- V_B .
- V_{BC} .

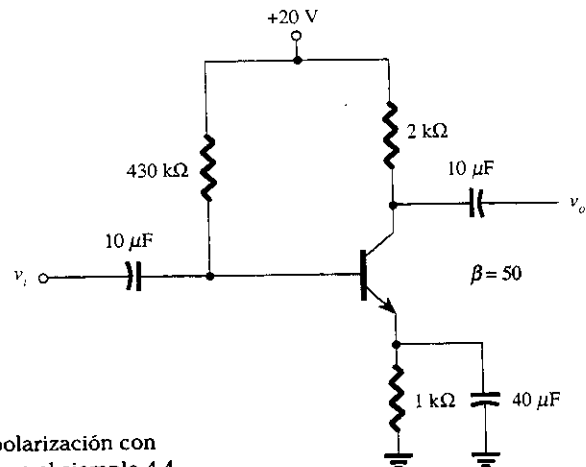


Figura 4.22 Circuito de polarización con estabilización en emisor para el ejemplo 4.4.

Solución

- a) Ecuación (4.17):
- $$I_B = \frac{V_{CC} - V_{BE}}{R_B + (\beta + 1)R_E} = \frac{20 \text{ V} - 0.7 \text{ V}}{430 \text{ k}\Omega + (51)(1 \text{ k}\Omega)}$$
- $$= \frac{19.3 \text{ V}}{481 \text{ k}\Omega} = 40.1 \mu\text{A}$$
- b) $I_C = \beta I_B$
- $$= (50)(40.1 \mu\text{A})$$
- $$\cong 2.01 \text{ mA}$$
- c) Ecuación (4.19): $V_{CE} = V_{CC} - I_C(R_C + R_E)$
- $$= 20 \text{ V} - (2.01 \text{ mA})(2 \text{ k}\Omega + 1 \text{ k}\Omega) = 20 \text{ V} - 6.03 \text{ V}$$
- $$= 13.97 \text{ V}$$
- d) $V_C = V_{CC} - I_C R_C$
- $$= 20 \text{ V} - (2.01 \text{ mA})(2 \text{ k}\Omega) = 20 \text{ V} - 4.02 \text{ V}$$
- $$= 15.98 \text{ V}$$
- e) $V_E = V_C - V_{CE}$
- $$= 15.98 \text{ V} - 13.97 \text{ V}$$
- $$= 2.01 \text{ V}$$
- o $V_E = I_E R_E \cong I_C R_E$
- $$= (2.01 \text{ mA})(1 \text{ k}\Omega)$$
- $$= 2.01 \text{ V}$$
- f) $V_B = V_{BE} + V_E$
- $$= 0.7 \text{ V} + 2.01 \text{ V}$$
- $$= 2.71 \text{ V}$$
- g) $V_{BC} = V_B - V_C$
- $$= 2.71 \text{ V} - 15.98 \text{ V}$$
- $$= -13.27 \text{ V} \quad (\text{con polarización inversa como se requiere})$$

Estabilidad de la polarización mejorada

La adición del resistor del emisor a la polarización en dc del BJT ofrece una mejor estabilidad; esto es, los voltajes y corrientes de polarización de dc permanecen más cerca de donde los fijó el circuito cuando cambian las condiciones externas, como la temperatura y la beta del transistor. Mientras que un análisis matemático se ofrece en la sección 4.12, puede obtenerse una comparación de la mejora como lo demuestra el ejemplo 4.5.

EJEMPLO 4.5

Prepare una tabla y compare las corrientes y voltajes de polarización de los circuitos de la figura 4.7 y la figura 4.22, para el valor dado de $\beta = 50$ y para un nuevo valor de $\beta = 100$. Compare también los cambios en I_C y V_{CE} para el mismo incremento en β .

Solución

Si se utilizan los resultados calculados en el ejemplo 4.1 y se repiten para un valor de $\beta = 100$, se genera lo siguiente:

β	I_B (μA)	I_C (mA)	V_{CE} (V)
50	47.08	2.35	6.83
100	47.08	4.71	1.64

Se aprecia un cambio del 100% en la corriente del colector de BJT debido al cambio del 100% en el valor de β . I_B es el mismo y V_{CE} disminuye 76%.

Utilizando los resultados del ejemplo 4.4 y después repitiéndolos para un valor de $\beta = 100$, da lo siguiente:

β	I_B (μA)	I_C (mA)	V_{CE} (V)
50	40.1	2.01	13.97
100	36.3	3.63	9.11

Ahora, la corriente del colector del BJT se incrementa aproximadamente 81% debido al 100% de incremento en β . Nótese cómo I_B disminuye, y ayuda a mantener el valor de I_C , o por lo menos reduce el cambio total en I_C debido al cambio en β . El cambio en V_{CE} ha caído cerca del 35%. La red de la figura 4.22 es, por tanto, más estable que la de la figura 4.7 para el mismo cambio en β .

Nivel de saturación

El nivel de saturación del colector o la corriente máxima del colector para un diseño de polarización en emisor puede determinarse si se utiliza el mismo método aplicado para la configuración de polarización fija: se aplica un corto circuito entre las terminales del colector-emisor como se muestra en la figura 4.23, y luego se calcula la corriente del colector resultante. Para la figura 4.23:

$$I_{C_{sat}} = \frac{V_{CC}}{R_C + R_E} \quad (4.25)$$

La adición del resistor de emisor reduce el nivel de saturación del colector, abajo del que se obtuvo con una configuración de polarización fija utilizando el mismo resistor del colector.

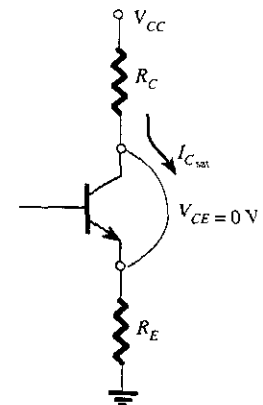


Figura 4.23 Determinación de $I_{C_{sat}}$ para el circuito de polarización con estabilidad en emisor.

EJEMPLO 4.6

Determine la corriente de saturación para la red del ejemplo 4.4.

Solución

$$\begin{aligned} I_{C_{\text{sat}}} &= \frac{V_{CC}}{R_C + R_E} \\ &= \frac{20 \text{ V}}{2 \text{ k}\Omega + 1 \text{ k}\Omega} = \frac{20 \text{ V}}{3 \text{ k}\Omega} \\ &= 6.67 \text{ mA} \end{aligned}$$

que es más o menos el doble del nivel de I_{C_Q} para el ejemplo 4.4.

Análisis por recta de carga

El análisis por recta de carga para la red de polarización en emisor es poco diferente de la que se encontró para la configuración de polarización fija. El nivel de I_B como lo determinó la ecuación (4.17) define el nivel de I_B sobre las características de la figura 4.24 (denotado I_{B_Q}).

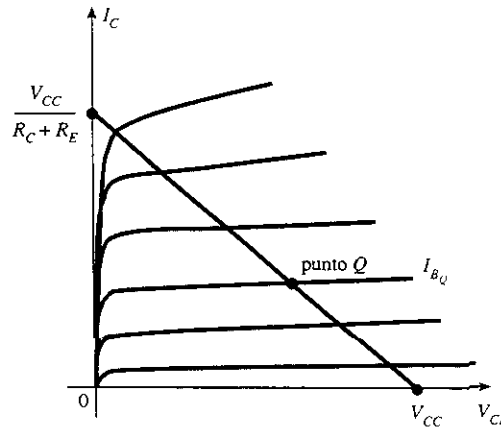


Figura 4.24 Recta de carga para la configuración de polarización en emisor.

La ecuación de la malla colector-emisor que define la recta de carga es la siguiente:

$$V_{CE} = V_{CC} - I_C(R_C + R_E)$$

La selección de $I_C = 0 \text{ mA}$ da

$$V_{CE} = V_{CC} \big|_{I_C = 0 \text{ mA}} \quad (4.26)$$

según se obtiene para la configuración de polarización fija. La elección de $V_{CE} = 0 \text{ V}$ da

$$I_C = \frac{V_{CC}}{R_C + R_E} \big|_{V_{CE} = 0 \text{ V}} \quad (4.27)$$

como se muestra en la figura 4.24. Los diferentes niveles de I_{B_Q} desplazarán, desde luego, el punto Q hacia arriba o hacia abajo de la recta de carga.

4.5 POLARIZACIÓN POR DIVISOR DE VOLTAJE

En las configuraciones de polarización previas a la corriente de polarización I_{C_Q} y el voltaje V_{CE_Q} de polarización eran una función de la ganancia en corriente (β) del transistor. Sin embargo, debido a que β es sensible a la temperatura, especialmente para los transistores de silicio, y de que el valor real de beta por lo general, no está bien definido, lo mejor sería desarrollar un

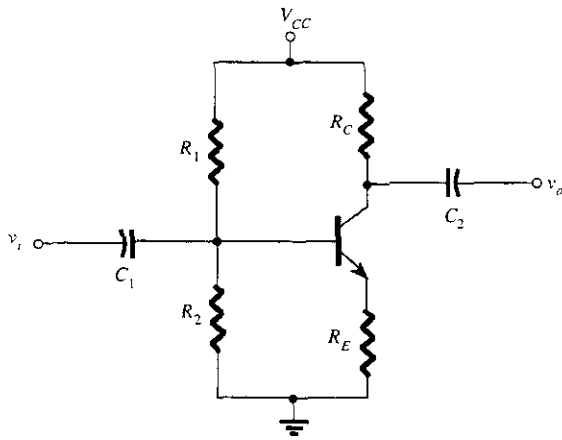


Figura 4.25 Configuración de polarización por divisor de voltaje.

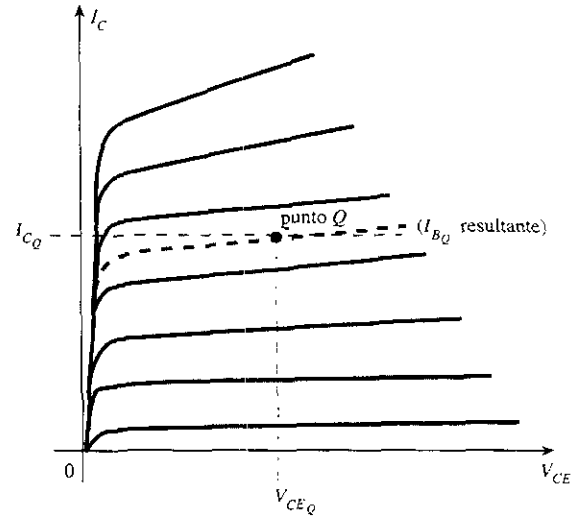


Figura 4.26 Definición del punto Q para la configuración de polarización por divisor de voltaje.

circuito que fuera menos dependiente o, de hecho, independiente de la beta del transistor. La red a la que nos referimos es configuración de polarización por divisor de voltaje de la figura 4.25. Si se analiza sobre una base exacta la sensibilidad a los cambios en beta, resulta ser muy pequeña. Si los parámetros del circuito se eligen adecuadamente, los niveles resultantes de I_{CQ} y de V_{CEQ} pueden ser casi totalmente independientes de beta. Recuerde que en análisis anteriores el punto Q estaba definido por un nivel fijo de I_{CQ} y de V_{CEQ} , como se muestra en la figura 4.26. El nivel de I_{BQ} cambiará con el cambio en beta, pero el punto de operación definido sobre las características por I_{CQ} y V_{CEQ} puede permanecer fijo si se utilizan los parámetros adecuados del circuito.

Como antes se observó, existen dos métodos que pueden aplicarse para analizar la configuración del divisor de voltaje. El motivo principal para elegir los nombres en esta configuración será más obvio en el análisis que sigue. El primero que vamos a demostrar es el *método exacto* que puede aplicarse en *cualquier* configuración de divisor de voltaje. Al segundo se le llama *método aproximado* y puede introducirse sólo si son satisfechas las condiciones específicas. El método aproximado permite un análisis más directo con un mayor ahorro en tiempo y en energía. También es más útil en el modo de diseño que será descrito en una sección posterior. En conjunto, el método aproximado puede aplicarse a la mayoría de las situaciones y, por tanto, debe ser examinado con el mismo interés que el método exacto.

Análisis exacto

El lado de entrada de la red de la figura 4.25 puede volver a dibujarse según se muestra en la figura 4.27 para el análisis en dc. La red equivalente Thévenin a la izquierda de la terminal de la base puede encontrarse de la siguiente manera:

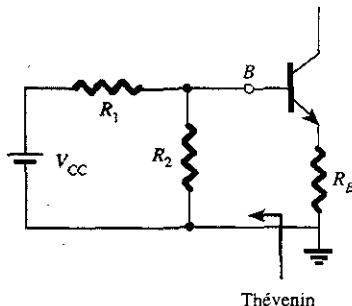


Figura 4.27 Redibujo de la malla de entrada de la red de la figura 4.25.

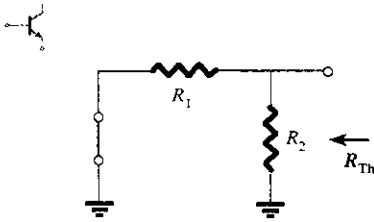


Figura 4.28 Determinación de R_{Th} .

R_{Th} : La fuente de voltaje se reemplaza por un corto circuito equivalente como se indica en la figura 4.28.

$$R_{Th} = R_1 \parallel R_2 \quad (4.28)$$

E_{Th} : La fuente de voltaje V_{CC} regresa al circuito y el voltaje de circuito abierto Thévenin de la figura 4.29 se calcula de la siguiente manera:

La aplicación de la regla del divisor de voltaje:

$$E_{Th} = V_{R_2} = \frac{R_2 V_{CC}}{R_1 + R_2} \quad (4.29)$$

Después se vuelve a dibujar la red Thévenin como se muestra en la figura 4.30 e I_{BQ} puede calcularse al aplicar primero la ley de voltaje de Kirchhoff en la dirección de las manecillas del reloj para la malla que se indica:

$$E_{Th} - I_B R_{Th} - V_{BE} - I_E R_E = 0$$

Sustituyendo $I_E = (\beta + 1)I_B$ y resolviendo para I_B

$$I_B = \frac{E_{Th} - V_{BE}}{R_{Th} + (\beta + 1)R_E} \quad (4.30)$$

Aunque la ecuación (4.30) aparece al principio diferente de las que se desarrollaron antes, obsérvese que el numerador es, una vez más, una diferencia de dos niveles de voltaje y que el denominador es la resistencia de la base más el resistor de emisor reflejado por $(\beta + 1)$, ciertamente muy similar a la ecuación (4.17).

Una vez que I_B se conoce, las cantidades restantes de la red pueden establecerse de la misma manera como fueron desarrolladas para la configuración de polarización en emisor. Esto es,

$$V_{CE} = V_{CC} - I_C(R_C + R_E) \quad (4.31)$$

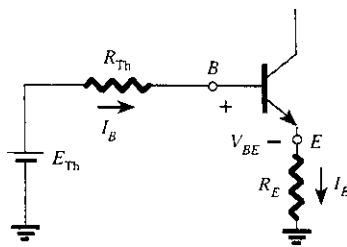


Figura 4.30 Inserción del circuito equivalente de Thévenin.

que es exactamente la misma que la ecuación (4.19). Las ecuaciones restantes para V_E , V_C y V_B son las mismas que se obtuvieron para la configuración de polarización en emisor.

EJEMPLO 4.7

Determine el voltaje de polarización de dc V_{CE} y la corriente I_C para la siguiente configuración de divisor de voltaje de la figura 4.31.

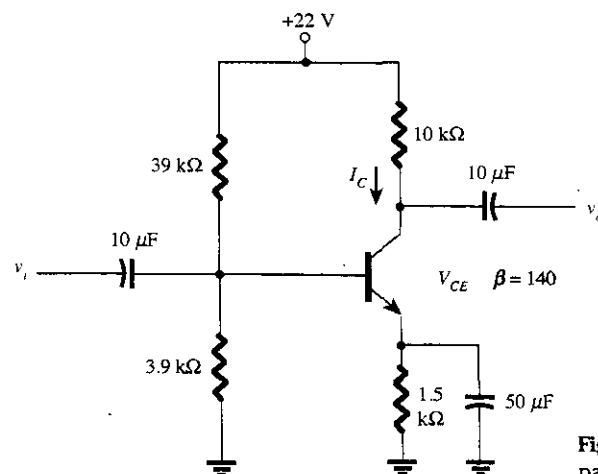


Figura 4.31 Circuito para beta estabilizada para el ejemplo 4.7.

Solución

La ecuación (4.28): $R_{Th} = R_1 || R_2$

$$= \frac{(39 \text{ k}\Omega)(3.9 \text{ k}\Omega)}{39 \text{ k}\Omega + 3.9 \text{ k}\Omega} = 3.55 \text{ k}\Omega$$

La ecuación (4.29): $E_{Th} = \frac{R_2 V_{CC}}{R_1 + R_2}$

$$= \frac{(3.9 \text{ k}\Omega)(22 \text{ V})}{39 \text{ k}\Omega + 3.9 \text{ k}\Omega} = 2 \text{ V}$$

La ecuación (4.30): $I_B = \frac{E_{Th} - V_{BE}}{R_{Th} + (\beta + 1)R_E}$

$$= \frac{2 \text{ V} - 0.7 \text{ V}}{3.55 \text{ k}\Omega + (141)(1.5 \text{ k}\Omega)} = \frac{1.3 \text{ V}}{3.55 \text{ k}\Omega + 211.5 \text{ k}\Omega}$$

$$= 6.05 \mu\text{A}$$

$$I_C = \beta I_B$$

$$= (140)(6.05 \mu\text{A})$$

$$= 0.85 \text{ mA}$$

La ecuación (4.31): $V_{CE} = V_{CC} - I_C(R_C + R_E)$

$$= 22 \text{ V} - (0.85 \text{ mA})(10 \text{ k}\Omega + 1.5 \text{ k}\Omega)$$

$$= 22 \text{ V} - 9.78 \text{ V}$$

$$= 12.22 \text{ V}$$

Análisis aproximado

La sección de entrada de la configuración del divisor de voltaje se representa por la red de la figura 4.32. La resistencia R_i es la resistencia equivalente entre la base y tierra para el transistor con un resistor de emisor R_E . Recuerde que, como se vio en la sección 4.4 [ecuación (4.18)], la resistencia reflejada entre la base y el emisor está definida por $R_i = (\beta + 1)R_E$. Si R_i es mucho mayor que la resistencia R_2 , la corriente I_B será mucho menor que I_2 (la corriente siempre busca la trayectoria de menor resistencia), e I_2 será aproximadamente igual a I_1 . Si se acepta la aproximación de que I_B es esencialmente cero comparada con I_1 o I_2 , entonces $I_1 = I_2$ y R_1 y R_2 pueden considerarse elementos en serie. El voltaje a través de R_2 , que en realidad es el voltaje

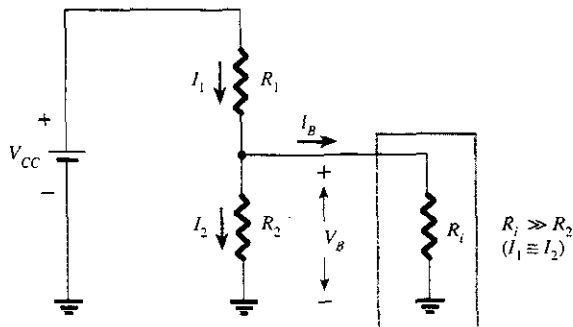


Figura 4.32 Circuito de polarización parcial para calcular el voltaje de base aproximado V_B .

base, puede calcularse mediante el uso de la regla del divisor de voltaje (de ahí el nombre para la configuración). Esto es,

$$V_B = \frac{R_2 V_{CC}}{R_1 + R_2} \quad (4.32)$$

Debido a que $R_i = (\beta + 1)R_E \cong \beta R_E$, la condición que definirá, en caso que pueda aplicarse a la aproximación, será la siguiente:

$$\beta R_E \geq 10R_2 \quad (4.33)$$

En otras palabras, si beta a veces es el valor de R_E es por lo menos 10 veces el valor de R_2 , la aproximación podrá aplicarse con un alto grado de precisión.

Una vez determinado V_B , el nivel de V_E puede calcularse a partir de

$$V_E = V_B - V_{BE} \quad (4.34)$$

y la corriente del emisor podrá calcularse a partir de

$$I_E = \frac{V_E}{R_E} \quad (4.35)$$

e

$$I_{CQ} \cong I_E \quad (4.36)$$

El voltaje del colector-emisor se encuentra determinado por

$$V_{CE} = V_{CC} - I_C R_C - I_E R_E$$

pero dado que $I_E \cong I_C$,

$$V_{CEQ} = V_{CC} - I_C(R_C + R_E) \quad (4.37)$$

Nótese en la secuencia de cálculos desde la ecuación (4.33) a la ecuación (4.37) que beta no aparece y que I_B no fue calculada. El punto Q (según se determinó mediante I_{CQ} y V_{CEQ}) es por tanto independiente del valor de beta.

EJEMPLO 4.8

Repita el análisis de la figura 4.31 utilizando la técnica aproximada y compare las soluciones para I_{CQ} y para V_{CEQ} .

Solución

Probando:

$$\begin{aligned} \beta R_E &\geq 10R_2 \\ (140)(1.5 \text{ k}\Omega) &\geq 10(3.9 \text{ k}\Omega) \\ 210 \text{ k}\Omega &\geq 39 \text{ k}\Omega \quad (\text{satisfecha}) \end{aligned}$$

$$\begin{aligned} \text{La ecuación (4.32): } V_B &= \frac{R_2 V_{CC}}{R_1 + R_2} \\ &= \frac{(3.9 \text{ k}\Omega)(22 \text{ V})}{39 \text{ k}\Omega + 3.9 \text{ k}\Omega} \\ &= 2 \text{ V} \end{aligned}$$

Obsérvese que el nivel de V_B es el mismo que para E_{Th} calculado en el ejemplo 4.7. Por tanto, esencialmente la principal diferencia entre las técnicas aproximada y exacta es el efecto de R_{Th} en el análisis exacto que separa E_{Th} y V_B .

$$\begin{aligned}\text{La ecuación (4.34): } V_E &= V_B - V_{BE} \\ &= 2 \text{ V} - 0.7 \text{ V} \\ &= 1.3 \text{ V}\end{aligned}$$

$$I_{C_Q} \equiv I_E = \frac{V_E}{R_E} = \frac{1.3 \text{ V}}{1.5 \text{ k}\Omega} = 0.867 \text{ mA}$$

comparada con 0.85 mA con el análisis exacto. Finalmente,

$$\begin{aligned}V_{CE_Q} &= V_{CC} - I_C(R_C + R_E) \\ &= 22 \text{ V} - (0.867 \text{ mA})(10 \text{ k}\Omega + 1.5 \text{ k}\Omega) \\ &= 22 \text{ V} - 9.97 \text{ V} \\ &= 12.03 \text{ V}\end{aligned}$$

contra 12.22 V obtenido en el ejemplo 4.7.

Sin duda, los resultados para I_{C_Q} y para V_{CE_Q} se encuentran cercanos, y si se toma en cuenta la variación real en los valores de los parámetros, puede considerarse tanto a uno como al otro. Mientras más grande es el nivel de R_i comparado con R_2 , más cercana será la solución aproximada sobre la exacta. El ejemplo 4.10 hace una comparación sobre las soluciones a un nivel muy por debajo de la condición establecida por la ecuación (4.33).

Repita el análisis exacto del ejemplo 4.7 si β se reduce a 70 y compare las soluciones para I_{C_Q} y para V_{CE_Q} .

EJEMPLO 4.9

Solución

Este ejemplo no trata de la comparación de los métodos exactos en función de uno aproximado, sino de probar cuánto se moverá el punto Q si el nivel de β se corta por la mitad. R_{Th} y E_{Th} son los mismos:

$$\begin{aligned}R_{Th} &= 3.55 \text{ k}\Omega, \quad E_{Th} = 2 \text{ V} \\ I_B &= \frac{E_{Th} - V_{BE}}{R_{Th} + (\beta + 1)R_E} \\ &= \frac{2 \text{ V} - 0.7 \text{ V}}{3.55 \text{ k}\Omega + (71)(1.5 \text{ k}\Omega)} = \frac{1.3 \text{ V}}{3.55 \text{ k}\Omega + 106.5 \text{ k}\Omega} \\ &= 11.81 \mu\text{A} \\ I_{C_Q} &= \beta I_B \\ &= (70)(11.81 \mu\text{A}) \\ &= 0.83 \text{ mA} \\ V_{CE_Q} &= V_{CC} - I_C(R_C + R_E) \\ &= 22 \text{ V} - (0.83 \text{ mA})(10 \text{ k}\Omega + 1.5 \text{ k}\Omega) \\ &= 12.46 \text{ V}\end{aligned}$$

Al tabular los resultados se obtiene:

β	I_{C_Q}	V_{CE_Q}
140	0.85 mA	12.22 V
70	0.83 mA	12.46 V

Los resultados muestran claramente la relativa insensibilidad del circuito hacia el cambio en β . Aunque β se corte drásticamente a la mitad, de 140 a 70, los niveles de I_{C_Q} y de V_{CE_Q} son en esencia los mismos.

EJEMPLO 4.10

Determine los niveles de I_{C_Q} y de V_{CE_Q} para la configuración del divisor de voltaje de la figura 4.33, utilizando las técnicas exacta y aproximada para comparar las soluciones. En este caso las condiciones de la ecuación (4.33) no serán satisfechas, pero los resultados revelarán la diferencia de la solución si se ignora el criterio de la ecuación (4.33).

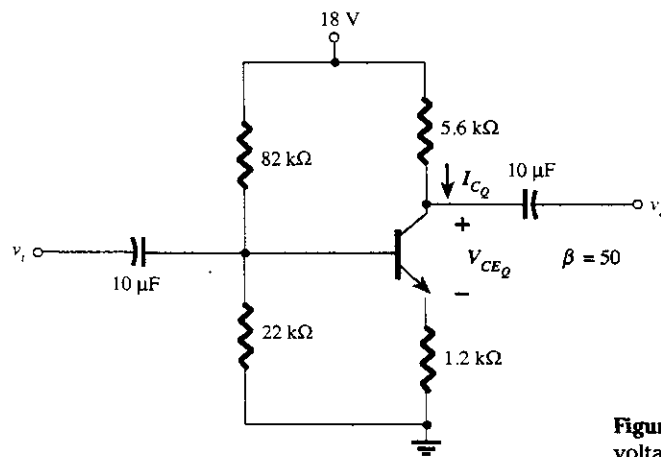


Figura 4.33 Configuración de divisor de voltaje para el ejemplo 4.10.

Solución

Análisis exacto:

$$\text{La ecuación (4.33): } \beta R_E \geq 10R_2$$

$$(50)(1.2 \text{ k}\Omega) \geq 10(22 \text{ k}\Omega)$$

$$60 \text{ k}\Omega \not\geq 220 \text{ k}\Omega \text{ (no satisfecha)}$$

$$R_{Th} = R_1 \parallel R_2 = 82 \text{ k}\Omega \parallel 22 \text{ k}\Omega = 17.35 \text{ k}\Omega$$

$$E_{Th} = \frac{R_2 V_{CC}}{R_1 + R_2} = \frac{22 \text{ k}\Omega (18 \text{ V})}{82 \text{ k}\Omega + 22 \text{ k}\Omega} = 3.81 \text{ V}$$

$$I_B = \frac{E_{Th} - V_{BE}}{R_{Th} + (\beta + 1)R_E} = \frac{3.81 \text{ V} - 0.7 \text{ V}}{17.35 \text{ k}\Omega + (51)(1.2 \text{ k}\Omega)} = \frac{3.11 \text{ V}}{78.55 \text{ k}\Omega} = 39.6 \text{ }\mu\text{A}$$

$$I_{C_Q} = \beta I_B = (50)(39.6 \text{ }\mu\text{A}) = 1.98 \text{ mA}$$

$$\begin{aligned} V_{CE_Q} &= V_{CC} - I_C(R_C + R_E) \\ &= 18 \text{ V} - (1.98 \text{ mA})(5.6 \text{ k}\Omega + 1.2 \text{ k}\Omega) \\ &= 4.54 \text{ V} \end{aligned}$$



Análisis aproximado:

$$V_B = E_{Th} = 3.81 \text{ V}$$

$$V_E = V_B - V_{BE} = 3.81 \text{ V} - 0.7 \text{ V} = 3.11 \text{ V}$$

$$I_{C_Q} \cong I_E = \frac{V_E}{R_E} = \frac{3.11 \text{ V}}{1.2 \text{ k}\Omega} = 2.59 \text{ mA}$$

$$\begin{aligned} V_{CE_Q} &= V_{CC} - I_C(R_C + R_E) \\ &= 18 \text{ V} - (2.59 \text{ mA})(5.6 \text{ k}\Omega + 1.2 \text{ k}\Omega) \\ &= 3.88 \text{ V} \end{aligned}$$

Tabulando los resultados, se tiene:

	I_{C_Q}	V_{CE_Q}
Exacta	1.98 mA	4.54 V
Aproximada	2.59 mA	3.88 V

Los resultados revelan la diferencia entre las soluciones exacta y aproximada. I_{C_Q} es aproximadamente 30% más grande con la solución aproximada; mientras que V_{CE_Q} es más o menos 10% menor. Los resultados son notablemente diferentes en cuanto a magnitud, pero aunque βR_E es sólo tres veces más grande que R_2 , los resultados son todavía cercanos uno del otro. Sin embargo, para el futuro el análisis será dictado por la ecuación (4.33) para asegurar una similitud entre las soluciones exacta y aproximada.

Saturación del transistor

El circuito de salida del colector-emisor para la configuración del divisor de voltaje tiene la misma apariencia que el circuito de polarización en emisor, que fue analizado en la sección 4.4. La ecuación resultante para la corriente de saturación (cuando V_{CE} se hace cero volts) es, por tanto, la misma que se obtuvo para la configuración de polarización en emisor. Esto es,

$$I_{C_{sat}} = I_{C_{máx}} = \frac{V_{CC}}{R_C + R_E} \quad (4.38)$$

Análisis por recta de carga

Las similitudes con el circuito de salida de la configuración de polarización en emisor dan como resultado las mismas intersecciones para la recta de carga de la configuración del divisor de voltaje. Por tanto, la recta de carga tendrá la misma apariencia que la de la figura 4.24, con

$$I_C = \frac{V_{CC}}{R_C + R_E} \Big|_{V_{CE}=0 \text{ V}} \quad (4.39)$$

y

$$V_{CE} = V_{CC} \Big|_{I_C=0 \text{ mA}} \quad (4.40)$$

El nivel de I_B desde luego se determina mediante una ecuación diferente para las configuraciones de polarización por divisor de voltaje y de polarización en emisor.

4.6 POLARIZACIÓN DE DC POR RETROALIMENTACIÓN DE VOLTAJE

Un nivel mejorado de estabilidad también se obtiene mediante la introducción de una trayectoria de retroalimentación desde el colector a la base, como se muestra en la figura 4.34. Aunque el punto Q no es totalmente independiente de β (aun bajo condiciones aproximadas), la sensibilidad a los cambios en β o a las variaciones en temperatura son normalmente menores que las encontradas en la configuración de polarización fija o de polarización en emisor. De nuevo, el análisis se hará examinando en primer lugar la malla emisor-base y aplicando los resultados a la malla colector-emisor.

Malla base-emisor

La figura 4.35 muestra la malla base-emisor para la configuración de retroalimentación de voltaje. La aplicación de la ley de voltaje de Kirchhoff alrededor de la malla en el sentido de las manecillas del reloj dará por resultado

$$V_{CC} - I'_C R_C - I_B R_B - V_{BE} - I_E R_E = 0$$

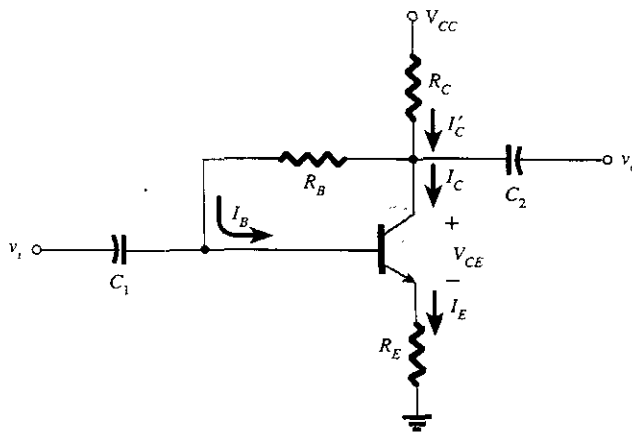


Figura 4.34 Circuito de polarización de dc con retroalimentación de voltaje.

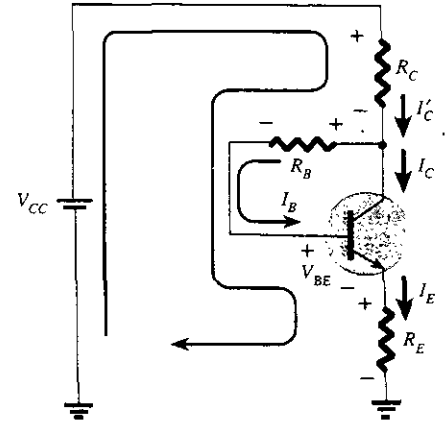


Figura 4.35 Malla base-emisor para la red de la figura 4.34.

Es importante observar que la corriente a través de R_C no es I_C sino I'_C (donde $I'_C = I_C + I_B$). Sin embargo, el nivel de I_C e I'_C supera por mucho el nivel normal de I_B y la aproximación $I'_C \cong I_C$ por lo general se utiliza. Sustituyendo $I'_C \cong I_C = \beta I_B$ e $I_E \cong I_C$ resultará

$$V_{CC} - \beta I_B R_C - I_B R_B - V_{BE} - \beta I_B R_E = 0$$

Si se arreglan los términos, se tiene

$$V_{CC} - V_{BE} - \beta I_B (R_C + R_E) - I_B R_B = 0$$

y resolviendo para I_B dará

$$I_B = \frac{V_{CC} - V_{BE}}{R_B + \beta(R_C + R_E)} \quad (4.41)$$

El resultado es muy interesante en cuanto a que el formato es muy similar a las ecuaciones para I_B obtenidas para configuraciones anteriores. El numerador es de nuevo la diferencia entre los niveles disponibles de voltaje, mientras que el denominador es la resistencia de la base más los resistores del colector y del emisor reflejados por β . Por tanto, la trayectoria de retroalimentación da por resultado un reflejo de la resistencia R_C de regreso al circuito de entrada, muy similar al reflejo de R_E .

En general, la ecuación para I_B ha tenido el siguiente formato:

$$I_B = \frac{V'}{R_B + \beta R'}$$

con la ausencia de R' para la configuración de polarización fija, $R' = R_E$ para la configuración de polarización en emisor (con $(\beta + 1) \cong \beta$), y $R' = R_C + R_E$ para la configuración de retroalimentación del colector. El voltaje V' es la diferencia entre los dos niveles de voltaje.

Ya que $I_C = \beta I_B$,

$$I_{C_Q} = \frac{\beta V'}{R_B + \beta R'}$$

En general, mientras más grande sea $\beta R'$ comparado con R_B , menor será la sensibilidad de I_{C_Q} a las variaciones en beta. Obviamente, si $\beta R' \gg R_B$ y $R_B + \beta R' \cong \beta R'$, entonces

$$I_{C_Q} = \frac{\beta V'}{R_B + \beta R'} \cong \frac{\beta V'}{\beta R'} = \frac{V'}{R'}$$

e I_{C_Q} es independiente al valor de beta. Debido a que R' normalmente es mayor para la configuración de retroalimentación de voltaje que para la configuración de polarización en emisor, la sensibilidad a las variaciones en beta será menor. Desde luego, R' es cero ohms para la configuración de polarización fija y por tanto bastante sensible a las variaciones en beta.

Malla colector-emisor

La malla colector-emisor para la red de la figura 4.34 se presenta en la figura 4.36. La aplicación de la ley de voltaje de Kirchhoff para la malla indicada en la dirección de las manecillas del reloj dará por resultado

$$I_E R_E + V_{CE} + I'_C R_C - V_{CC} = 0$$

Debido a que $I'_C \cong I_C$ y que $I_E \cong I_C$, se tiene

$$I_C (R_C + R_E) + V_{CE} - V_{CC} = 0$$

y

$$V_{CE} = V_{CC} - I_C (R_C + R_E) \quad (4.42)$$

la cual es exactamente la obtenida para las configuraciones de polarización en emisor y de polarización por divisor de voltaje.

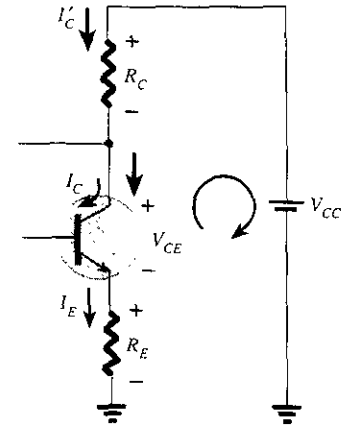


Figura 4.36 Malla colector-emisor para la red de la figura 4.34.

Determinar los niveles de reposo de I_{C_Q} y de V_{CE_Q} para la red de la figura 4.37.

EJEMPLO 4.11

Solución

$$\begin{aligned} \text{Ecuación (4.41): } I_B &= \frac{V_{CC} - V_{BE}}{R_B + \beta(R_C + R_E)} \\ &= \frac{10 \text{ V} - 0.7 \text{ V}}{250 \text{ k}\Omega + (90)(4.7 \text{ k}\Omega + 1.2 \text{ k}\Omega)} \\ &= \frac{9.3 \text{ V}}{250 \text{ k}\Omega + 531 \text{ k}\Omega} = \frac{9.3 \text{ V}}{781 \text{ k}\Omega} \\ &= 11.91 \text{ }\mu\text{A} \\ I_{C_Q} &= \beta I_B = (90)(11.91 \text{ }\mu\text{A}) \\ &= 1.07 \text{ mA} \\ V_{CE_Q} &= V_{CC} - I_C(R_C + R_E) \\ &= 10 \text{ V} - (1.07 \text{ mA})(4.7 \text{ k}\Omega + 1.2 \text{ k}\Omega) \\ &= 10 \text{ V} - 6.31 \text{ V} \\ &= 3.69 \text{ V} \end{aligned}$$

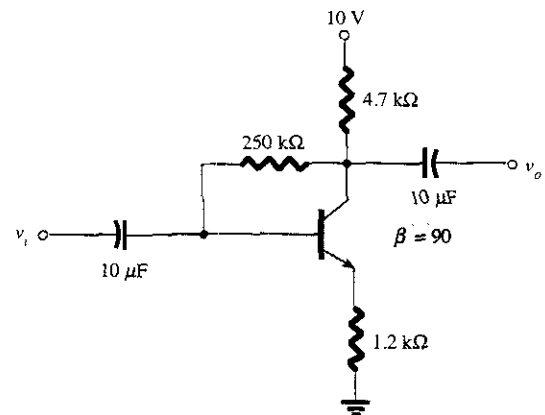


Figura 4.37 Red para el ejemplo 4.11.

EJEMPLO 4.12

Repetir el ejemplo 4.11 utilizando una beta de 135 (50% más que en el ejemplo 4.11).

Solución

Es importante observar en la solución para I_B en el ejemplo 4.11, que el segundo término en el denominador de la ecuación es mayor que el primero. Recuerde que en uno de los análisis anteriores, mientras mayor es este segundo término comparado con el primero, menor será la sensibilidad a los cambios en beta. En este ejemplo, el nivel de beta se incrementa en 50%, lo cual hará que aumente la magnitud de este segundo término aún más comparado con el primero. Sin embargo, es más importante observar en estos ejemplos que una vez que el segundo término es relativamente más grande comparado con el primero, la sensibilidad a los cambios en beta resulta ser significativamente menor.

Resolviendo para I_B da

$$\begin{aligned} I_B &= \frac{V_{CC} - V_{BE}}{R_B + \beta(R_C + R_E)} = \frac{10 \text{ V} - 0.7 \text{ V}}{250 \text{ k}\Omega + (135)(4.7 \text{ k}\Omega + 1.2 \text{ k}\Omega)} \\ &= \frac{9.3 \text{ V}}{250 \text{ k}\Omega + 796.5 \text{ k}\Omega} = \frac{9.3 \text{ V}}{1046.5 \text{ k}\Omega} \\ &= 8.89 \text{ }\mu\text{A} \end{aligned}$$

$$\begin{aligned} e \quad I_{C_Q} &= \beta I_B \\ &= (135)(8.89 \text{ }\mu\text{A}) \\ &= 1.2 \text{ mA} \end{aligned}$$

$$\begin{aligned} \text{con } V_{CE_Q} &= V_{CC} - I_C(R_C + R_E) \\ &= 10 \text{ V} - (1.2 \text{ mA})(4.7 \text{ k}\Omega + 1.2 \text{ k}\Omega) \\ &= 10 \text{ V} - 7.08 \text{ V} \\ &= 2.92 \text{ V} \end{aligned}$$

Aunque el nivel de β se incrementó 50%, el nivel de I_{C_Q} únicamente se elevó al 12.1%, mientras que el nivel de V_{CE_Q} decayó aproximadamente 20.9%. Si la red fuera un diseño de polarización fija, un incremento del 50% en β hubiera causado un aumento del 50% en I_{C_Q} , y un cambio drástico en la localización del punto Q .

EJEMPLO 4.13

Determine el nivel de I_B y de V_C para la red de la figura 4.38.

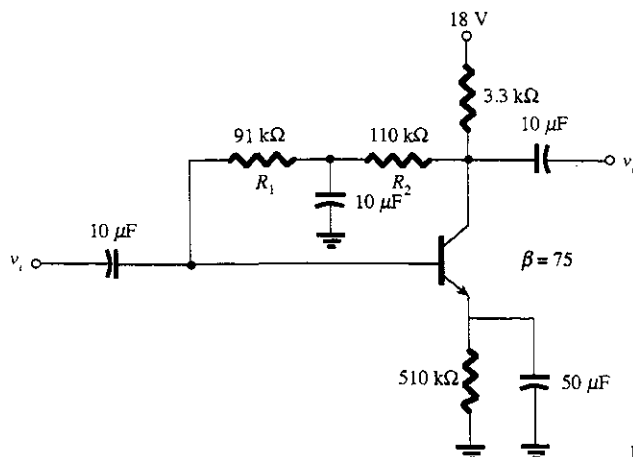


Figura 4.38 Red para el ejemplo 4.13.

Solución

En este caso la resistencia de la base para el análisis en dc está compuesto de dos resistores con un capacitor conectado a partir de la unión con tierra. Para el modo de dc, el capacitor es equivalente a un circuito abierto y $R_B = R_1 + R_2$.

Resolviendo para I_B se obtiene

$$\begin{aligned} I_B &= \frac{V_{CC} - V_{BE}}{R_B + \beta(R_C + R_E)} \\ &= \frac{18 \text{ V} - 0.7 \text{ V}}{(91 \text{ k}\Omega + 110 \text{ k}\Omega) + (75)(3.3 \text{ k}\Omega + 0.51 \text{ k}\Omega)} \\ &= \frac{17.3 \text{ V}}{201 \text{ k}\Omega + 285.75 \text{ k}\Omega} = \frac{17.3 \text{ V}}{486.75 \text{ k}\Omega} \\ &= 35.5 \mu\text{A} \\ I_C &= \beta I_B \\ &= (75)(35.5 \mu\text{A}) \\ &= 2.66 \text{ mA} \\ V_C &= V_{CC} - I_C' R_C \cong V_{CC} - I_C R_C \\ &= 18 \text{ V} - (2.66 \text{ mA})(3.3 \text{ k}\Omega) \\ &= 18 \text{ V} - 8.78 \text{ V} \\ &= 9.22 \text{ V} \end{aligned}$$

Condiciones de saturación

Utilice la aproximación de $I_C' = I_C$ que es una ecuación para la corriente de saturación, y resulta ser la misma que se obtuvo para las configuraciones del divisor de voltaje y de polarización en emisor. Esto es

$$I_{C_{\text{sat}}} = I_{C_{\text{máx}}} = \frac{V_{CC}}{R_C + R_E} \quad (4.43)$$

Análisis por recta de carga

Proseguimos con la aproximación $I_C' = I_C$ y da por resultado la misma recta de carga definida para las configuraciones del divisor de voltaje y de polarización en emisor. El nivel de I_{B_Q} será definido por la configuración de polarización elegida.

4.7 DIVERSAS CONFIGURACIONES DE POLARIZACIÓN

Existen ciertas configuraciones de polarización para BJT que no se asemejan al molde básico de las analizadas en las secciones previas. De hecho, existen variaciones en el diseño que hubieran requerido más páginas de las que son posibles de ofrecer en un libro de este tipo. Sin embargo, el principal propósito en esta edición es el de hacer énfasis en las características del dispositivo que permiten un análisis en dc de la configuración, para establecer un procedimiento general hacia la solución deseada. Para cada configuración que hasta ahora se ha analizado, el primer paso es la derivación de una expresión para la corriente de la base. Una vez que se conoce la corriente de la base, la corriente del colector y los niveles de voltaje del

circuito de salida pueden elegirse prácticamente en forma directa. Pero esto no implica que todas las soluciones tomarán la misma trayectoria, pero sí sugiere una ruta a seguir si se encuentra una nueva configuración.

El primer ejemplo explica cómo el resistor de emisor se elimina de la configuración de retroalimentación de voltaje de la figura 4.34. El análisis es muy similar, pero requiere de la eliminación de R_E de la ecuación aplicada.

EJEMPLO 4.14

Para la red de la figura 4.39:

- Determinar I_{CQ} y V_{CEQ} .
- Encontrar V_B , V_C , V_E y V_{BC} .

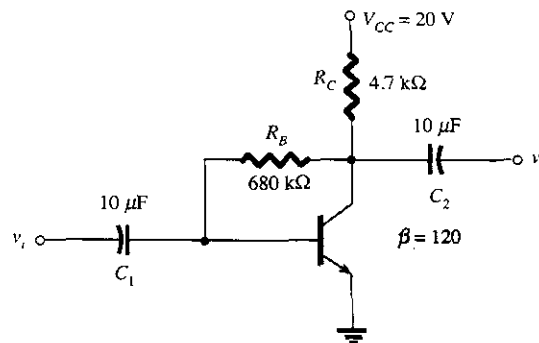


Figura 4.39 Retroalimentación en colector con $R_E = 0 \Omega$.

Solución

- La ausencia de R_E reduce la reflexión de los niveles resistivos sólo al de R_C y la ecuación para I_B se reduce a

$$I_B = \frac{V_{CC} - V_{BE}}{R_B + \beta R_C}$$

$$= \frac{20 \text{ V} - 0.7 \text{ V}}{680 \text{ k}\Omega + (120)(4.7 \text{ k}\Omega)} = \frac{19.3 \text{ V}}{1.244 \text{ M}\Omega}$$

$$= 15.51 \text{ }\mu\text{A}$$

$$I_{CQ} = \beta I_B = (120)(15.51 \text{ }\mu\text{A})$$

$$= 1.86 \text{ mA}$$

$$V_{CEQ} = V_{CC} - I_C R_C$$

$$= 20 \text{ V} - (1.86 \text{ mA})(4.7 \text{ k}\Omega)$$

$$= 11.26 \text{ V}$$

-

$$V_B = V_{BE} = 0.7 \text{ V}$$

$$V_C = V_{CE} = 11.26 \text{ V}$$

$$V_E = 0 \text{ V}$$

$$V_{BC} = V_B - V_C = 0.7 \text{ V} - 11.26 \text{ V}$$

$$= -10.56 \text{ V}$$

En el siguiente ejemplo el voltaje aplicado está conectado a la terminal del emisor y R_C está directamente conectada a la tierra. Al principio, parece ser algo no ortodoxo y muy diferente a los que se encontraron hasta ahora, pero una aplicación de la ley de voltaje de Kirchhoff al circuito base dará por resultado la corriente de base deseada.

Determinar V_C y V_B para la red de la figura 4.40.

EJEMPLO 4.15

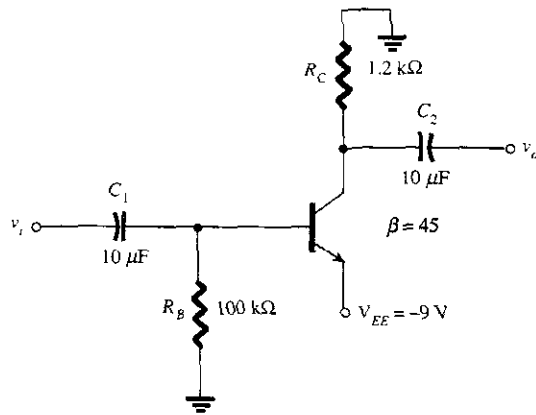


Figura 4.40 Ejemplo 4.15.

Solución

La aplicación de la ley de voltaje de Kirchhoff en la dirección de las manecillas del reloj para la malla base-emisor dará por resultado

$$-I_B R_B - V_{BE} + V_{EE} = 0$$

$$I_B = \frac{V_{EE} - V_{BE}}{R_B}$$

y

La sustitución genera

$$I_B = \frac{9 \text{ V} - 0.7 \text{ V}}{100 \text{ k}\Omega}$$

$$= \frac{8.3 \text{ V}}{100 \text{ k}\Omega}$$

$$= 83 \text{ }\mu\text{A}$$

$$I_C = \beta I_B$$

$$= (45)(83 \text{ }\mu\text{A})$$

$$= 3.735 \text{ mA}$$

$$V_C = -I_C R_C$$

$$= -(3.735 \text{ mA})(1.2 \text{ k}\Omega)$$

$$= -4.48 \text{ V}$$

$$V_B = -I_B R_B$$

$$= -(83 \text{ }\mu\text{A})(100 \text{ k}\Omega)$$

$$= -8.3 \text{ V}$$

El siguiente ejemplo utiliza una red denominada configuración *emisor-seguidor*. Cuando la misma red se analiza en ac, se encontrará que tanto las señales de salida como la de entrada están en fase (una siguiendo a la otra) y que el voltaje de salida es ligeramente menor que la señal aplicada. Para el análisis en dc el colector se conecta a tierra y el voltaje se aplica en la terminal del emisor.

EJEMPLO 4.16

Determinar V_{CEQ} e I_E para la red de la figura 4.41.

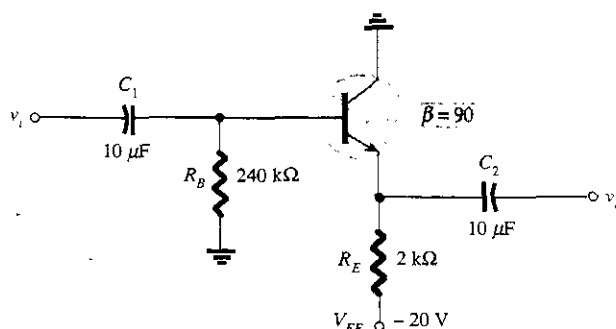


Figura 4.41 Configuración de colector común (emisor-seguidor).

Solución

La aplicación de la ley de voltaje de Kirchhoff al circuito de entrada dará por resultado

$$-I_B R_B - V_{BE} - I_E R_E + V_{EE} = 0$$

pero

$$I_E = (\beta + 1)I_B$$

y

$$V_{EE} - V_{BE} - (\beta + 1)I_B R_E - I_B R_B = 0$$

con

$$I_B = \frac{V_{EE} - V_{BE}}{R_B + (\beta + 1)R_E}$$

Sustituyendo los valores queda

$$\begin{aligned} I_B &= \frac{20 \text{ V} - 0.7 \text{ V}}{240 \text{ k}\Omega + (91)(2 \text{ k}\Omega)} \\ &= \frac{19.3 \text{ V}}{240 \text{ k}\Omega + 182 \text{ k}\Omega} = \frac{19.3 \text{ V}}{422 \text{ k}\Omega} \\ &= 45.73 \text{ }\mu\text{A} \\ I_C &= \beta I_B \\ &= (90)(45.73 \text{ }\mu\text{A}) \\ &= 4.12 \text{ mA} \end{aligned}$$

La aplicación de la ley de voltaje de Kirchhoff al circuito de salida resultará

$$-V_{EE} + I_E R_E + V_{CE} = 0$$

pero

$$I_E = (\beta + 1)I_B$$

y

$$\begin{aligned} V_{CEQ} &= V_{EE} - (\beta + 1)I_B R_E \\ &= 20 \text{ V} - (91)(45.73 \text{ }\mu\text{A})(2 \text{ k}\Omega) \\ &= 11.68 \text{ V} \\ I_E &= 4.16 \text{ mA} \end{aligned}$$

Hasta ahora todos los ejemplos usan una configuración de emisor común o de colector común. En el siguiente ejemplo se investiga la configuración de base común. En dicha situación el circuito de entrada se utilizará para determinar I_E en lugar de I_B . Después la corriente del colector queda disponible para realizar un análisis del circuito de salida.

Determine el voltaje V_{CB} y la corriente I_B para la configuración de base común de la figura 4.42.

EJEMPLO 4.17

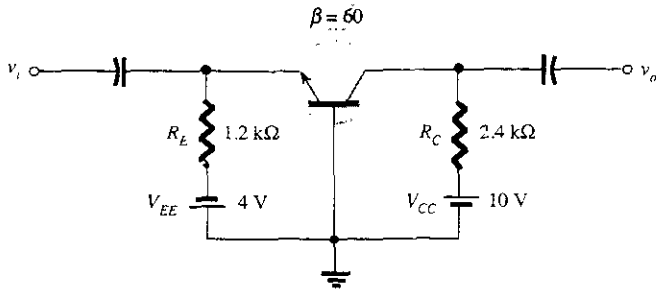


Figura 4.42 Configuración de base común.

Solución

La aplicación de la ley de voltaje de Kirchhoff al circuito de entrada da

$$-V_{EE} + I_E R_E + V_{BE} = 0$$

$$y \quad I_E = \frac{V_{EE} - V_{BE}}{R_E}$$

Sustituyendo los valores, se obtiene

$$I_E = \frac{4 \text{ V} - 0.7 \text{ V}}{1.2 \text{ k}\Omega} = 2.75 \text{ mA}$$

La aplicación de la ley de voltaje de Kirchhoff al circuito de salida da

$$-V_{CB} + I_C R_C - V_{CC} = 0$$

$$\begin{aligned} y \quad V_{CB} &= V_{CC} - I_C R_C \text{ con } I_C \cong I_E \\ &= 10 \text{ V} - (2.75 \text{ mA})(2.4 \text{ k}\Omega) \\ &= 3.4 \text{ V} \end{aligned}$$

$$\begin{aligned} I_B &= \frac{I_C}{\beta} \\ &= \frac{2.75 \text{ mA}}{60} \\ &= 45.8 \text{ }\mu\text{A} \end{aligned}$$

El ejemplo 4.18 utiliza una fuente doble y requiere de la aplicación del teorema de Thévenin para determinar las incógnitas deseadas.

EJEMPLO 4.18

Especifique V_C y V_B para la red de la figura 4.43.

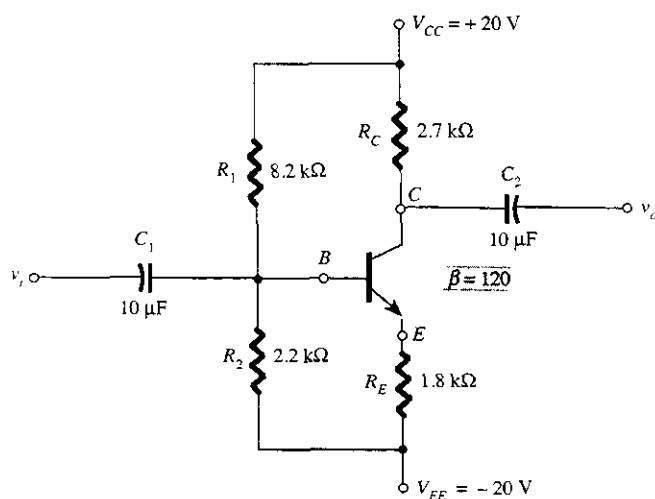


Figura 4.43 Ejemplo 4.18.

Solución

La resistencia y voltaje Thévenin se calculan para la red a la izquierda de la terminal de la base, como se muestra en las figuras 4.44 y 4.45.

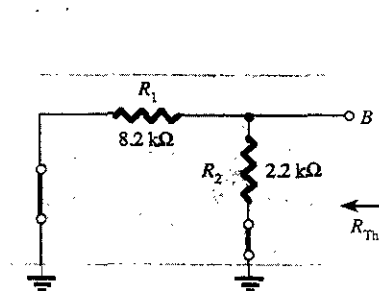


Figura 4.44 Determinación de R_{Th} .

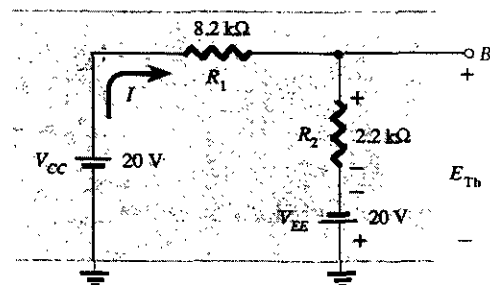


Figura 4.45 Determinación de E_{Th} .

R_{Th} :

$$R_{Th} = 8.2 \text{ k}\Omega \parallel 2.2 \text{ k}\Omega = 1.73 \text{ k}\Omega$$

E_{Th} :

$$I = \frac{V_{CC} + V_{EE}}{R_1 + R_2} = \frac{20 \text{ V} + 20 \text{ V}}{8.2 \text{ k}\Omega + 2.2 \text{ k}\Omega} = \frac{40 \text{ V}}{10.4 \text{ k}\Omega}$$

$$= 3.85 \text{ mA}$$

$$E_{Th} = IR_2 - V_{EE}$$

$$= (3.85 \text{ mA})(2.2 \text{ k}\Omega) - 20 \text{ V}$$

$$= -11.53 \text{ V}$$

Luego la red puede ser redibujada según se muestra en la figura 4.46, donde la aplicación de la ley de voltaje de Kirchhoff da por resultado

$$-E_{Th} - I_B R_{Th} - V_{BE} - I_E R_E + V_{EE} = 0$$

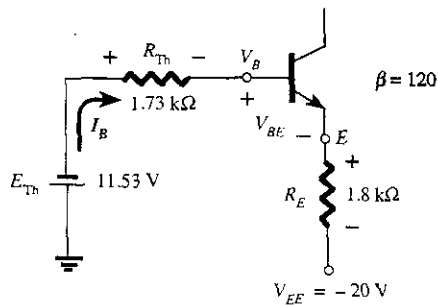


Figura 4.46 Sustitución del circuito equivalente de Thévenin.

Sustituyendo $I_E = (\beta + 1)I_B$ da

$$V_{EE} - E_{Th} - V_{BE} - (\beta + 1)I_B R_E - I_B R_{Th} = 0$$

e

$$\begin{aligned} I_B &= \frac{V_{EE} - E_{Th} - V_{BE}}{R_{Th} + (\beta + 1)R_E} \\ &= \frac{20 \text{ V} - 11.53 \text{ V} - 0.7 \text{ V}}{1.73 \text{ k}\Omega + (121)(1.8 \text{ k}\Omega)} \\ &= \frac{7.77 \text{ V}}{219.53 \text{ k}\Omega} \\ &= 35.39 \text{ }\mu\text{A} \end{aligned}$$

$$\begin{aligned} I_C &= \beta I_B \\ &= (120)(35.39 \text{ }\mu\text{A}) \\ &= 4.25 \text{ mA} \end{aligned}$$

$$\begin{aligned} V_C &= V_{CC} - I_C R_C \\ &= 20 \text{ V} - (4.25 \text{ mA})(2.7 \text{ k}\Omega) \\ &= 8.53 \text{ V} \end{aligned}$$

$$\begin{aligned} V_B &= -E_{Th} - I_B R_{Th} \\ &= -(11.53 \text{ V}) - (35.39 \text{ }\mu\text{A})(1.73 \text{ k}\Omega) \\ &= -11.59 \text{ V} \end{aligned}$$

4.8 OPERACIONES DE DISEÑO

Hasta ahora los análisis se enfocan al estudio de las redes existentes. Todos los elementos están en su lugar, y sólo es cuestión de resolver para determinar los niveles de corriente y de voltaje de la configuración. El proceso de diseño es donde se especifican la corriente y/o el voltaje, y deben determinarse los elementos requeridos para fijar los niveles del diseño. Este proceso de síntesis requiere de una muy clara comprensión de las características del dispositivo, las ecuaciones básicas para la red y un gran conocimiento de las leyes básicas del análisis de circuitos, como la ley de Ohm, la ley de voltaje de Kirchhoff, y así sucesivamente. En la mayoría de las situaciones se reta al proceso de pensamiento en un grado alto durante el proceso de diseño, mucho más que durante la secuencia de análisis. La trayectoria hacia la solución está menos definida, y puede requerir de cierta cantidad de suposiciones básicas que no se tienen que hacer cuando simplemente se analiza una red.

Es obvio que la secuencia de diseño es sensible a los componentes que ya se han especificado y a los elementos que deben determinarse. Si se han especificado tanto el transistor como las fuentes, el proceso de diseño simplemente determinará los resistores que se requieren para un diseño en particular. Una vez que se han decidido los valores teóricos de los resistores, normalmente se escogen los valores estándares comerciales más cercanos, y se aceptan cualesquiera de las variaciones debidas a la no utilización de los resistores de los valores exactos. Es cierto que se trata de una aproximación válida, considerando las tolerancias que con frecuencia se asocian a los elementos resistivos y a los parámetros de los transistores.

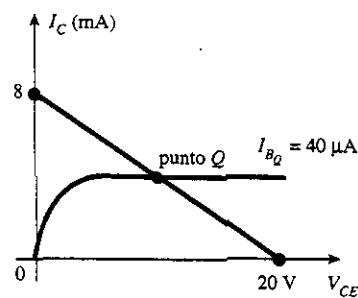
Si se deben determinar valores resistivos, una de las ecuaciones más poderosas es simplemente la ley de Ohm, de la siguiente manera:

$$R_{\text{unk}} = \frac{V_R}{I_R} \quad (4.44)$$

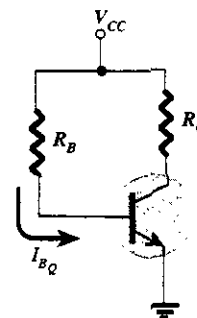
En un diseño particular, el voltaje a través de un resistor a menudo puede determinarse a partir de los niveles que se especificaron. Si existen especificaciones adicionales que definan el nivel de corriente, la ecuación (4.44) puede utilizarse para calcular la resistencia requerida. Los primeros ejemplos demostrarán la forma en que los elementos particulares pueden determinarse a partir de los niveles especificados. Más adelante se presentará un procedimiento completo de diseño para dos configuraciones comunes.

EJEMPLO 4.19

Dadas las características del dispositivo de la figura 4.47a, determinar V_{CC} , R_B y R_C para la configuración de polarización fija de la figura 4.47b.



(a)



(b)

Figura 4.47 Ejemplo 4.19.

Solución

De la recta de carga

$$V_{CC} = 20 \text{ V}$$

$$I_C = \frac{V_{CC}}{R_C} \Big|_{V_{CE}=0 \text{ V}}$$

y

$$R_C = \frac{V_{CC}}{I_C} = \frac{20 \text{ V}}{8 \text{ mA}} = 2.5 \text{ k}\Omega$$

$$I_B = \frac{V_{CC} - V_{BE}}{R_B}$$

con

$$\begin{aligned} R_B &= \frac{V_{CC} - V_{BE}}{I_B} \\ &= \frac{20 \text{ V} - 0.7 \text{ V}}{40 \text{ }\mu\text{A}} = \frac{19.3 \text{ V}}{40 \text{ }\mu\text{A}} \\ &= 482.5 \text{ k}\Omega \end{aligned}$$

Los resistores de valores estándar:

$$R_C = 2.4 \text{ k}\Omega$$

$$R_B = 470 \text{ k}\Omega$$

El uso de resistores de valores estándar dan

$$I_B = 41.1 \text{ }\mu\text{A}$$

la cual se encuentra dentro del 5% del valor especificado.

Dado $I_{C_Q} = 2 \text{ mA}$ y $V_{CE_Q} = 10 \text{ V}$, determinar R_1 y R_C para la red de la figura 4.48.

EJEMPLO 4.20

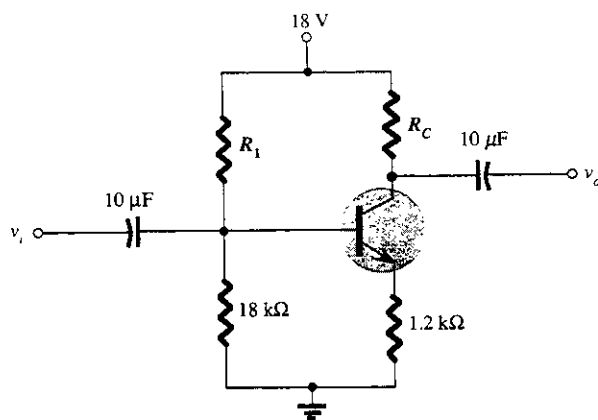


Figura 4.48 Ejemplo 4.20.

Solución

$$V_E = I_E R_E \cong I_C R_E$$

$$= (2 \text{ mA})(1.2 \text{ k}\Omega) = 2.4 \text{ V}$$

$$V_B = V_{BE} + V_E = 0.7 \text{ V} + 2.4 \text{ V} = 3.1 \text{ V}$$

$$V_B = \frac{R_2 V_{CC}}{R_1 + R_2} = 3.1 \text{ V}$$

$$y \quad \frac{(18 \text{ k}\Omega)(18 \text{ V})}{R_1 + 18 \text{ k}\Omega} = 3.1 \text{ V}$$

$$324 \text{ k}\Omega = 3.1 R_1 + 55.8 \text{ k}\Omega$$

$$3.1 R_1 = 268.2 \text{ k}\Omega$$

$$R_1 = \frac{268.2 \text{ k}\Omega}{3.1} = 86.52 \text{ k}\Omega$$

$$\text{La ecuación (4.44): } R_C = \frac{V_{R_C}}{I_C} = \frac{V_{CC} - V_C}{I_C}$$

$$\text{con } V_C = V_{CE} + V_E = 10 \text{ V} + 2.4 \text{ V} = 12.4 \text{ V}$$

$$y \quad R_C = \frac{18 \text{ V} - 12.4 \text{ V}}{2 \text{ mA}} = 2.8 \text{ k}\Omega$$

Los valores estándar comerciales más cercanos a R_1 son 82 kΩ y 91 kΩ. Sin embargo, el empleo de la combinación en serie de los valores estándar de 82 kΩ y 4.7 kΩ. = 86.7 kΩ resultaría en un valor muy cercano al nivel de diseño.

EJEMPLO 4.21

La configuración de polarización en emisor de la figura 4.49 tiene las siguientes especificaciones: $I_{C_Q} = \frac{1}{2} I_{C_{sat}}$, $I_{C_{sat}} = 8 \text{ mA}$, $V_C = 18 \text{ V}$ y $\beta = 110$. Determinar R_C , R_E y R_B .

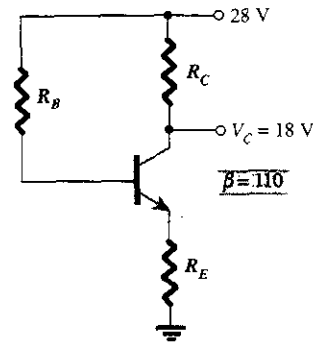


Figura 4.49 Ejemplo 4.21.

Solución

$$I_{C_Q} = \frac{1}{2} I_{C_{sat}} = 4 \text{ mA}$$

$$R_C = \frac{V_{R_C}}{I_{C_Q}} = \frac{V_{CC} - V_C}{I_{C_Q}} = \frac{28 \text{ V} - 18 \text{ V}}{4 \text{ mA}} = 2.5 \text{ k}\Omega$$

$$I_{C_{sat}} = \frac{V_{CC}}{R_C + R_E}$$

y

$$R_C + R_E = \frac{V_{CC}}{I_{C_{sat}}} = \frac{28 \text{ V}}{8 \text{ mA}} = 3.5 \text{ k}\Omega$$

$$R_E = 3.5 \text{ k}\Omega - R_C = 3.5 \text{ k}\Omega - 2.5 \text{ k}\Omega = 1 \text{ k}\Omega$$

$$I_{B_Q} = \frac{I_{C_Q}}{\beta} = \frac{4 \text{ mA}}{110} = 36.36 \text{ }\mu\text{A}$$

$$I_{B_Q} = \frac{V_{CC} - V_{BE}}{R_B + (\beta + 1)R_E}$$

y

$$R_B + (\beta + 1)R_E = \frac{V_{CC} - V_{BE}}{I_{B_Q}}$$

con

$$\begin{aligned} R_B &= \frac{V_{CC} - V_{BE}}{I_{B_Q}} - (\beta + 1)R_E \\ &= \frac{28 \text{ V} - 0.7 \text{ V}}{36.36 \text{ }\mu\text{A}} - (111)(1 \text{ k}\Omega) \\ &= \frac{27.3 \text{ V}}{36.36 \text{ }\mu\text{A}} - 111 \text{ k}\Omega \\ &= 639.8 \text{ k}\Omega \end{aligned}$$

Para los valores estándar:

$$R_C = 2.4 \text{ k}\Omega$$

$$R_E = 1 \text{ k}\Omega$$

$$R_B = 620 \text{ k}\Omega$$

El análisis que sigue presenta una técnica para el diseño de un circuito completo, pensado para operar en un punto de polarización específico. A menudo, las hojas de especificaciones del fabricante ofrecen información sobre un punto de operación sugerido (o región de operación) para un transistor en particular. Además, los otros componentes del sistema conectados a una etapa de amplificación dada pueden definir también la excursión de la corriente, la excursión del voltaje, el valor del voltaje de la fuente común, y así sucesivamente para el diseño.

En la práctica real, muchos otros factores deben considerarse, porque pueden afectar la selección del punto de operación que se desea obtener. Sin embargo, por el momento nos concentraremos en la determinación de los valores de los componentes para encontrar un punto de operación específico. El análisis estará limitado a las configuraciones de polarización en emisor y a la de polarización por divisor de voltaje, aunque el mismo procedimiento puede aplicarse a una variedad de otros circuitos de transistores.

Diseño de un circuito de polarización con retroalimentación en el resistor de emisor

Considere primero el diseño de los componentes de polarización de dc de un circuito amplificador, que posee la estabilización mediante el resistor de emisor, igual que en la figura 4.50. El voltaje de la fuente y el punto de operación se seleccionaron a partir de la información que ofreció el fabricante sobre el transistor utilizado en el amplificador.

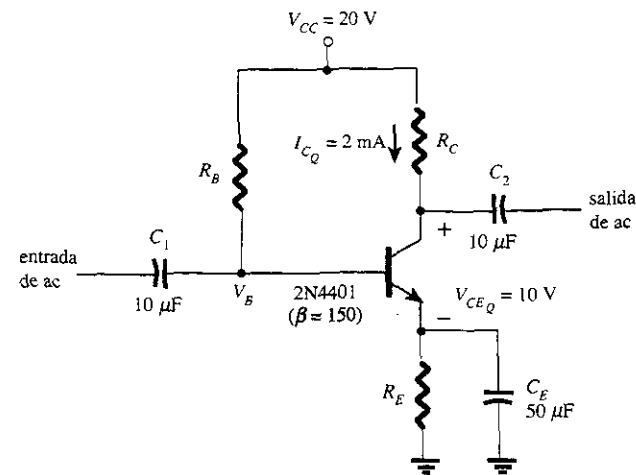


Figura 4.50 Circuito de polarización con estabilización en emisor para consideración de diseño.

La selección de los resistores de colector y emisor no pueden proceder directamente de la información recién especificada. La ecuación que relaciona los voltajes alrededor de la malla colector-emisor tiene dos incógnitas, los resistores R_C y R_E . En este momento se debe hacer un juicio de ingeniería, como comparar el nivel del voltaje del emisor con el voltaje de la fuente. Recuerde la necesidad de incluir un resistor del emisor a tierra para ofrecer un medio de estabilización de la polarización de dc, de tal forma que el cambio de la corriente del colector debido a corrientes de fuga del transistor y la beta del transistor no ocasionen un gran cambio en el punto de operación. Por lógica, el resistor de emisor no puede ser demasiado grande, porque su voltaje limita el rango de la excursión de voltaje colector-emisor (que debe observarse cuando la respuesta en ac se analice). Los ejemplos examinados en este capítulo revelan

que el voltaje del emisor hacia tierra es por lo general de un cuarto a un décimo del voltaje de la fuente. Elegir un caso conservador de un décimo permitirá calcular el resistor de emisor R_E y el resistor R_C de una manera parecida a los ejemplos recién completados. En el siguiente ejemplo se desarrolla un diseño completo de la red de la figura 4.49 utilizando el criterio que presentamos antes para el voltaje de emisor.

EJEMPLO 4.22

Determine los valores de los resistores para la red de la figura 4.50 para el punto de operación y el voltaje de la fuente de alimentación.

Solución

$$V_E = \frac{1}{10} V_{CC} = \frac{1}{10} (20 \text{ V}) = 2 \text{ V}$$

$$R_E = \frac{V_E}{I_E} \cong \frac{V_E}{I_C} = \frac{2 \text{ V}}{2 \text{ mA}} = 1 \text{ k}\Omega$$

$$R_C = \frac{V_{R_C}}{I_C} = \frac{V_{CC} - V_{CE} - V_E}{I_C} = \frac{20 \text{ V} - 10 \text{ V} - 2 \text{ V}}{2 \text{ mA}} = \frac{8 \text{ V}}{2 \text{ mA}} = 4 \text{ k}\Omega$$

$$I_B = \frac{I_C}{\beta} = \frac{2 \text{ mA}}{150} = 13.33 \text{ }\mu\text{A}$$

$$R_B = \frac{V_{R_B}}{I_B} = \frac{V_{CC} - V_{BE} - V_E}{I_B} = \frac{20 \text{ V} - 0.7 \text{ V} - 2 \text{ V}}{13.33 \text{ }\mu\text{A}} \cong 1.3 \text{ M}\Omega$$

Diseño de un circuito de ganancia de corriente estabilizada (independiente de beta)

El circuito de la figura 4.51 ofrece estabilización tanto para los cambios por la corriente de fuga como por la ganancia de corriente (beta). Los cuatro valores de los resistores que mostramos deben obtenerse para el punto de operación especificado. El criterio de ingeniería para la selección de un valor del voltaje del emisor V_E se utiliza de la misma forma que las consideraciones previas de diseño, porque guían hacia una solución directa para todos los valores de los resistores. Estos pasos del diseño se muestran en el siguiente ejemplo.

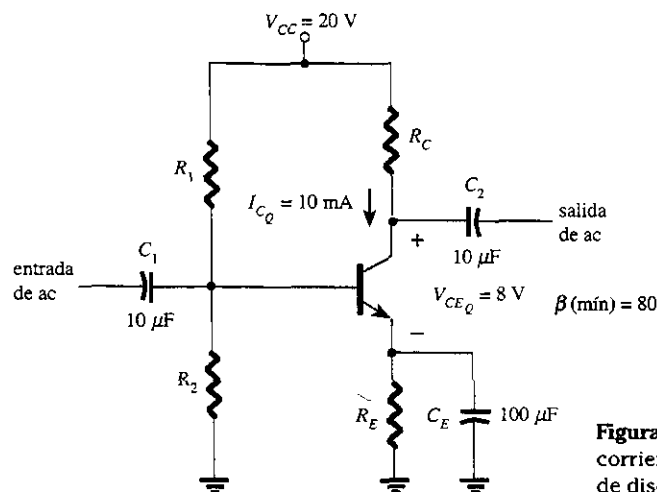


Figura 4.51 Circuito con ganancia en corriente estabilizada para consideraciones de diseño.



Determine los niveles de R_C , R_E , R_1 y R_2 para la red de la figura 4.51 para el punto de operación indicado.

EJEMPLO 4.23

$$V_E = \frac{1}{10} V_{CC} = \frac{1}{10} (20 \text{ V}) = 2 \text{ V}$$

$$R_E = \frac{V_E}{I_E} \cong \frac{V_E}{I_C} = \frac{2 \text{ V}}{10 \text{ mA}} = 200 \Omega$$

$$R_C = \frac{V_{RC}}{I_C} = \frac{V_{CC} - V_{CE} - V_E}{I_C} = \frac{20 \text{ V} - 8 \text{ V} - 2 \text{ V}}{10 \text{ mA}} = \frac{10 \text{ V}}{10 \text{ mA}} = 1 \text{ k}\Omega$$

$$V_B = V_{BE} + V_E = 0.7 \text{ V} + 2 \text{ V} = 2.7 \text{ V}$$

Las ecuaciones para el cálculo de los resistores de base R_1 y R_2 necesitarán de ciertos análisis. Usar el valor del voltaje de la base calculado arriba y el valor del voltaje de la fuente proporcionará una ecuación, pero existen dos incógnitas, R_1 y R_2 . Se puede obtener una ecuación adicional entendiendo la operación de estos dos resistores, al fijar el voltaje de base necesario. Para que el circuito opere de manera eficiente se asume que la corriente a través de R_1 y R_2 debe ser aproximadamente igual y mucho mayor que la corriente de la base (por lo menos 10:1). Este hecho y la ecuación del divisor de voltaje para el voltaje de base ofrecen las dos relaciones necesarias para determinar los resistores de la base. Esto es,

$$R_2 \leq \frac{1}{10} \beta R_E$$

y

$$V_B = \frac{R_2}{R_1 + R_2} V_{CC}$$

La sustitución da

$$R_2 \leq \frac{1}{10} (80)(0.2 \text{ k}\Omega) = 1.6 \text{ k}\Omega$$

$$V_B = 2.7 \text{ V} = \frac{(1.6 \text{ k}\Omega)(20 \text{ V})}{R_1 + 1.6 \text{ k}\Omega}$$

y

$$2.7R_1 + 4.32 \text{ k}\Omega = 32 \text{ k}\Omega$$

$$2.7R_1 = 27.68 \text{ k}\Omega$$

$$R_1 = 10.25 \text{ k}\Omega \text{ (use } 10 \text{ k}\Omega)$$

4.9 REDES DE CONMUTACIÓN DE TRANSISTORES

Aplicar los transistores no se limita únicamente a la amplificación de señales. A través de un diseño adecuado pueden utilizarse como un interruptor para computadora y para aplicaciones de control. La red de la figura 4.52a puede emplearse como un *inversor* en los circuitos lógicos de las computadoras. Obsérvese que el voltaje de salida V_C es opuesto al que se aplicó sobre la base o a la terminal de entrada. También obsérvese la ausencia de una fuente de dc conectada al circuito de la base. La única fuente de dc está conectada al colector o lado de la salida, y para las aplicaciones de computadoras normalmente es igual a la magnitud del nivel "alto" de la señal aplicada, en este caso 5 V.

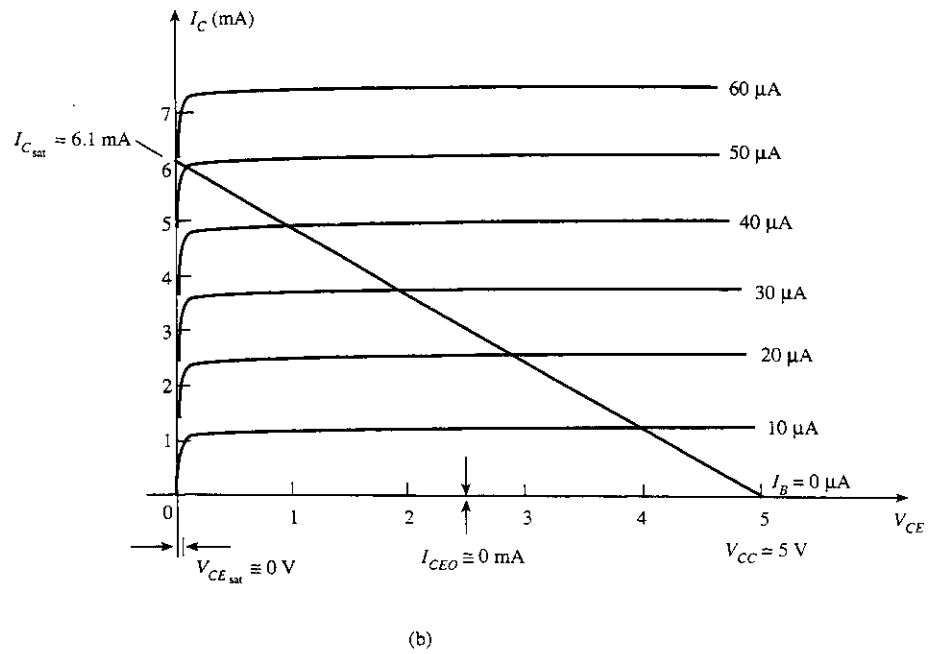
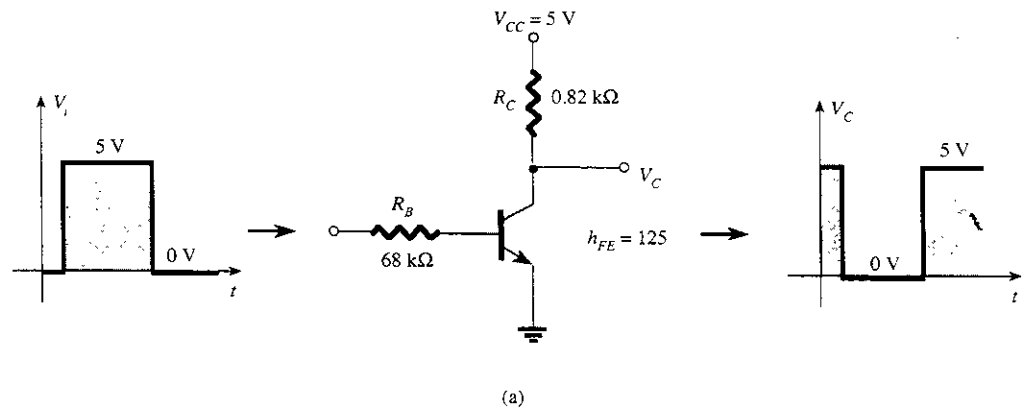


Figura 4.52 Transistor inversor.

El diseño ideal para el proceso de inversión requiere que el punto de operación conmute de corte a la saturación, pero a lo largo de la recta de carga descrita en la figura 4.52b. Para estos propósitos se asumirá que $I_C = I_{CE0} = 0$ mA cuando $I_B = 0$ μA (una excelente aproximación de acuerdo con las mejoras de las técnicas de fabricación), como se muestra en la figura 4.52b. Además, se asumirá que $V_{CE} = V_{CE_{sat}} = 0$ V en lugar del nivel típico de 0.1 a 0.3 V.

Cuando $V_i = 5$ V, el transistor se encontrará “encendido” y el diseño debe asegurar que la red está saturada totalmente por un nivel de I_B mayor asociado con la curva I_B , que aparece cerca del nivel de saturación. La figura 4.52b requiere que $I_B > 50$ μA. El nivel de saturación para la corriente del colector y para el circuito de la figura 4.52a está definido por

$$I_{C_{sat}} = \frac{V_{CC}}{R_C} \quad (4.45)$$

Los resultados del nivel de I_B en la región activa justo antes de la saturación pueden aproximarse mediante la siguiente ecuación:

$$I_{B_{\text{máx}}} \cong \frac{I_{C_{\text{sat}}}}{\beta_{\text{dc}}}$$

Por lo mismo, para el nivel de saturación se debe asegurar que la siguiente condición se satisfaga:

$$\boxed{I_B > \frac{I_{C_{\text{sat}}}}{\beta_{\text{dc}}}} \quad (4.46)$$

Para la red de la figura 4.52b cuando $V_i = 5 \text{ V}$, el nivel resultante de I_B es el siguiente:

$$I_B = \frac{V_i - 0.7 \text{ V}}{R_B} = \frac{5 \text{ V} - 0.7 \text{ V}}{68 \text{ k}\Omega} = 63 \text{ }\mu\text{A}$$

e

$$I_{C_{\text{sat}}} = \frac{V_{CC}}{R_C} = \frac{5 \text{ V}}{0.82 \text{ k}\Omega} \cong 6.1 \text{ mA}$$

Comprobando la ecuación (4.46) da

$$I_B = 63 \text{ }\mu\text{A} > \frac{I_{C_{\text{sat}}}}{\beta_{\text{dc}}} = \frac{6.1 \text{ mA}}{125} = 48.8 \text{ }\mu\text{A}$$

la cual es satisfecha. Es cierto que cualquier nivel de I_B mayor que $60 \text{ }\mu\text{A}$ pasará a través del punto Q sobre la recta de carga, que se encuentra muy cerca del eje vertical.

Para $V_i = 0 \text{ V}$, $I_B = 0 \text{ }\mu\text{A}$, y dado que se está suponiendo que $I_C = I_{CEO} = 0 \text{ mA}$, el voltaje cae a través de R_C como lo determinó $V_{R_C} = I_C R_C = 0 \text{ V}$, dando por resultado $V_C = +5 \text{ V}$ para la respuesta indicada en la figura 4.52a.

Además de su contribución en los circuitos lógicos de las computadoras, el transistor se puede utilizar como un interruptor, si se emplean los extremos de la recta de carga. En la saturación la corriente I_C es muy alta y el voltaje V_{CE} muy bajo. El resultado es un nivel de resistencia entre las dos terminales determinado por

$$R_{\text{sat}} = \frac{V_{CE_{\text{sat}}}}{I_{C_{\text{sat}}}}$$

y descrito en la figura 4.53.

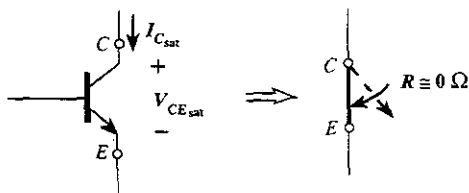


Figura 4.53 Condiciones de saturación y la resistencia resultante de la terminal.

Si se utiliza un típico valor promedio de $V_{CE_{\text{sat}}}$ como 0.15 V da como resultado

$$R_{\text{sat}} = \frac{V_{CE_{\text{sat}}}}{I_{C_{\text{sat}}}} = \frac{0.15 \text{ V}}{6.1 \text{ mA}} = 24.6 \text{ }\Omega$$

el cual es un valor relativamente bajo y $\cong 0 \text{ }\Omega$ cuando se coloca en serie con resistores en el rango de los kilohms.

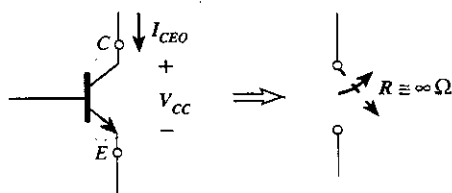


Figura 4.54 Condiciones de corte y la resistencia resultante de la terminal.

Para $V_i = 0$ V como lo vemos en la figura 4.54, la condición de corte ocasionará un nivel de resistencia de la siguiente magnitud:

$$R_{\text{corte}} = \frac{V_{CC}}{I_{CEO}} = \frac{5 \text{ V}}{0 \text{ mA}} = \infty \Omega$$

resultando en la equivalencia de circuito abierto. Para un valor típico de $I_{CEO} = 10 \mu\text{A}$, la magnitud de la resistencia de corte es

$$R_{\text{corte}} = \frac{V_{CC}}{I_{CEO}} = \frac{5 \text{ V}}{10 \mu\text{A}} = 500 \text{ k}\Omega$$

que se aproxima a la equivalencia de circuito abierto para muchas situaciones.

EJEMPLO 4.24

Determine R_B y R_C para el transistor inversor de la figura 4.55 si $I_{C_{\text{sat}}} = 10 \text{ mA}$.

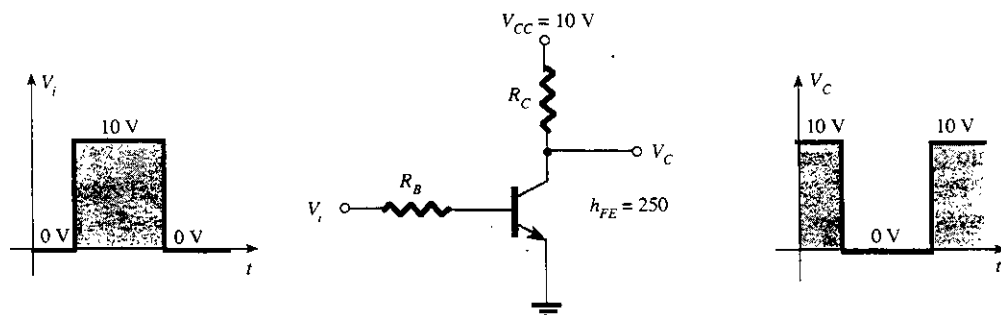


Figura 4.55 Inversor para el ejemplo 4.24.

Solución

En la saturación:

$$I_{C_{\text{sat}}} = \frac{V_{CC}}{R_C}$$

y

$$10 \text{ mA} = \frac{10 \text{ V}}{R_C}$$

así que

$$R_C = \frac{10 \text{ V}}{10 \text{ mA}} = 1 \text{ k}\Omega$$

En la saturación:

$$I_B \cong \frac{I_{C_{\text{sat}}}}{\beta_{dc}} = \frac{10 \text{ mA}}{250} = 40 \mu\text{A}$$

Elija $I_B = 60 \mu\text{A}$ para asegurar la saturación, y utilizando

$$I_B = \frac{V_i - 0.7 \text{ V}}{R_B}$$

se obtiene $R_B = \frac{V_i - 0.7 \text{ V}}{I_B} = \frac{10 \text{ V} - 0.7 \text{ V}}{60 \mu\text{A}} = 155 \text{ k}\Omega$

Seleccione $R_B = 150 \text{ k}\Omega$, el cual es el valor estándar. Luego

$$I_B = \frac{V_i - 0.7 \text{ V}}{R_B} = \frac{10 \text{ V} - 0.7 \text{ V}}{150 \text{ k}\Omega} = 62 \mu\text{A}$$

e
$$I_B = 62 \mu\text{A} > \frac{I_{C_{sat}}}{\beta_{dc}} = 40 \mu\text{A}$$

Por tanto, use $R_B = 150 \text{ k}\Omega$ y $R_C = 1 \text{ k}\Omega$.

Existen transistores que se les denomina *transistores de conmutación* debido a la velocidad con que cambian de un nivel de voltaje a otro. En la figura 3.23c los periodos de tiempo definidos como t_s , t_d , t_r y t_f se proporcionan en función de la corriente de colector. Su impacto sobre la velocidad de respuesta de la salida del colector se define por la respuesta de la corriente de colector de la figura 4.56. El tiempo total necesario para que el transistor cambie del estado “apagado” al “encendido” está designado como $t_{\text{encendido}}$ y definido por

$$t_{\text{encendido}} = t_r + t_d \quad (4.47)$$

siendo t_d el tiempo de retardo entre el estado de cambio de la entrada y el comienzo de una respuesta en la salida. El elemento de tiempo t_r es el tiempo de subida del 10 al 90% del valor final.

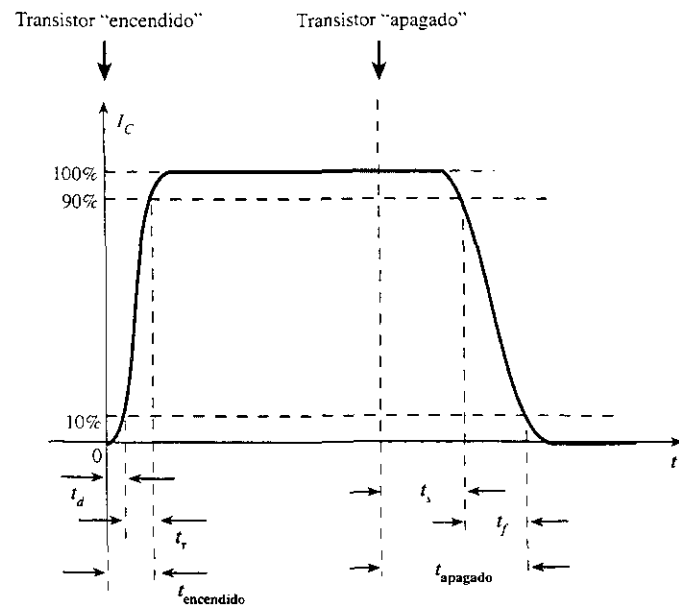


Figura 4.56 Definición de los intervalos de tiempo de una forma de onda de pulso.

El tiempo total que requiere un transistor para cambiar del estado “encendido” al “apagado” se le conoce como t_{apagado} y se define así

$$t_{\text{apagado}} = t_s + t_f \quad (4.48)$$

donde t_s es el tiempo de almacenamiento y t_f es el tiempo de bajada del 90 al 10% del valor inicial.

Para el transistor de propósito general de la figura 3.23c a $I_C = 10 \text{ mA}$, se encuentra que

$$t_s = 120 \text{ ns}$$

$$t_d = 25 \text{ ns}$$

$$t_r = 13 \text{ ns}$$

$$t_f = 12 \text{ ns}$$

y

así que

$$t_{\text{encendido}} = t_r + t_d = 13 \text{ ns} + 25 \text{ ns} = 38 \text{ ns}$$

y

$$t_{\text{apagado}} = t_s + t_f = 120 \text{ ns} + 12 \text{ ns} = 132 \text{ ns}$$

Al comparar los valores anteriores con los siguientes parámetros de un transistor de conmutación BSV52L, se observa una de las razones para elegir un transistor de conmutación cuando surge la necesidad de éste.

$$t_{\text{encendido}} = 12 \text{ ns} \quad \text{y} \quad t_{\text{apagado}} = 18 \text{ ns}$$

4.10 TÉCNICAS PARA LA LOCALIZACIÓN DE FALLAS

El arte de la localización de fallas es un tema tan amplio, que no puede ser cubierto un rango tan lleno de posibilidades y de técnicas en unas cuantas secciones de un libro. Sin embargo, un practicante debe estar enterado de unas cuantas maniobras y medidas que pueden aislar el área de problema, y posiblemente encontrar una solución.

Es muy obvio que el primer paso para poder resolver un problema en una red es entender el comportamiento de la misma y tener alguna idea de los niveles de voltaje y corriente esperados. Para el transistor que está en la región activa el nivel dc medible más importante es el voltaje emisor-base.

Para un transistor “encendido” el voltaje V_{BE} debe estar en la vecindad de 0.7 V.

Las conexiones adecuadas para medir V_{BE} aparecen en la figura 4.57. Obsérvese que la punta de prueba roja (positiva) se encuentra conectada a la base para un transistor *nnp* y la negra (negativa) al emisor. Cualquier lectura totalmente diferente del nivel esperado de más o menos 0.7 V, como 0 V, 4 V o 12 V, o si es negativo el valor se debe sospechar de él; por lo mismo, es mejor verificar las conexiones del dispositivo o la red. Para un transistor *pnp* pueden usarse las mismas conexiones, pero debe esperarse una lectura negativa.

Un nivel de voltaje de igual importancia es el voltaje del colector al emisor. Recuerde las características generales de un BJT, con los niveles de V_{CE} en la vecindad de 0.3 V que sugieren un dispositivo saturado, una condición que no debe existir a menos que se esté usando como interruptor. Sin embargo:

Para el amplificador típico a transistor que está en la región activa, V_{CE} está por lo general entre el 25 y el 75% de V_{CC} .

Para $V_{CC} = 20 \text{ V}$ una lectura de V_{CE} entre 1 y 2 V o entre 18 y 20 V como se mide en la figura 4.58, es cierto que es un resultado fuera de lo común, y a menos que se conozca otro diseño para esta respuesta, deben investigarse tanto el diseño como la operación. Si $V_{CE} = 20 \text{ V}$ (con $V_{CC} = 20 \text{ V}$) existen por lo menos dos posibilidades: o bien el dispositivo (BJT) está

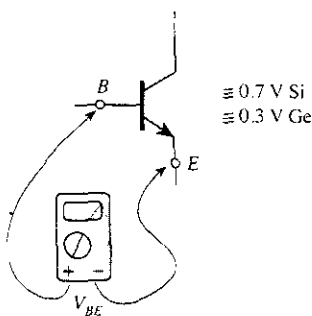


Figura 4.57 Verificación del nivel dc de V_{BE} .

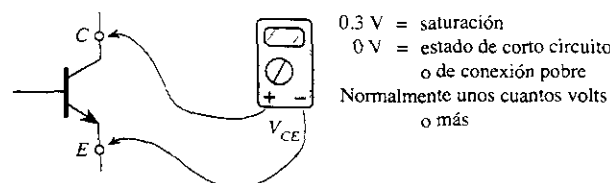


Figura 4.58 Verificación del nivel dc de V_{CE} .

dañado y tiene las características de un circuito abierto entre las terminales del colector y del emisor, o bien una conexión en la malla del circuito del colector-emisor o base-emisor está abierta como en la figura 4.59, haciendo $I_C = 0$ mA y $V_{R_C} = 0$ V. En la figura 4.59 la punta de prueba negra del voltmetro está conectada a la tierra común de la fuente y la roja a la terminal inferior del resistor. La ausencia de una corriente del colector y de la caída de voltaje resultante a través de R_C darán por resultado una lectura de 20 V. Si el medidor está conectado a la terminal del colector del BJT, la lectura será de 0 V, porque V_{CC} está bloqueado del dispositivo activo por un circuito abierto. Uno de los errores más comunes en la experiencia de laboratorio es el uso del valor erróneo de la resistencia para un diseño dado. Imagine el impacto del uso de un resistor de 680Ω para R_B en lugar del valor de diseño de $680 \text{ k}\Omega$. Para $V_{CC} = 20$ V y una configuración de polarización fija, la corriente de base resultante sería

$$I_B = \frac{20 \text{ V} - 0.7 \text{ V}}{680 \Omega} = 28.4 \text{ mA}$$

en lugar del valor deseado de $28.4 \mu\text{A}$, ¡una diferencia significativa!

Una corriente base de 28.4 mA es cierto que colocaría al diseño en una región de saturación y es posible que se dañe el dispositivo. Ya que los valores reales de los resistores a menudo son diferentes de los valores de los códigos de color nominales (recuerde que los valores de tolerancia de los resistores), es una buena inversión de tiempo hacer la medición de un resistor antes de insertarlo en la red. El resultado será tener valores reales más cercanos a los niveles teóricos y cierta seguridad de que el valor correcto de la resistencia se utiliza.

Habrán momentos en que surgirá la frustración. Se habrá verificado el dispositivo en un trazador de curvas u otro instrumento para probar BJT y parecerá correcto. Todos los niveles de los resistores parecen adecuados, las conexiones se ven sólidas y se ha aplicado la fuente adecuada de voltaje, ¿qué sigue? Ahora, la persona encargada de resolver el problema debe esforzarse para lograr un mayor nivel de sofisticación. ¿Podría ser que la conexión interna entre el cable y la conexión final de una punta esté dañada? ¿Cuántas veces el simple hecho de tocar una punta crea una situación "correcta o incorrecta" entre las conexiones? Quizá la fuente fue encendida y ajustada en el voltaje correcto, pero el control de limitación de corriente se dejó en cero, evitando el nivel adecuado de corriente según lo demanda el diseño de la red. Obviamente, mientras más sofisticado es el sistema, más extenso el rango de posibilidades. En cualquier caso, uno de los métodos más efectivos para verificar la operación de una red es probando varios niveles de voltaje respecto a la tierra y al conectar la punta de prueba negra (negativa) de un voltmetro a tierra y "tocando" las terminales importantes con la punta de prueba roja (positiva). En la figura 4.60, si la punta roja se conecta directamente a V_{CC} , se deben leer V_{CC} volts, porque la red tiene una tierra común para la fuente y los componentes de la red. En V_C la lectura debe ser menor por la caída a través de R_C y V_E debe ser menor que V_C por el voltaje colector emisor V_{CE} . La falla en cualquiera de estos dos puntos sirve para registrar lo que podría parecer un nivel razonable y ser autosuficiente para definir la falla o el elemento defectuoso. Si V_{R_E} y V_{R_C} son valores razonables pero $V_{CE} = 0$ V, existe la posibilidad de que el BJT esté dañado y presente un equivalente de corto circuito entre las terminales del colector y del emisor. Antes dijimos que si V_{CE} registra un nivel de aproximadamente 0.3 V, como señala $V_{CE} = V_C - V_E$ (la diferencia entre los dos niveles como se midió arriba), la red puede estar saturada con un dispositivo que esté o no defectuoso.

Parecería obvio, a partir del análisis anterior, que la sección de voltmetro de un VOM o DMM es muy importante en el proceso de localización de fallas. Por lo general, los niveles de corriente se calculan a partir de los niveles de voltaje a través de los resistores, en lugar de "romper" la red para insertar la sección de miliamperímetro de un multímetro. En los diagramas grandes se ofrecen los niveles específicos de voltaje respecto a la tierra, para facilitar la verificación e identificación de las posibles áreas de problemas. Para las redes cubiertas en este capítulo se deben considerar los niveles típicos dentro del sistema, como lo definió el potencial aplicado y la operación general de la red.

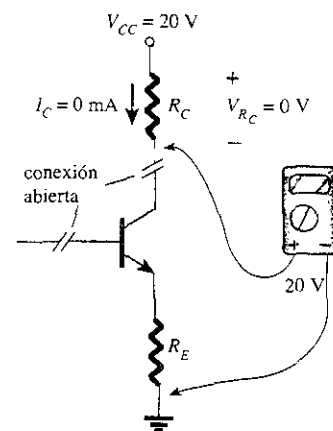


Figura 4.59 Efecto de una conexión pobre o un dispositivo dañado.

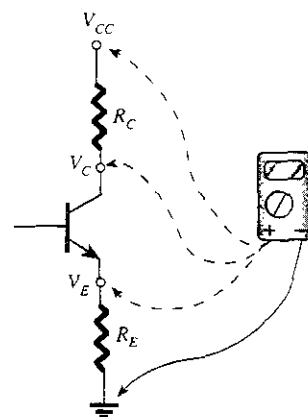


Figura 4.60 Verificación de los niveles de voltaje respecto a tierra.

El proceso de localización de fallas es una verdadera prueba para comprender claramente el comportamiento adecuado de una red y su habilidad para aislar las áreas problemáticas utilizando unas cuantas medidas básicas con los instrumentos apropiados. La experiencia es la clave, y ésta vendrá únicamente con la exposición continua a los circuitos prácticos.

EJEMPLO 4.25

Es importante basarse en las lecturas ofrecidas en la figura 4.61 para determinar si la red está operando adecuadamente, y si no lo está, encontrar la posible causa.

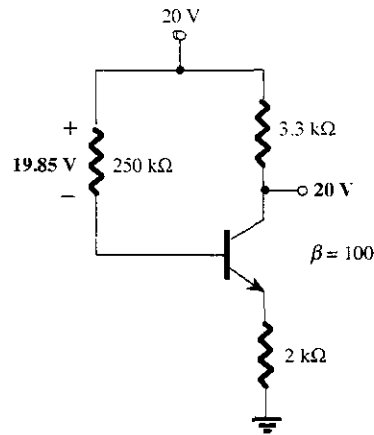


Figura 4.61 Red para el ejemplo 4.25.

Solución

Los 20 V en el colector revelan inmediatamente que $I_C = 0$ mA, debido a un circuito abierto o a un transistor que no está operando. El nivel de $V_{R_B} = 19.85$ V también revela que el transistor está en “apagado” porque la diferencia de $V_{CC} - V_{R_B} = 0.15$ V es menor que la necesaria para encender el transistor y proporcionar algún voltaje para V_E . Si se asume una condición de corto circuito desde la base al emisor, se obtiene la siguiente corriente a través de R_B .

$$I_{R_B} = \frac{V_{CC}}{R_B + R_E} = \frac{20 \text{ V}}{252 \text{ k}\Omega} = 79.4 \text{ }\mu\text{A}$$

la cual asemeja a la obtenida de

$$I_{R_B} = \frac{V_{R_B}}{R_B} = \frac{19.85 \text{ V}}{250 \text{ k}\Omega} = 79.4 \text{ }\mu\text{A}$$

Si la red se encontrara operando de manera adecuada, la corriente de base debería ser

$$I_B = \frac{V_{CC} - V_{BE}}{R_B + (\beta + 1)R_E} = \frac{20 \text{ V} - 0.7 \text{ V}}{250 \text{ k}\Omega + (101)(2 \text{ k}\Omega)} = \frac{19.3 \text{ V}}{452 \text{ k}\Omega} = 42.7 \text{ }\mu\text{A}$$

Por tanto, el resultado es que el transistor está dañado en una condición de corto circuito entre la base y el emisor.

EJEMPLO 4.26

Basándose en las lecturas que aparecen en la figura 4.62, determinar si el transistor se encuentra “encendido” y si la red está operando de manera correcta.

Solución

Si nos basamos en los valores de los resistores R_1 y R_2 y la magnitud de V_{CC} , el voltaje $V_B = 4$ V parece adecuado (y de hecho lo es). Los 3.3 V en el emisor son el resultado de una caída de 0.7 V a través de la unión base-emisor del transistor lo que sugiere un transistor “encendido”. Sin embargo, los 20 V en el colector revelan que $I_C = 0$ mA, aunque la conexión a la fuente debe ser “sólida” o los 20 V no aparecerían en el colector del dispositivo. Existen dos posibilidades: o bien puede existir una conexión pobre entre R_C y la terminal del colector del transistor, o el transistor tiene abierta la unión base-colector. Primero se verifica la continuidad en la unión del colector utilizando un óhmetro, y si está bien, debe verificarse el transistor usando uno de los métodos descritos en el capítulo 3.

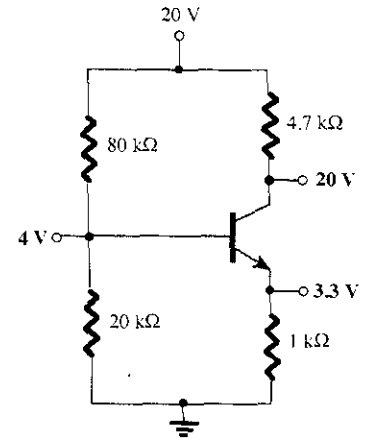


Figura 4.62 Red para el ejemplo 4.26.

4.11 TRANSISTORES PNP

Hasta ahora, el análisis se ha limitado totalmente a los transistores *npn* para asegurar que el análisis inicial de las configuraciones básicas sean lo más claras posible y simplificadas para no intercambiar entre los tipos de transistores. Por fortuna, el análisis de los transistores *pn*p sigue el mismo patrón que se estableció para los transistores *n*pn. Primero se calcula el nivel de I_B , seguido por la aplicación de las relaciones adecuadas de los transistores para determinar la lista de las cantidades que se ignoran. La única diferencia entre las ecuaciones resultantes para una red en la que se reemplazó un transistor *n*pn por un transistor *p*np es la señal asociada con las cantidades en particular.

Como se observa en la figura 4.63, la notación de doble subíndice continúa de manera normal, como ya se mencionó. Sin embargo, las direcciones de las corrientes se invirtieron para reflejar las direcciones reales de conducción. En caso de que se utilicen las polaridades definidas de la figura 4.63, tanto V_{BE} como V_{CE} serán cantidades negativas.

La aplicación de la ley de voltaje de Kirchhoff a la malla base-emisor dará por resultado la siguiente ecuación para la red de la figura 4.63:

$$-I_E R_E + V_{BE} - I_B R_B + V_{CC} = 0$$

La sustitución de $I_E = (\beta + 1)I_B$ y solución para I_B da por resultado

$$I_B = \frac{V_{CC} + V_{BE}}{R_B + (\beta + 1)R_E} \quad (4.49)$$

La ecuación resultante es la misma que la ecuación (4.17) excepto por el signo para V_{BE} . Sin embargo, en este caso $V_{BE} = -0.7$ V y la sustitución de los valores resultará el mismo signo para cada término de la ecuación (4.49) y la ecuación (4.17). Considere que la dirección de I_B ahora se definió como opuesta para un transistor *n*pn, según la figura 4.63.

Para V_{CE} la ley de voltaje de Kirchhoff se aplica a la malla colector-emisor, dando por resultado la siguiente ecuación:

$$-I_E R_E + V_{CE} - I_C R_C + V_{CC} = 0$$

Sustituyendo $I_E \equiv I_C$ da

$$V_{CE} = -V_{CC} + I_C(R_C + R_E) \quad (4.50)$$

La ecuación resultante tiene el mismo formato que la ecuación (4.19), pero el signo antes de cada término en el miembro de la derecha ha cambiado. Debido a que V_{CC} será mayor que la magnitud del término subsiguiente, el voltaje V_{CE} tendrá un signo negativo, como se pudo observar anteriormente.

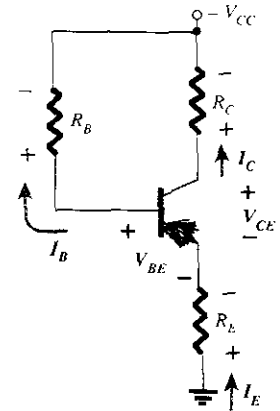


Figura 4.63 Transistor *pnp* en una configuración de estabilización en emisor.



EJEMPLO 4.27

Calcule V_{CE} para la configuración de polarización por divisor de voltaje de la figura 4.64.

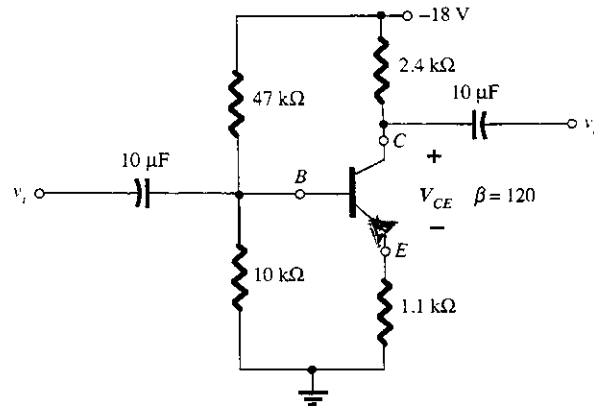


Figura 4.64 Transistor *pn**p* en una configuración de polarización por divisor de voltaje.

Solución

Probando la condición

$$\beta R_E \geq 10 R_2$$

da por resultado

$$(120)(1.1 \text{ k}\Omega) \geq 10(10 \text{ k}\Omega)$$

$$132 \text{ k}\Omega \geq 100 \text{ k}\Omega \text{ (satisfecha)}$$

Si se resuelve para V_B , se tiene

$$V_B = \frac{R_2 V_{CC}}{R_1 + R_2} = \frac{(10 \text{ k}\Omega)(-18 \text{ V})}{47 \text{ k}\Omega + 10 \text{ k}\Omega} = -3.16 \text{ V}$$

Obsérvese la similitud en el formato de la ecuación con el voltaje resultante negativo para V_B .

La aplicación de la ley de voltaje de Kirchhoff alrededor de la malla base-emisor genera

$$+V_B - V_{BE} - V_E = 0$$

y

$$V_E = V_B - V_{BE}$$

Sustituyendo los valores, se obtiene

$$\begin{aligned} V_E &= -3.16 \text{ V} - (-0.7 \text{ V}) \\ &= -3.16 \text{ V} + 0.7 \text{ V} \\ &= -2.46 \text{ V} \end{aligned}$$

Nótese cómo en la ecuación anterior se utiliza la notación de subíndice sencillo y doble. Para un transistor *n**p**n* la ecuación $V_E = V_B - V_{BE}$ sería exactamente la misma; la única diferencia aparece cuando se sustituyen los valores.

La corriente

$$I_E = \frac{V_E}{R_E} = \frac{2.46 \text{ V}}{1.1 \text{ k}\Omega} = 2.24 \text{ mA}$$

Para la malla colector-emisor:

$$-I_E R_E + V_{CE} - I_C R_C + V_{CC} = 0$$

Sustituyendo $I_E \cong I_C$ y acomodando los términos, se tiene

$$V_{CE} = -V_{CC} + I_C(R_C + R_E)$$

Sustituyendo los valores, da

$$\begin{aligned} V_C &= -18 \text{ V} + (2.24 \text{ mA})(2.4 \text{ k}\Omega + 1.1 \text{ k}\Omega) \\ &= -18 \text{ V} + 7.84 \text{ V} \\ &= -10.16 \text{ V} \end{aligned}$$

4.12 ESTABILIZACIÓN DE LA POLARIZACIÓN

La estabilidad de un sistema es una medida de la sensibilidad de una red hacia las variaciones en sus parámetros. En cualquier amplificador que utiliza un transistor, la corriente del colector I_C es sensible a cada uno de los siguientes parámetros:

β : se incrementa con el aumento en la temperatura

$|V_{BE}|$: decrece aproximadamente 7.5 mV por incremento en grado Celsius ($^{\circ}\text{C}$) en la temperatura

I_{CO} (corriente de saturación inversa): duplica su valor por cada 10°C de incremento en la temperatura

Cualquiera o todos estos factores pueden causar que el punto de polarización cambie del punto de operación diseñado. La tabla 4.1 describe la forma en que I_{CO} y V_{BE} cambiaron con el incremento en la temperatura para un transistor en particular. A temperatura ambiente (cerca de 25°C) $I_{CO} \approx 0.1 \text{ nA}$, mientras que a 100°C (punto de ebullición del agua) I_{CO} es aproximadamente 200 veces mayor a 20 nA . Para la misma variación en temperatura, β se incrementó de 50 a 80 y V_{BE} cayó de 0.65 a 0.48 V . Recuerde que I_B es muy sensible al nivel de V_{BE} , especialmente para los niveles más allá del valor del umbral.

TABLA 4.1 Variación de los parámetros de un transistor de silicio con la temperatura

T ($^{\circ}\text{C}$)	I_{CO} (nA)	β	V_{BE} (V)
-65	0.2×10^{-3}	20	0.85
25	0.1	50	0.65
100	20	80	0.48
175	3.3×10^3	120	0.3

El efecto de los cambios en la corriente de fuga (I_{CO}) y la ganancia de corriente (β) sobre el punto de polarización de dc se demuestra por las características de colector para emisor-común de las figuras 4.65a y 4.65b. La figura 4.65 muestra la forma como cambian las características de colector del transistor desde una temperatura de 25°C a una temperatura de 100°C . Obsérvese que el incremento significativo en la corriente de fuga no solamente causa que las curvas se eleven sino que también existe un incremento en la beta, según se observa a través del mayor espaciamiento entre las curvas.

Se puede especificar un punto de operación mediante el dibujo de la recta de carga de dc del circuito sobre la gráfica de las características de colector, y notando la intersección de la recta de carga y la corriente de base de dc establecida por el circuito de entrada. Se marca un punto de forma arbitraria en la figura 4.65a en $I_B = 30 \mu\text{A}$. Debido a que el circuito de polarización fija proporciona una corriente de base cuyo valor depende aproximadamente del voltaje de la fuente de alimentación y el resistor de la base, ninguno se ve afectado por la temperatura o el cambio en la corriente de fuga o en la beta, pero existirá la misma magnitud de la corriente de base a altas temperaturas, según se indica en la gráfica de la figura 4.65b. Como lo muestra la figura, dará por resultado el cambio del punto de polarización de dc a una mayor corriente de colector y a un menor voltaje colector-emisor en el punto de operación. En el extremo, el transistor no podría llevarse a saturación. En cualquier caso, el nuevo punto de operación puede no ser satisfactorio y ocasionar una distorsión considerable debido al cambio del punto de polarización. Un mejor circuito de polarización es el que estabilizará o mantendrá la polari-

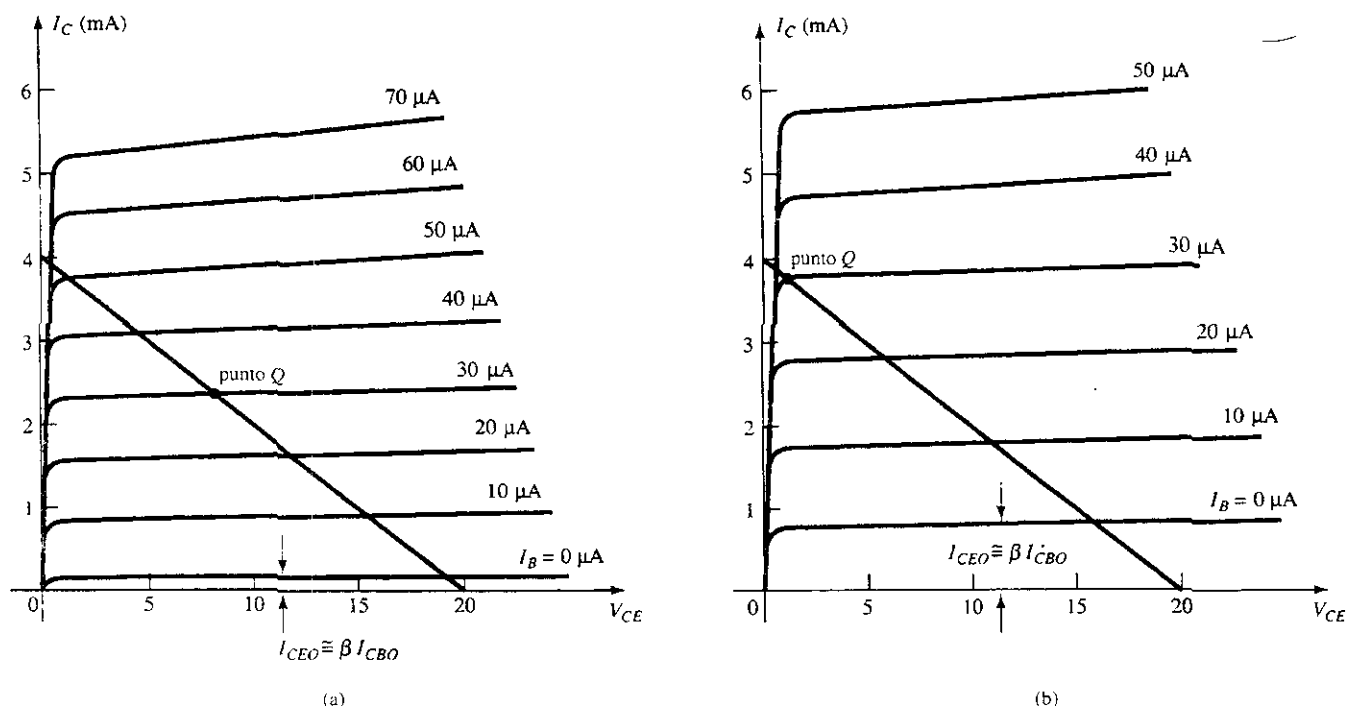


Figura 4.65 Cambio en el punto de polarización de dc (punto Q) debido al cambio en la temperatura: a) 25°C; b) 100°C.

dad de dc establecida inicialmente, de forma que el amplificador puede utilizarse en un ambiente de temperatura variable.

Factores de estabilidad, $S(I_{CO})$, $S(V_{BE})$ y $S(\beta)$

Se definió un factor de estabilidad S para cada uno de los parámetros que afectan la estabilidad de la polaridad, según se lista a continuación:

$$S(I_{CO}) = \frac{\Delta I_C}{\Delta I_{CO}} \quad (4.51)$$

$$S(V_{BE}) = \frac{\Delta I_C}{\Delta V_{BE}} \quad (4.52)$$

$$S(\beta) = \frac{\Delta I_C}{\Delta \beta} \quad (4.53)$$

En cada caso el símbolo delta (Δ) significa un cambio en dicha cantidad. El numerador de cada ecuación es el cambio en la corriente del colector, según se estableció mediante el cambio de la cantidad en el denominador. Para una configuración en particular, si un cambio en I_{CO} no puede producir un cambio significativo en I_C , el factor de estabilidad definido por $S(I_{CO}) = \Delta I_C / \Delta I_{CO}$ será muy pequeño. En otras palabras:

Las redes que son muy estables y relativamente insensibles a las variaciones en la temperatura tienen bajos factores de estabilidad.

Parecería más apropiado en algunas ocasiones considerar las cantidades definidas por las ecuaciones (4.51 a 4.53) como los factores de sensibilidad porque:

Mientras más alto es el factor de estabilidad, mayor sensibilidad tendrá la red a las variaciones de dicho parámetro.

El estudio de los factores de estabilidad requiere del conocimiento del cálculo diferencial. Sin embargo, el propósito aquí es revisar los resultados del análisis matemático y realizar una evaluación total de los factores de estabilidad para las configuraciones de polarización más comunes. Gran cantidad de literatura referente a este tema está disponible, y si el tiempo lo permite se le propone leer más acerca del tema.

$S(I_{CO})$:

CONFIGURACIÓN DE POLARIZACIÓN EN EMISOR

Un análisis de la red para la configuración de polarización en emisor dará por resultado

$$S(I_{CO}) = (\beta + 1) \frac{1 + R_B/R_E}{(\beta + 1) + R_B/R_E} \quad (4.54)$$

Para $R_B/R_E \gg (\beta + 1)$, la ecuación (4.54) se reducirá a la siguiente:

$$S(I_{CO}) = \beta + 1 \quad (4.55)$$

según se indica en la gráfica de $S(I_{CO})$ en función de R_B/R_E en la figura 4.66.

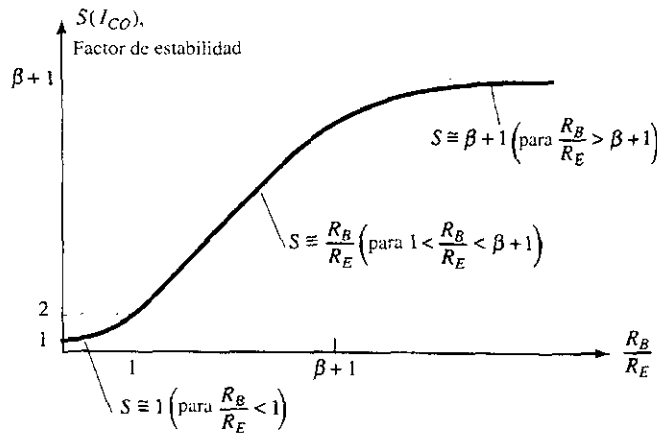


Figura 4.66 Variación del factor de estabilidad $S(I_{CO})$ con el cociente de resistor R_B/R_E para la configuración de polarización en emisor.

Para $R_B/R_E \ll 1$, la ecuación (4.54) se aproximará al siguiente nivel (según se muestra en la figura 4.66):

$$S(I_{CO}) = (\beta + 1) \frac{1}{(\beta + 1)} = 1 \quad (4.56)$$

revelando que el factor de estabilidad se acercará a su nivel más bajo mientras R_E se vuelve lo suficientemente grande. Sin embargo, considere que un buen control de la polarización normalmente requiere que R_B sea mayor que R_E . Por tanto, el resultado es una situación donde los mejores niveles de estabilidad están asociados con un criterio pobre de diseño. Obviamente, debe existir un compromiso que satisfaga tanto a la estabilidad como a las especificaciones de polarización. Es importante observar en la figura 4.66 que el valor más bajo de $S(I_{CO})$ es 1, revelando que I_C siempre se incrementará a un ritmo igual o mayor que I_{CO} .

Para el rango donde R_B/R_E fluctúa entre 1 y $(\beta + 1)$, el factor de estabilidad se encontrará determinado por

$$S(I_{CO}) \approx \frac{R_B}{R_E} \quad (4.57)$$

según se muestra en la figura 4.66. Los resultados revelan que la configuración de polarización en emisor es muy estable cuando la relación de R_B/R_E es tan pequeña como sea posible, y es menos estable cuando dicha relación se acerca a $(\beta + 1)$.

EJEMPLO 4.28

Calcular el factor de estabilidad y el cambio en I_C desde 25 °C hasta 100 °C para el transistor definido por la tabla 4.1 para los siguientes arreglos de polarización en emisor.

- $R_B/R_E = 250$ ($R_B = 250R_E$).
- $R_B/R_E = 10$ ($R_B = 10R_E$).
- $R_B/R_E = 0.01$ ($R_E = 100R_B$).

Solución

$$\begin{aligned} \text{a) } S(I_{CO}) &= (\beta + 1) \frac{1 + R_B/R_E}{1 + \beta + R_B/R_E} \\ &= 51 \left(\frac{1 + 250}{51 + 250} \right) = 51 \left(\frac{251}{301} \right) \\ &\cong 42.53 \end{aligned}$$

la cual empieza a acercarse al nivel definido por $\beta + 1 = 51$.

$$\begin{aligned} \Delta I_C &= [S(I_{CO})](\Delta I_{CO}) = (42.53)(19.9 \text{ nA}) \\ &\cong 0.85 \text{ } \mu\text{A} \end{aligned}$$

$$\begin{aligned} \text{b) } S(I_{CO}) &= (\beta + 1) \frac{1 + R_B/R_E}{1 + \beta + R_B/R_E} \\ &= 51 \left(\frac{1 + 10}{51 + 10} \right) = 51 \left(\frac{11}{61} \right) \\ &\cong 9.2 \end{aligned}$$

$$\begin{aligned} \Delta I_C &= [S(I_{CO})](\Delta I_{CO}) = (9.2)(19.9 \text{ nA}) \\ &\cong 0.18 \text{ } \mu\text{A} \end{aligned}$$

$$\begin{aligned} \text{c) } S(I_{CO}) &= (\beta + 1) \frac{1 + R_B/R_E}{1 + \beta + R_B/R_E} \\ &= 51 \left(\frac{1 + 0.01}{51 + 0.01} \right) = 51 \left(\frac{1.01}{51.01} \right) \\ &\cong 1.01 \end{aligned}$$

la cual se encuentra muy cercana al nivel de 1 del pronóstico si $R_B/R_E \ll 1$.

$$\begin{aligned} \Delta I_C &= [S(I_{CO})](\Delta I_{CO}) = 1.01(19.9 \text{ nA}) \\ &= 20.1 \text{ nA} \end{aligned}$$

El ejemplo 4.28 revela cómo los niveles más bajos de I_{CO} para el transistor BJT moderno mejoraron el nivel de estabilidad de las configuraciones de polarización básicas. Aun cuando el cambio en I_C es considerablemente diferente en un circuito con una estabilidad ideal ($S = 1$), de uno con un factor de estabilidad de 42.53, el cambio en I_C de una corriente en dc que se fijó, por ejemplo, en 2 mA, sería de 2 mA a 2.085 mA en el peor caso, lo cual es obviamente lo suficientemente pequeño como para que lo ignoren la mayoría de las aplicaciones. Algunos transistores de potencia exhiben mayores corrientes de fuga, pero para la mayor parte de los circuitos amplificadores los niveles más bajos de I_{CO} han tenido un impacto muy positivo sobre la cuestión de la estabilidad.

CONFIGURACIÓN DE POLARIZACIÓN FIJA

Para la configuración de polarización fija, si se multiplican el numerador y el denominador de la ecuación (4.54) por R_E y se hace a $R_E = 0 \text{ } \Omega$, resultará la siguiente ecuación:

$$S(I_{CO}) = \beta + 1 \quad (4.58)$$

Obsérvese que la ecuación resultante asemeja el valor máximo para la configuración de polarización en emisor. El resultado es una configuración con un factor de estabilidad pobre y una alta sensibilidad a las variaciones de I_{CO} .

Configuración de polarización por divisor de voltaje

Recuerde de la sección 4.5 el desarrollo de la red equivalente de Thévenin que aparece en la figura 4.67, para la configuración de polarización por divisor de voltaje. Para la red de la figura 4.67 la ecuación para $S(I_{CO})$ es la siguiente:

$$S(I_{CO}) = (\beta + 1) \frac{1 + R_{Th}/R_E}{(\beta + 1) + R_{Th}/R_E} \quad (4.59)$$

Nótese las similitudes con la ecuación (4.54), donde se determinó que $S(I_{CO})$ tenía su nivel más bajo y la red tenía su mayor estabilidad cuando $R_E > R_B$. Para la ecuación (4.59), la condición correspondiente es $R_E > R_{Th}$ o bien, R_{Th}/R_E debe ser tan pequeño como sea posible. Para la configuración de polarización por divisor de voltaje, R_{Th} puede ser mucho menor que la correspondiente R_B en la configuración de polarización en emisor y aun así tener un diseño efectivo.

Configuración de polarización por retroalimentación ($R_E = 0 \Omega$)

En este caso,

$$S(I_{CO}) = (\beta + 1) \frac{1 + R_E/R_C}{(\beta + 1) + R_E/R_C} \quad (4.60)$$

Debido a que la ecuación es similar en formato a la que se obtuvo para las configuraciones de polarización en emisor y de polarización por divisor de voltaje, también aquí pueden aplicarse las mismas conclusiones respecto a la relación de R_E/R_C .

Impacto físico

El tipo de ecuaciones que se desarrollaron arriba, a menudo fallan en cuanto a proporcionar un sentido físico para el motivo, por el cual las redes se comportan de la forma en que lo hacen. Ahora se sabe de los niveles relativos de estabilidad y cómo la elección de los parámetros puede afectar la sensibilidad de la red, pero sin estas ecuaciones quizá resulte difícil explicar con palabras por qué una red es más estable que otra. Los párrafos siguientes intentan llenar este vacío a través del uso de algunas de las relaciones básicas asociadas con cada configuración.

Para la configuración de polarización fija de la figura 4.68a, la ecuación para la corriente de base es la siguiente:

$$I_B = \frac{V_{CC} - V_{BE}}{R_B}$$

con la corriente del colector determinada por

$$I_C = \beta I_B + (\beta + 1)I_{CO} \quad (4.61)$$

Si I_C como se indica en la ecuación 4.61 debe incrementarse debido a un incremento en I_{CO} , no existe nada en la ecuación para I_B que intente compensar este incremento que no se desea en el nivel de corriente (suponiendo que V_{BE} permanezca constante). En otras palabras, el nivel de I_C continuaría elevándose con la temperatura con I_B , manteniendo un valor prácticamente constante; por lo mismo, sería una situación muy inestable.

Sin embargo, para la configuración de polarización en emisor de la figura 4.68b, un aumento en I_C debido a un incremento en I_{CO} causará que el voltaje $V_E = I_E R_E \cong I_C R_E$ se incremente. El resultado sería una caída en el nivel de I_B , según se determina en la siguiente ecuación:

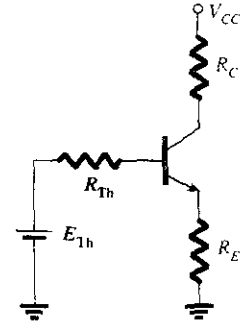


Figura 4.67 Circuito equivalente para la configuración de divisor de voltaje.

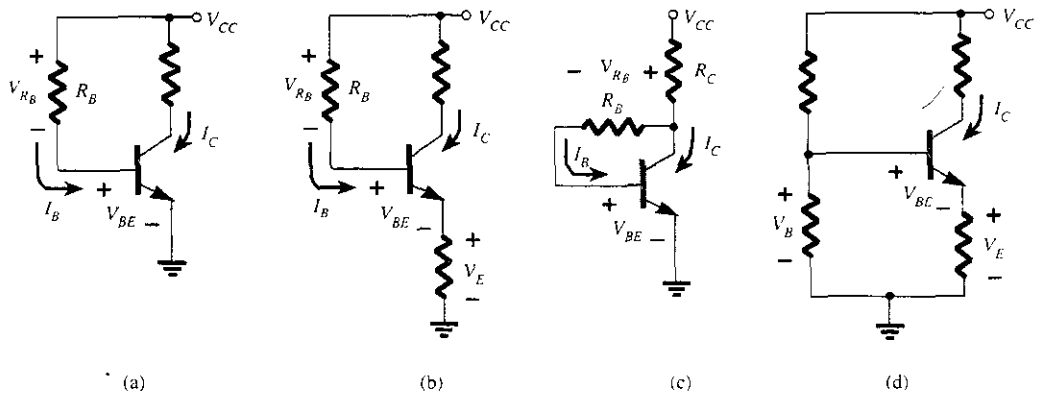


Figura 4.68 Revisión de las redes de polarización y del factor de estabilidad $S(I_{CO})$.

$$I_B \downarrow = \frac{V_{CC} - V_{BE} - V_E \uparrow}{R_B} \quad (4.62)$$

Una caída en I_B tendrá el efecto de reducir el nivel de I_C a través de la acción del transistor, y por lo mismo compensa la tendencia de I_C a incrementarse por un aumento en la temperatura. En total, la configuración es tal que existe una reacción hacia un incremento en I_C , que tenderá a oponerse al cambio en las condiciones de polarización.

La configuración de retroalimentación de la figura 4.68c opera de la misma forma que la configuración de polarización en emisor cuando llega a los niveles de estabilidad. Si I_C se incrementa debido al aumento en la temperatura, el nivel de V_{R_C} se elevará en la siguiente ecuación:

$$I_B \downarrow = \frac{V_{CC} - V_{BE} - V_{R_C} \uparrow}{R_B} \quad (4.63)$$

y el nivel de I_B se reducirá. El resultado es un efecto estabilizador como el descrito para la configuración de polarización en emisor. El lector debe estar enterado de que la acción descrita arriba no sucede en una secuencia paso por paso. En su lugar, se trata de una acción simultánea para mantener las condiciones de polarización establecidas. En otras palabras, en el mismo instante en que I_C empiece a incrementarse, la red captará el cambio y tendrá lugar el efecto de balanceo que se describió antes.

La más estable de las configuraciones es la red de polarización por divisor de voltaje de la figura 4.68d. Si se satisface la condición $\beta R_E \gg 10R_2$, el voltaje V_B permanecerá razonablemente constante para los niveles cambiantes de I_C . El voltaje base-emisor de la configuración está determinado por $V_{BE} = V_B - V_E$. Si I_C se incrementa, V_E aumentará como se menciona arriba, y para un V_B constante el voltaje V_{BE} caerá. Una caída en V_{BE} establecerá un nivel bajo de I_B , que tratará a su vez de compensar el nivel de aumento de I_C .

$S(V_{BE})$:

El factor de estabilidad definido por

$$S(V_{BE}) = \frac{\Delta I_C}{\Delta V_{BE}}$$

resultará en la siguiente ecuación para la configuración de polarización en emisor:

$$S(V_{BE}) = \frac{-\beta}{R_B + (\beta + 1)R_E} \quad (4.64)$$

Sustituyendo $R_E = 0 \Omega$, como ocurre con la configuración de polarización fija, dará por resultado

$$S(V_{BE}) = -\frac{\beta}{R_B} \quad (4.65)$$



La ecuación (4.64) puede escribirse de la siguiente forma:

$$S(V_{BE}) = \frac{-\beta/R_E}{R_B/R_E + (\beta + 1)} \quad (4.66)$$

Sustituyendo la condición $(\beta + 1) \gg R_B/R_E$ resultará la siguiente ecuación para $S(V_{BE})$:

$$S(V_{BE}) \cong \frac{-\beta/R_E}{\beta + 1} \cong \frac{-\beta/R_E}{\beta} = -\frac{1}{R_E} \quad (4.67)$$

revela que mientras más grande sea la resistencia R_E , menor será el factor de estabilidad y más estable el sistema.

Determine el factor de estabilidad $S(V_{BE})$ y el cambio en I_C desde 25 °C hasta 100 °C para el transistor señalado en la tabla 4.1 para los siguientes arreglos de polarización.

EJEMPLO 4.29

- Polarización fija con $R_B = 240 \text{ k}\Omega$ y $\beta = 100$.
- Polarización en emisor con $R_B = 240 \text{ k}\Omega$, $R_E = 1 \text{ k}\Omega$ y $\beta = 100$.
- Polarización en emisor con $R_B = 47 \text{ k}\Omega$, $R_E = 4.7 \text{ k}\Omega$ y $\beta = 100$.

Solución

$$\begin{aligned} \text{a) La ecuación (4.65): } S(V_{BE}) &= -\frac{\beta}{R_B} \\ &= -\frac{100}{240 \text{ k}\Omega} \\ &= -0.417 \times 10^{-3} \end{aligned}$$

$$\begin{aligned} \text{y } \Delta I_C &= [S(V_{BE})](\Delta V_{BE}) \\ &= (-0.417 \times 10^{-3})(0.48 \text{ V} - 0.65 \text{ V}) \\ &= (-0.417 \times 10^{-3})(-0.17 \text{ V}) \\ &= 70.9 \text{ }\mu\text{A} \end{aligned}$$

- En este caso, $(\beta + 1) = 101$ y $R_B/R_E = 240$. La condición $(\beta + 1) \gg R_B/R_E$ no está satisfecha, y no permite el uso de la ecuación (4.67) y requiere del uso de la ecuación (4.64).

$$\begin{aligned} \text{La ecuación (4.64): } S(V_{BE}) &= \frac{-\beta}{R_B + (\beta + 1)R_E} \\ &= \frac{-100}{240 \text{ k}\Omega + (101)1 \text{ k}\Omega} = -\frac{100}{341 \text{ k}\Omega} \\ &= -0.293 \times 10^{-3} \end{aligned}$$

la cual es aproximadamente 30% menor que el valor de polarización fija debido al término adicional $(\beta + 1)R_E$ en el denominador de la ecuación $S(V_{BE})$.

$$\begin{aligned} \Delta I_C &= [S(V_{BE})](\Delta V_{BE}) \\ &= (-0.293 \times 10^{-3})(-0.17 \text{ V}) \\ &\cong 50 \text{ }\mu\text{A} \end{aligned}$$

- En este caso,

$$(\beta + 1) = 101 \gg \frac{R_B}{R_E} = \frac{47 \text{ k}\Omega}{4.7 \text{ k}\Omega} = 10 \text{ (satisfecha)}$$

$$\begin{aligned}
 \text{La ecuación (4.67): } S(V_{BE}) &= -\frac{1}{R_E} \\
 &= -\frac{1}{4.7 \text{ k}\Omega} \\
 &= -0.212 \times 10^{-3}
 \end{aligned}$$

$$\begin{aligned}
 y \quad \Delta I_C &= [S(V_{BE})](\Delta V_{BE}) \\
 &= (-0.212 \times 10^{-3})(-0.17 \text{ V}) \\
 &= 36.04 \text{ }\mu\text{A}
 \end{aligned}$$

En el ejemplo 4.29 el incremento de $70.9 \text{ }\mu\text{A}$ tendrá un impacto en el nivel de I_{C_Q} . Para una situación donde $I_{C_Q} = 2 \text{ mA}$, la corriente resultante del colector aumentará a

$$\begin{aligned}
 I_{C_Q} &= 2 \text{ mA} + 70.9 \text{ }\mu\text{A} \\
 &= 2.0709 \text{ mA}
 \end{aligned}$$

un incremento de 3.5%.

Para la configuración por divisor de voltaje el nivel de R_B se cambiará a R_{Th} en la ecuación (4.64) (según se definió en la figura 4.67). En el ejemplo 4.29, al utilizar una de $R_B = 47 \text{ k}\Omega$ resulta ser un diseño cuestionable. Sin embargo, será R_{Th} para la configuración del divisor de voltaje; sin embargo, puede ser de este nivel o uno menor y todavía mantener buenas características de diseño. La ecuación resultante para $S(V_{BE})$ para la red de retroalimentación será similar a la de la ecuación (4.64) con R_E reemplazada por R_C .

$S(\beta)$:

El último factor de estabilidad que se investigará es el de $S(\beta)$. El desarrollo matemático es más complejo que el que se encontró para $S(I_{C_Q})$ y para $S(V_{BE})$, como lo da a entender la siguiente ecuación para la configuración de polarización en emisor:

$$S(\beta) = \frac{\Delta I_C}{\Delta \beta} = \frac{I_{C_1}(1 + R_B/R_E)}{\beta_1(1 + \beta_2 + R_B/R_E)} \quad (4.68)$$

La notación I_{C_1} y β_1 se utiliza para definir sus valores bajo un conjunto de condiciones de red, mientras que la notación β_2 se usa para describir un nuevo valor de beta como lo establecen causas como un cambio en temperatura, la variación de β del mismo transistor o un cambio de transistores.

EJEMPLO 4.30

Calcule I_{C_Q} a una temperatura de 100°C e $I_{C_Q} = 2 \text{ mA}$ a 25°C . Utilice el transistor descrito en la tabla 4.1, donde $\beta_1 = 50$ y $\beta_2 = 80$ y un cociente de resistencia R_B/R_E de 20.

Solución

$$\begin{aligned}
 \text{La ecuación (4.68): } S(\beta) &= \frac{I_{C_1}(1 + R_B/R_E)}{\beta_1(1 + \beta_2 + R_B/R_E)} \\
 &= \frac{(2 \times 10^{-3})(1 + 20)}{(50)(1 + 80 + 20)} = \frac{42 \times 10^{-3}}{5050} \\
 &= 8.32 \times 10^{-6}
 \end{aligned}$$

$$\begin{aligned}
 y \quad \Delta I_C &= [S(\beta)](\Delta \beta) \\
 &= (8.32 \times 10^{-6})(30) \\
 &= 0.25 \text{ mA}
 \end{aligned}$$

En conclusión, la corriente del colector cambió de 2 mA a una temperatura ambiente a 2.25 mA a 100 °C, representando un cambio de 12.5%.

La configuración de polarización fija está definida por $S(\beta) = I_{C1} / \beta_1$ y la R_B de la ecuación (4.68) puede reemplazarse por R_{Th} para la configuración del divisor de voltaje.

Para la configuración de retroalimentación en colector con $R_E = 0 \Omega$,

$$S(\beta) = \frac{I_{C1}(R_B + R_C)}{\beta_1(R_B/R_C(1 + \beta_2))} \quad (4.69)$$

Resumen

Ahora que se presentaron tres factores de estabilidad importantes, el efecto total sobre la corriente del colector puede calcularse utilizando la siguiente ecuación:

$$\Delta I_C = S(I_{CO})\Delta I_{CO} + S(V_{BE})\Delta V_{BE} + S(\beta)\Delta\beta \quad (4.70)$$

Al principio, la ecuación puede parecer muy compleja, pero tome en cuenta que cada componente sólo es un factor de estabilidad para la configuración multiplicado por el cambio resultante en un parámetro entre los límites de interés de temperatura. Además, la ΔI_C que debe determinarse simplemente es el cambio en I_C a partir del nivel a una temperatura ambiente.

Por ejemplo, si se examina la configuración de polarización fija, la ecuación (4.70) se convierte en la siguiente:

$$\Delta I_C = (\beta + 1)\Delta I_{CO} - \frac{\beta}{R_B} \Delta V_{BE} + \frac{I_{C1}}{\beta_1} \Delta\beta \quad (4.71)$$

después de sustituir los factores de estabilidad como se derivó en esta sección. Ahora, se usará la tabla 4.1 para encontrar el cambio en la corriente del colector para un cambio de temperatura desde 25 °C (temperatura ambiente) a 100 °C (el punto de ebullición del agua). Para este rango la tabla revela que

$$\Delta I_{CO} = 20 \text{ nA} - 0.1 \text{ nA} = 19.9 \text{ nA}$$

$$\Delta V_{BE} = 0.48 \text{ V} - 0.65 \text{ V} = -0.17 \text{ V} \quad (\text{obsérvese el signo})$$

$$y \quad \Delta\beta = 80 - 50 = 30$$

Empezando con una corriente de colector de 2 mA con una R_B de 240 k Ω , el cambio resultante en I_C debido a un incremento en la temperatura de 75 °C es el siguiente:

$$\begin{aligned} \Delta I_C &= (50 + 1)(19.9 \text{ nA}) - \frac{50}{240 \text{ k}\Omega} (-0.17 \text{ V}) + \frac{2 \text{ mA}}{50} (30) \\ &= 1.01 \mu\text{A} + 35.42 \mu\text{A} + 1200 \mu\text{A} \\ &= 1.236 \text{ mA} \end{aligned}$$

el cual es un cambio significativo debido principalmente al cambio en β . La corriente de colector aumentó desde 2 mA a 3.236 mA, pero esto era esperado, en el sentido que se reconoce en el contenido de esta sección, que la configuración de polarización fija es la de menor estabilidad.

Si se hubiera utilizado la configuración más estable del divisor de voltaje, con un cociente de $R_{Th}/R_E = 2$ y $R_E = 4.7 \Omega$, entonces

$$S(I_{CO}) = 2.89, \quad S(V_{BE}) = -0.2 \times 10^{-3}, \quad S(\beta) = 1.445 \times 10^{-6}$$

$$\begin{aligned} y \quad \Delta I_C &= (2.89)(19.9 \text{ nA}) - 0.2 \times 10^{-3}(-0.17 \text{ V}) + 1.445 \times 10^{-6}(30) \\ &= 57.51 \text{ nA} + 34 \mu\text{A} + 43.4 \mu\text{A} \\ &= 0.077 \text{ mA} \end{aligned}$$



La corriente de colector resultante es de 2.077 mA o esencialmente 2.1 mA, comparada con los 2.0 mA a 25 °C. La red es obviamente mucho más estable que la configuración de polarización fija, como se señaló en análisis anteriores. En este caso $S(\beta)$ no pasó por encima de los otros dos factores, y los efectos de $S(V_{BE})$ y de $S(I_{CO})$ fueron por igual muy importantes. A temperaturas mayores los efectos de $S(I_{CO})$ y de $S(V_{BE})$ serán mayores que para $S(\beta)$ para el dispositivo de la tabla 4.1. Para temperaturas abajo de los 25 °C I_C disminuirá con niveles crecientes de temperaturas negativas.

El efecto de $S(I_{CO})$ en el proceso de diseño se convierte en una preocupación menor, debido a las mejores técnicas de manufactura que continúan disminuyendo el nivel de $I_{CO} = I_{CBO}$. También debe mencionarse que para un transistor en particular la variación en los niveles de I_{CBO} y V_{BE} de un transistor a otro en un lote es casi despreciable, comparada con la variación en beta. Además, los resultados del análisis anterior sustentan el hecho de que para un buen diseño estable:

El cociente R_B / R_E o R_{Th} / R_E debe ser lo más pequeño posible con las debidas consideraciones en todos los aspectos del diseño, incluyendo la respuesta en ac.

Aunque el análisis anterior puede resultar confuso porque las ecuaciones son muy complejas para algunas de las sensibilidades, el propósito es desarrollar un alto grado de precaución sobre los factores que se involucran en un buen diseño y para estar más cerca de los parámetros de los transistores y el impacto que ejercen sobre el funcionamiento de la red. El análisis de las secciones anteriores fue para las situaciones idealizadas con valores invariables de parámetros. Ahora, se debe estar consciente de cómo puede variar la respuesta en dc del diseño con las variaciones de los parámetros de un transistor.

4.13 ANÁLISIS POR COMPUTADORA

Esta sección contiene un análisis de la red del divisor de voltaje del ejemplo 4.7 y se necesita recurrir tanto a BASIC como a PSpice. Además, proporciona una excelente oportunidad para comparar las ventajas relativas de cada uno.

PSpice (versión DOS)

La red del ejemplo 4.7 se ha redibujado en la figura 4.69 con los nodos escogidos para el análisis PSpice. El archivo de entrada aparece en la figura 4.70. Nótese que todos los parámetros se definieron entre los nodos indicados, asumiendo al primer nodo como el de mayor potencial. El formato del enunciado del transistor es su entrada .MODEL como lo señalamos en el capítulo 3. Si las cantidades específicas como $I(R_C) = I_{RC} = I_C$ y $V(3,4) = V_{CE}$ se requieren en lugar de un simple listado de todos los voltajes nodales, debe añadirse un enunciado de control .DC como se indica. En el enunciado .DC se especifica la fuente al nivel necesario. Si se repiten los 22 V como en este caso, el análisis únicamente se hará en este nivel. Si el segundo nivel es distinto, el paquete desarrollará el análisis a cada nivel en y entre los dos niveles utilizando un incremento definido como la entrada siguiente, en este caso 1 V. Sin embargo, debido a que los 22 V se repiten en este enunciado de control .DC, se requiere el 1 V para completar el formato

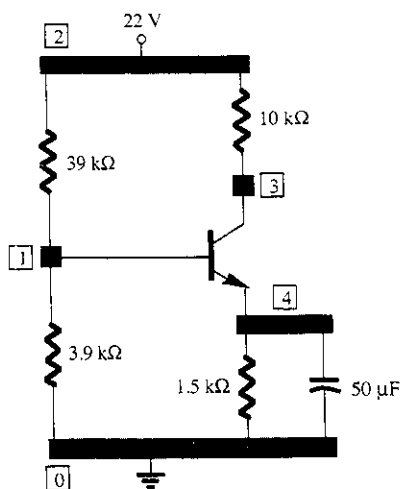


Figura 4.69 Red para ser analizada utilizando PSpice.

Figura 4.70 Archivo de entrada para el análisis con PSpice de la red de la figura 4.69.

```
DC Biasing of BJT - Fig. 4.69
VCC 2 0 22V
R1 2 1 39K
R2 1 0 3.9K
RC 2 3 10K
RE 4 0 1.5K
CE 4 0 50UF
Q1 3 1 4 QN
.MODEL QN NPN(BF=140 IS=2E-15)
.DC VCC 22 22 1
.PRINT DC I(RC) V(3,4)
.OPTIONS NOPAGE
.END
```

DC Biasing of BJT - Fig. 4.69

**** CIRCUIT DESCRIPTION

```
*****
VCC 2 0 22V
R1 2 1 39K
R2 1 0 3.9K
RC 2 3 10K
RE 4 0 1.5K
CE 4 0 50UF
Q1 3 1 4 QN
.MODEL QN NPN(BF=140 IS=2E-15)
.DC VCC 22 22 1
.PRINT DC I(RC) V(3,4)
.OPTIONS NOPAGE
.END
```

**** BJT MODEL PARAMETERS

```
QN
NPN
IS 2.000000E-15
BF 140
```

**** DC TRANSFER CURVES

```
VCC I(RC) V(3,4)
2.200E+01 8.512E-04 1.220E+01
```

TEMPERATURE = 27.000 DEG C

Figura 4.71 Archivo de salida para el análisis con PSpice de la red de la figura 4.69.

de la instrucción, pero se omite en la secuencia operacional. La instrucción .PRINT puede escribirse después para especificar las cantidades deseadas en el listado del archivo de salida.

El archivo de salida aparece en la figura 4.71 con la lista de parámetros especificados del modelo y los niveles que se desean de salida. Tanto para I_{C_Q} como para V_{CE_Q} los resultados obtenidos, utilizando PSpice, son una réplica exacta con las soluciones del ejemplo 4.7. Esto es, $I_{C_Q} = 8.512E-04 = 0.8512 \text{ mA}$ y $V_{CE_Q} = 1.220E+01 = 12.2 \text{ V}$.

Análisis con el centro de diseño PSpice para Windows

Con la misma técnica descrita en el capítulo 2, la red de la figura 4.69 puede crearse sobre la página esquemática como se muestra en la figura 4.72. El transistor y el capacitor no aparecen en redes anteriores, pero son parte de la biblioteca **Get New Part**. El capacitor se encuentra listado en la biblioteca **analog.slb** y el transistor **Q2N2222** en la biblioteca **eval.slb**. Obsérvese en **eval.slb** que cuando se selecciona una parte, con el dispositivo apuntador (mouse), sobre el **Q2N2222**, aparece una descripción (**Description**) arriba de la selección en la caja de diálogo **Get Part**. Recuerde que los **VIEWPOINT** (puntos de vista) se establecen al elegir la opción

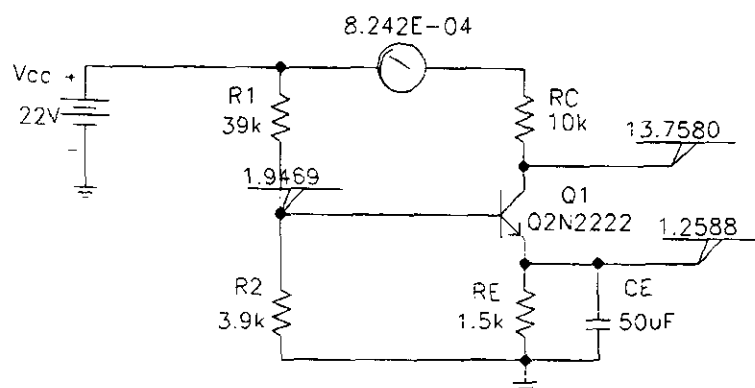


Figura 4.72 Presentación esquemática de PSpice (Windows) de la figura 4.69.



desde la biblioteca **special.slb**. Cada **VIEWPOINT** se coloca con sólo oprimir el botón izquierdo del dispositivo apuntador. Para terminar el proceso oprima el botón derecho del apuntador. La corriente del colector será recogida por la opción **IProbe** de la biblioteca **special.slb**, como se muestra en la rama del colector de la red. Tome en cuenta que la corriente que debe captarse se sitúa en el círculo más cercano a la curva interna, porque ésta significa la escala de medición.

En la figura 4.69 la beta del transistor es 140 y la corriente de saturación se ha inicializado en 2E-15 A. Una vez en el esquema, al oprimir el símbolo del transistor (sólo una vez) y tecleando **Edit**, en la barra de menú, aparecerá una lista de opciones donde **Model** es una de ellas. Se elige **Model** y aparecerá una caja de diálogo **Edit Model**. Como únicamente estamos interesados en cambiar la beta y establecer I_s para esta red, se escoge **Edit Instance Model** (elegir modelo ejemplo). Entonces se proporciona una lista para el transistor **Q2N2222** y pueden cambiarse **Is** (e **Ise**) a 2E-15 y **Bf** a 140. Una vez cambiados, se oprime **OK** y los parámetros de la red han sido modificados.

Es muy probable que la mayoría de los usuarios de Windows coloquen primero los resistores, seguidos por el capacitor, transistor y la fuente de voltaje dc. Las líneas se capturan por lo general al final para completar la red. Sin embargo, el resultado de dicha secuencia es que los nodos tengan asignados valores numéricos de acuerdo con la secuencia en que los elementos fueron capturados, y las probabilidades serán que no concuerden con el valor numérico asignado a cada nodo en la figura 4.69. Sin embargo, las referencias de los nodos pueden cambiarse si se elige **Analysis** y luego **Examine Netlist** (examinar lista). Lo mejor sería prever que la introducción de un **IProbe** requerirá de la introducción de un nodo adicional entre V_{CC} y la terminal del colector del transistor. En este caso el nodo adicional (5) fue asignado para asegurar que las referencias de los nodos sean las mismas que la figura 4.69. Los números asignados podrán cambiarse con una secuencia **insert/delete** (insertar/borrar) y registrar cuando se abandone la caja de diálogo.

Antes de simular el programa, debe estar seguro de que **Probe Setup** (inicialización de la prueba) bajo **Analysis** no esté inicializada para ejecutar automáticamente **Probe** después de la simulación. Esto le ahorrará tener que involucrarse con la respuesta de **Probe** antes de ver el archivo de salida. La respuesta de **Probe** se examinará en el capítulo 8 cuando se analice un sistema en ac. La simulación de la red dará por resultado el archivo de salida de la figura 4.73. El archivo de la figura 4.73 es una versión cortada y pegada para permitir una concentración de los elementos más importantes del archivo. Obsérvese que la lista neta esquemática (**Schematics Netlist**) tiene las mismas referencias de nodos que la figura 4.69 para cada elemento, y que el transistor se encuentra listado en la secuencia 3-1-4 (colector, base, emisor) como lo requiere la versión DOS. Los parámetros del modelo BJT (**BJT MODEL PARAMETERS**) es un listado de los parámetros más importantes que definen al transistor **Q2N2222**. Nótese que **IS** es 2E-15 y **BF** (beta) es 140.

Se puede encontrar una descripción de todos los parámetros listados en THE DESIGN CENTER Circuit Analysis Reference Manual (manual de referencia del análisis de circuitos del Centro de Diseño) de MicroSim Corporation. Los niveles dc para los diferentes nodos (respecto a la tierra) son parte de la solución de polarización en pequeña señal (**Small Signal Bias Solution**). El voltaje V_{CE} del transistor es de 13.7580 V - 1.2588 V \cong 12.5 V, que es casi igual a la solución DOS. El siguiente listado incluye los distintos niveles de corriente y voltaje de la red y sus parámetros como se definieron mediante el punto de operación resultante. Obsérvese que I_C es 0.824 mA comparado con 0.851 mA para el análisis en DOS y que V_{BE} es 0.688 V o aproximadamente 0.7 V como se desea. La beta dc es ahora 55 en lugar del 140 capturado y la beta de ac es 65, la cual será utilizada para la respuesta en ac. El cambio no sucedió en la versión DOS porque se pudo seleccionar un transistor *npn* sin tener que escoger un modelo en particular que tuviera todos sus parámetros de definición. En la versión de evaluación de PSpice para Windows uno debe elegir un transistor de la lista proporcionada y simplemente modificar los parámetros de definición lo mejor posible. Los cambios adicionales se pudieron haber hecho para crear una similitud más cercana, pero el detalle que se requiere va más allá de las necesidades de este texto.

Obsérvese en el esquema de la figura 4.72 como los **VIEWPORT** e **IProbe** reflejan los mismos resultados impresos en el archivo de salida. El uso adecuado de **VIEWPORT** e **IProbe** eliminan la necesidad de estar preocupados acerca de las referencias nodales, porque los voltajes y las corrientes pueden observarse directamente sobre el esquema después de la simulación.


```

****  CIRCUIT DESCRIPTION
*****
* Schematics Netlist *
R_R2  0 $N_0001 3.9k
R_R1  $N_0001 $N_0002 39k
R_RC  $N_0003 $N_0005 10k
R_RE  0 $N_0004 1.5k
C_CE  0 $N_0004 50uF
V_Vcc  $N_0002 0 DC 22V
Q_Q1  $N_0003 $N_0001 $N_0004 Q2N2222-X
v_V2  $N_0002 $N_0005 0
****  BJT MODEL PARAMETERS
*****
      Q2N2222-X
      NPN
IS  2.000000E-15
BF  140
NF  1
VAF  74.03
IKF  .2847
ISE  14.340000E-15
NE  1.307
BR  6.092
NR  1
RB  10
RBM  10
RC  1
CJE  22.010000E-12
MJE  .377
CJC  7.306000E-12
MJC  .3416
TF  411.100000E-12
XTF  3
VTF  1.7
ITF  .6
TR  46.910000E-09
XTB  1.5
****  SMALL SIGNAL BIAS SOLUTION  TEMPERATURE = 27.000 DEG C
*****
      NODE VOLTAGE  NODE VOLTAGE  NODE VOLTAGE  NODE
      VOLTAGE
($N_0001)  1.9469          ($N_0002)  22.0000
($N_0003)  13.7580          ($N_0004)  1.2588
($N_0005)  22.0000

      VOLTAGE SOURCE CURRENTS
      NAME      CURRENT
V_Vcc  -1.338E-03
v_V2   8.242E-04

      TOTAL POWER DISSIPATION 2.94E-02 WATTS
****  BIPOLAR JUNCTION TRANSISTORS
      NAME      Q_Q1
      MODEL      Q2N2222-X
IB  1.50E-05
IC  8.24E-04
VBE  6.88E-01
VBC  -1.18E+01
VCE  1.25E+01
BETADC  5.50E+01
GM  3.18E-02
RPI  2.04E+03
RX  1.00E+01
RO  1.04E+05
CBE  5.06E-11
CBC  2.79E-12
CBX  0.00E+00
CJS  0.00E+00
BETAAC  6.50E+01
FT  9.47E+07

```

Figura 4.73 Archivo de salida para la red de la figura 4.72.



BASIC

El programa que se desarrollará con BASIC llevará a cabo el mismo análisis que el otro listado, irá un paso adelante y permitirá cambiar la configuración mediante la especificación de un circuito abierto o un corto circuito para los parámetros. Por ejemplo, si R_2 se hace igual a 1E30 ohms, se trata en esencia de un circuito abierto y que da por resultado una configuración de polarización en emisor. Si R_E se queda en cero ohms con R_2 en 1E30 ohms, dará por resultado una configuración de polarización fija. De esta manera, el rango de aplicaciones se expande y limita la biblioteca de programas necesarios para hacer el análisis en un área en particular.

En la tabla 4.2 aparece un resumen de las ecuaciones utilizadas junto con un resumen de las variables en la tabla 4.3. Un módulo de programa que empieza en la línea 10000 está escrito en BASIC para realizar los cálculos necesarios para el análisis en dc de la red de la figura 4.69. La línea 10010 calcula la resistencia de base equivalente de Thévenin de R_1 en paralelo con R_2 . La línea 10020 calcula el voltaje equivalente de Thévenin en la base. Luego se determina I_B en la línea 10030 utilizando un voltaje base-emisor de 0.7 V. La línea 10040 prueba para una condición de corte, la que ocurre si el valor de V_T es menor que $V_{BE} = 0.7$ V, en cuyo caso I_B toma el valor de cero; de otra forma, I_B permanece como se calculó en la línea 10030. Las líneas 10060 y 10070 calculan I_C e I_E , respectivamente.

TABLA 4.2 Ecuaciones y enunciados del programa para el módulo de cálculos de polarización de dc

Ecuación	Enunciados para el programa
$R_{Th} = \frac{R_1 R_2}{R_1 + R_2}$	RT = (R1 * R2)/(R1 + R2)
$E_{Th} = \frac{R_2}{R_1 + R_2} V_{CC}$	VT = (R2 * CC)/(R1 + R2)
$I_B = \frac{E_{Th} - 0.7}{R_{Th} + (\beta + 1)R_E}$	IB = (VT - 0.7)/(RT + (BETA + 1) * RE)
$I_C = \beta I_B$	IC = BETA * IB
$I_E = (\beta + 1)I_B$	IE = (BETA + 1) * IB
$V_E = I_E R_E$	VE = IE * RE
$V_B = V_E + 0.7$	VB = VE + 0.7
$V_C = V_{CC} - I_C R_C$	VC = CC - IC * RC
$V_{CE} = V_C - V_E$	CE = VC - VE

TABLA 4.3 Variables para ecuación y el programa para el módulo de cálculos de polarización de dc

Variable en la ecuación	Variable en el programa
R_1	R1
R_2	R2
R_{Th}	RT
V_{CC}	CC
V_{Th}	VT
I_B	IB
V_{BE}	BE
β	BETA
R_E	RE
I_C	IC
I_E	IE
V_E	VE
V_B	VB
V_C	VC
V_{CE}	CE

La línea 10090 prueba la condición de saturación de un circuito, y establece I_C (e I_E) con el valor de saturación. De otra manera, los valores de I_C e I_E permanecen como se calcularon previamente. Por tanto las líneas 10100 a 10120 calculan V_E , V_B y V_C , respectivamente. La línea 10130 calcula V_{CE} y luego el módulo de programa regresa al programa principal.

El programa principal solicita la entrada de todos los datos adecuados del circuito, como el módulo 10000 para hacer los cálculos de polarización de dc. Los pasos del programa principal para imprimir los resultados se proporcionan en la figura 4.74. Una vez más, obsérvese la correspondencia que está cerca de los resultados obtenidos antes para I_{C_Q} y para V_{CE_Q} .

```

10 REM *****
20 REM
30 REM          DC BIAS CALCULATIONS OF STANDARD CIRCUIT
40 REM
50 REM *****
60 REM
100 PRINT "This program calculates the dc bias"
110 PRINT "for a standard circuit as shown in Figure 4.69."
120 PRINT
130 PRINT "First, enter the following circuit data:"
140 INPUT "RB1=";R1
150 INPUT "RB2(use 1E30 if 'open')=";R2
160 INPUT "RE=";RE
170 INPUT "RC=";RC
180 PRINT
190 INPUT "VCC=";CC
200 PRINT
210 INPUT "Transistor beta=";BETA
220 PRINT
230 REM Now do circuit calculations
240 GOSUB 10000
250 PRINT "The results of dc bias calculations are:"
260 PRINT
270 PRINT "Circuit currents:"
280 PRINT "IB=";IB*1000000!;"uA"
290 PRINT "IC=";IC*1000;"mA"
300 PRINT "IE=";IE*1000;"mA"
310 PRINT
320 PRINT "Circuit voltages:"
330 PRINT "VB=";VB;"volts"
340 PRINT "VE=";VE;"volts"
350 PRINT "VC=";VC;"volts"
360 PRINT "VCE=";CE;"volts"
370 PRINT :PRINT
380 END
10000 REM Module to calculate dc bias of BJT circuit
10010 RT=R1*(R2/(R1+R2))
10020 VT=CC*(R2/(R1+R2))
10030 IB=(VT-.7)/(RT+(BETA+1)*RE)
10040 REM Test for cutoff condition
10050 IF VT<=.7 THEN IB=0
10060 IC=BETA*IB
10070 IE=(BETA+1)*IB
10080 REM Test for saturation condition
10090 IF IC*(RC+RE)=CC THEN IC=CC/(RE+RC) :IE=IC
10100 VE=IE*RE
10110 VB=VE+.7
10120 VC=CC-IC*RC
10130 CE=VC-VE
10140 RETURN

```

RUN

This program calculates the dc bias
for a standard circuit as shown in Figure 4.69.

First, enter the following circuit data:

RB1=? 39E3
RB2(use 1E30 if 'open')=? 3.9E3
RE=? 1.5E3
RC=? 10E3

VCC=? 22

Transistor beta=? 140

The results of dc bias calculations are:

Circuit currents:

IB= 6.046233 uA
IC= .8463327 mA
IE= .8523779 mA

Circuit voltages:

VB= 1.978567 volts
VE= 1.278567 volts
VC= 13.53667 volts
VCE= 12.25811 volts

Figura 4.74 Programa BASIC
para el análisis de la red de la
figura 4.69.

PROBLEMAS

§ 4.3 Circuito de polarización fija

1. Para la configuración de polarización fija de la figura 4.75, determine:

- I_{BQ} .
- I_{CQ} .
- V_{CEQ} .
- V_C .
- V_B .
- V_E .

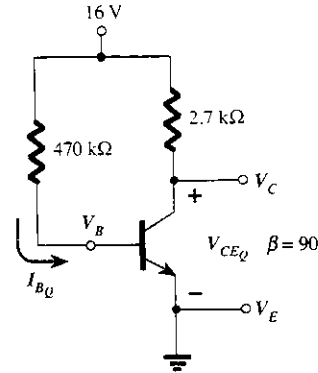


Figura 4.75 Problemas 1, 4, 11, 47, 51, 52, 53, 56, 61.

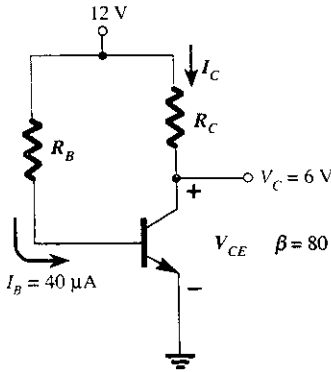


Figura 4.76 Problema 2.

2. Dada la información que aparece en la figura 4.76, calcule:

- I_C .
- R_C .
- R_B .
- V_{CE} .

3. Dada la información que aparece en la figura 4.77, determine:

- I_C .
- V_{CC} .
- β .
- R_B .

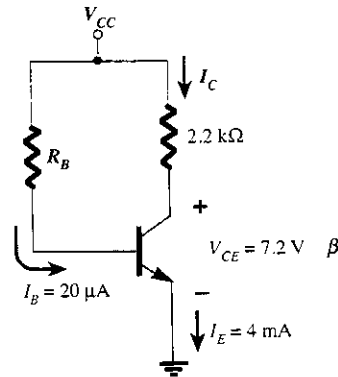


Figura 4.77 Problema 3.

4. Encuentre la corriente de saturación ($I_{C_{sat}}$) para la configuración de polarización fija de la figura 4.75.
- * 5. Dadas las características del transistor BJT de la figura 4.78:
- Dibuje una recta de carga sobre las características determinada por $E = 21\text{ V}$ y $R_C = 3\text{ k}\Omega$ para una configuración de polarización fija.
 - Escoja un punto de operación a la mitad entre el corte y la saturación. Determine el valor de R_B para establecer el punto de operación resultante.
 - ¿Cuáles son los valores resultantes de I_{CQ} y de V_{CEQ} ?
 - ¿Cuál es el valor de β en el punto de operación?
 - ¿Cuál es el valor de α definido para el punto de operación?
 - ¿Cuál es la corriente de saturación ($I_{C_{sat}}$) para el diseño?
 - Dibuje la configuración resultante de polarización fija.
 - ¿Cuál es la potencia de disipación por el dispositivo en el punto de operación?
 - ¿Cuál es la potencia proporcionada por V_{CC} ?
 - Determine la potencia que los elementos resistivos disiparon al tomar la diferencia entre los resultados de los incisos h e i.

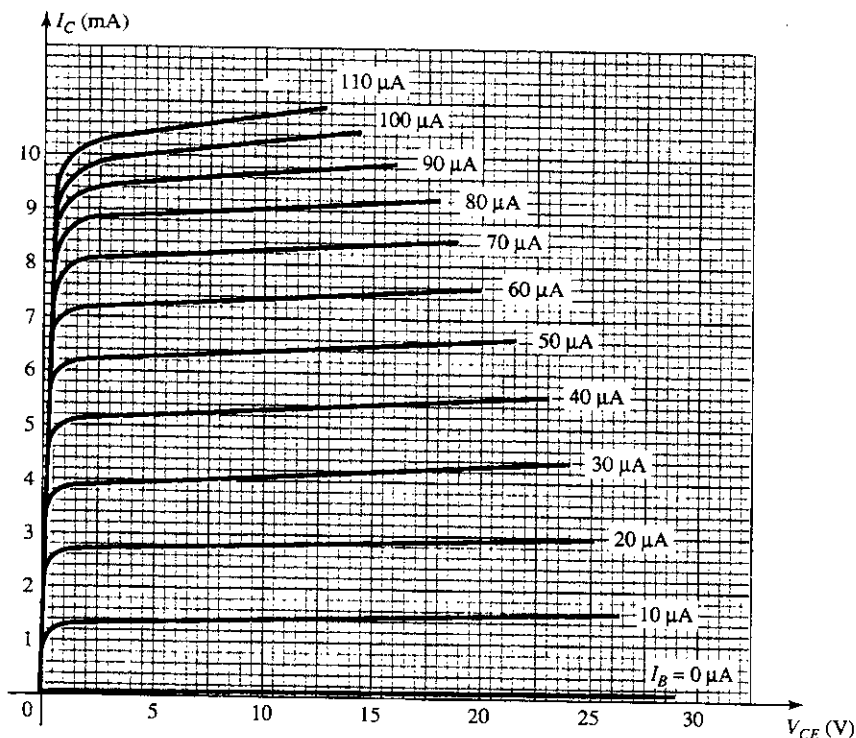


Figura 4.78 Problemas 5, 10, 19, 35, 36.

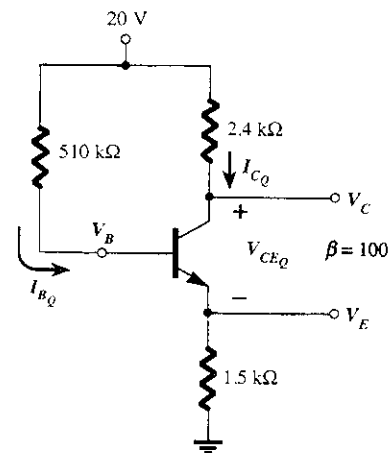


Figura 4.79 Problemas 6, 9, 11, 20, 24, 48, 51, 54, 58, 62.

§ 4.4 Circuito de polarización estabilizado en emisor

6. Para el circuito de polarización con emisor estabilizado de la figura 4.79, determine:
 - a) I_{BQ} .
 - b) I_{CQ} .
 - c) V_{CEQ} .
 - d) V_C .
 - e) V_B .
 - f) V_E .
7. Con la información que proporciona la figura 4.80, calcule:
 - a) R_C .
 - b) R_E .
 - c) R_B .
 - d) V_{CE} .
 - e) V_B .
8. Con la información que ofrece la figura 4.81, determine:
 - a) β .
 - b) V_{CC} .
 - c) R_B .
9. Calcule la corriente de saturación para la red de la figura 4.79.
- *10. Usando las características de la figura 4.78, determine lo siguiente para una configuración de polarización en emisor si se define un punto Q en $I_{CQ} = 4 \text{ mA}$ y $V_{CEQ} = 10 \text{ V}$.
 - a) R_C si $V_{CC} = 24 \text{ V}$ y $R_E = 1.2 \text{ k}\Omega$.
 - b) β en el punto de operación.
 - c) R_B .
 - d) La potencia disipada por el transistor.
 - e) La potencia disipada por el resistor R_C .

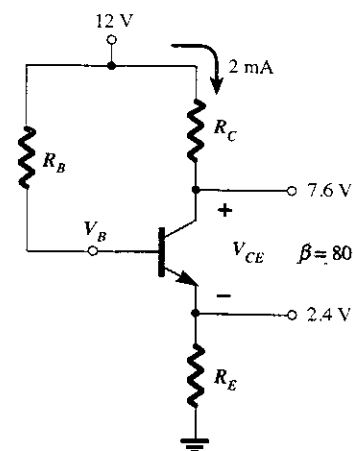


Figura 4.80 Problema 7.

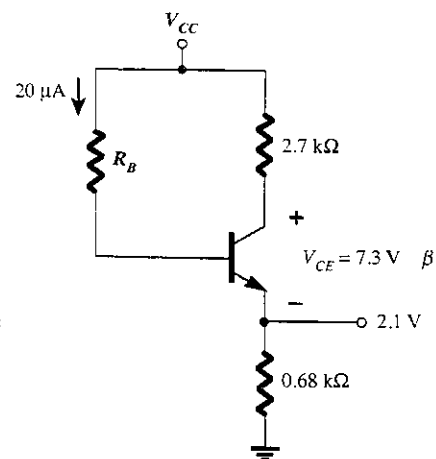


Figura 4.81 Problema 8.



- * 11. a) Determine I_C y V_{CE} para la red de la figura 4.75.
 b) Cambie β a 135 y calcule el nuevo valor de I_C y V_{CE} para la red de la figura 4.75.
 c) Determine la magnitud del porcentaje de cambio en I_C y V_{CE} utilizando las siguientes ecuaciones:

$$\% \Delta I_C = \left| \frac{I_{C(\text{parte b})} - I_{C(\text{parte a})}}{I_{C(\text{parte a})}} \right| \times 100\%, \quad \% \Delta V_{CE} = \left| \frac{V_{CE(\text{parte b})} - V_{CE(\text{parte a})}}{V_{CE(\text{parte a})}} \right| \times 100\%$$

- d) Determine I_C y V_{CE} para la red de la figura 4.79.
 e) Cambie β a 150 y determine el nuevo valor de I_C y V_{CE} para la red de la figura 4.79.
 f) Determine la magnitud del porcentaje de cambio en I_C y V_{CE} usando las siguientes ecuaciones:

$$\% \Delta I_C = \left| \frac{I_{C(\text{parte e})} - I_{C(\text{parte d})}}{I_{C(\text{parte d})}} \right| \times 100\%, \quad \% \Delta V_{CE} = \left| \frac{V_{CE(\text{parte e})} - V_{CE(\text{parte d})}}{V_{CE(\text{parte d})}} \right| \times 100\%$$

- g) En cada una de las ecuaciones anteriores, la magnitud de β se incrementó en un 50%. Compare el porcentaje de cambio en I_C y V_{CE} para cada configuración y comente sobre cuál parece ser menos sensible a los cambios en β .

§ 4.5 Polarización por divisor de voltaje

12. Para la configuración de polarización por divisor de voltaje de la figura 4.82, determine:

- a) I_{BQ} .
 b) I_{CQ} .
 c) V_{CEQ} .
 d) V_C .
 e) V_E .
 f) V_B .

13. Con la información que ofrece la figura 4.83, determine:

- a) I_C .
 b) V_E .
 c) V_B .
 d) R_1 .

14. Con la información proporcionada en la figura 4.84, determine:

- a) I_C .
 b) V_E .
 c) V_{CC} .
 d) V_{CE} .
 e) V_B .
 f) R_1 .

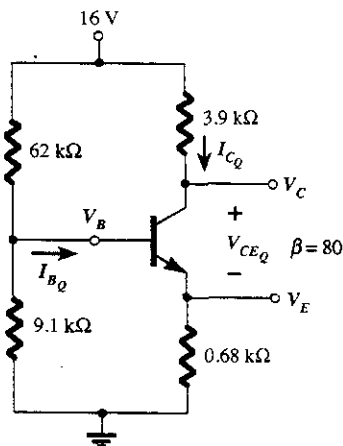


Figura 4.82 Problemas 12, 15, 18, 20, 24, 49, 51, 52, 55, 59, 63.

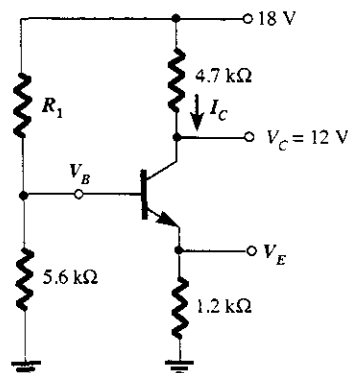


Figura 4.83 Problema 13.

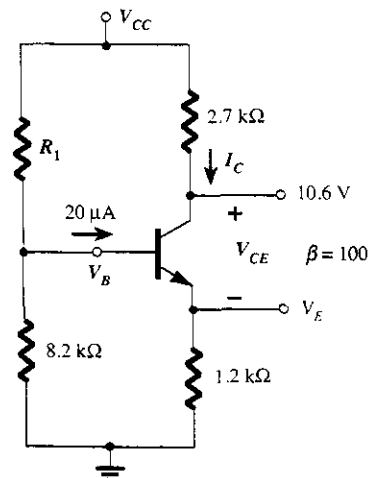


Figura 4.84 Problema 14.

15. Determine la corriente de saturación ($I_{C_{sat}}$) para la red de la figura 4.82.
- * 16. Determine para la siguiente configuración de divisor de voltaje de la figura 4.85 utilizando la aproximación, si se satisface la condición establecida por la ecuación (4.33).
- I_C .
 - V_{CE} .
 - I_B .
 - V_E .
 - V_B .
- * 17. Repita el problema 16 empleando el sistema exacto (Thévenin) y compare las soluciones. Basándose en los resultados, ¿es el sistema aproximado una técnica válida de análisis si la ecuación (4.33) está satisfecha?
18. a) Determine I_{C_Q} , V_{CE_Q} e I_{B_Q} para la red del problema 12 (figura 4.82) con el método aproximado aunque la condición establecida por la ecuación (4.33) no esté satisfecha.
 b) Determine I_{C_Q} , V_{CE_Q} e I_{B_Q} utilizando el método exacto.
 c) Compare las soluciones y comente sobre si la diferencia es lo suficientemente grande como para requerir el respaldo de la ecuación (4.33) cuando se determine qué método debe utilizarse.
- * 19. a) Con las características de la figura 4.78, determine R_C y R_E para la red del divisor de voltaje que tiene un punto Q de $I_{C_Q} = 5$ mA y $V_{CE_Q} = 8$ V. Utilice $V_{CC} = 24$ V y $R_C = 3R_E$.
 b) Encuentre V_E .
 c) Determine V_B .
 d) Encuentre R_2 si $R_1 = 24$ k Ω suponiendo que $\beta R_E > 10R_2$.
 e) Calcule β en el punto Q .
 f) Pruebe la ecuación (4.33) y obsérvese si la suposición del inciso d es correcta.
- * 20. a) Determine I_C y V_{CE} para la red de la figura 4.82.
 b) Cambie β a 120 (50% de incremento) y determine los nuevos valores de I_C y V_{CE} para la red de la figura 4.82.
 c) Determine la magnitud del porcentaje de cambio en I_C y V_{CE} utilizando las siguientes ecuaciones:
- $$\% \Delta I_C = \left| \frac{I_{C(\text{parte b})} - I_{C(\text{parte a})}}{I_{C(\text{parte a})}} \right| \times 100\%, \quad \% \Delta V_{CE} = \left| \frac{V_{CE(\text{parte b})} - V_{CE(\text{parte a})}}{V_{CE(\text{parte a})}} \right| \times 100\%$$
- d) Compare la solución del inciso c con las soluciones que se obtuvieron para c y f del problema 11. Si no se llevó a cabo, obsérvese las soluciones proporcionadas en el apéndice E.
 e) Basándose en los resultados del inciso d, ¿cuál configuración es menos sensible a las variaciones en β ?
- * 21. I Repita los incisos a a e del problema 20 para la red de la figura 4.85. Cambie β a 180 en el inciso b.
 II ¿Qué conclusiones generales se pueden hacer respecto a las redes en las cuales se satisface la condición $\beta R_E > 10R_2$ y las cantidades I_C y V_{CE} deben resolverse en respuesta a un cambio en β ?

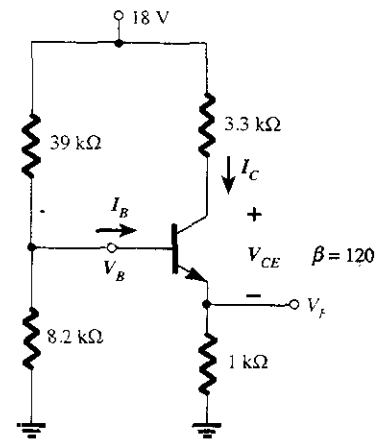


Figura 4.85 Problemas 16, 17, 21.

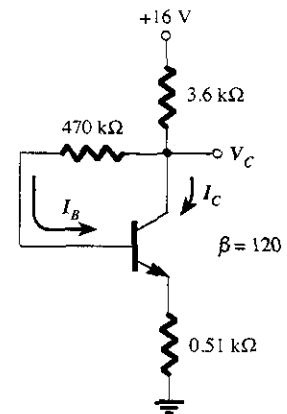


Figura 4.86 Problemas 22, 50, 56, 60, 64.

§ 4.6 Polarización de dc por retroalimentación de voltaje

22. Para la configuración de retroalimentación del colector de la figura 4.86, determine:

- I_B .
- I_C .
- V_C .

23. Para la configuración de retroalimentación de voltaje de la figura 4.87, calcule:

- I_C .
- V_C .
- V_E .
- V_{CE} .

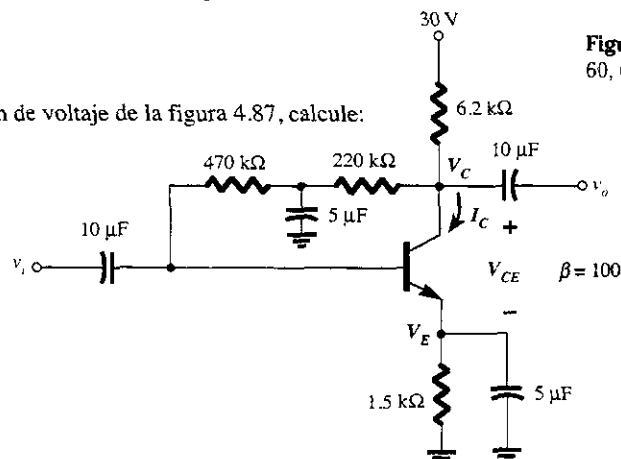


Figura 4.87 Problema 23.



- * 24. a) Determine I_C y V_{CE} para la red de la figura 4.88.
 b) Cambie β a 135 (50% de incremento) y calcule los nuevos niveles de I_C y V_{CE} .
 c) Resuelva la magnitud del porcentaje de cambio en I_C y V_{CE} usando las siguientes ecuaciones:

$$\% \Delta I_C = \left| \frac{I_{C(\text{parte b})} - I_{C(\text{parte a})}}{I_{C(\text{parte a})}} \right| \times 100\%, \quad \% \Delta V_{CE} = \left| \frac{V_{CE(\text{parte b})} - V_{CE(\text{parte a})}}{V_{CE(\text{parte a})}} \right| \times 100\%$$

- d) Compare los resultados del inciso c con las soluciones de los problemas 11 c, 11 f y 20 c. ¿Cómo se compara la red de retroalimentación del colector en función de las otras configuraciones respecto a la sensibilidad a los cambios en β ?

25. Determine el rango de posibles valores para V_C para la red de la figura 4.89 empleando el potenciómetro de 1-M Ω .

- * 26. Dado $V_B = 4$ V para la red de la figura 4.90, resuelva:

- a) V_E .
 b) I_C .
 c) V_C .
 d) V_{CE} .
 e) I_B .
 f) β .

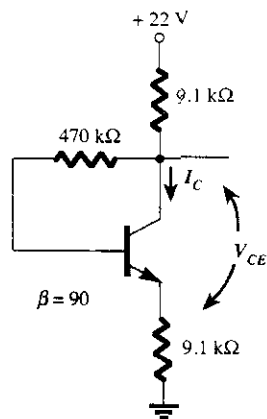


Figura 4.88 Problema 24.

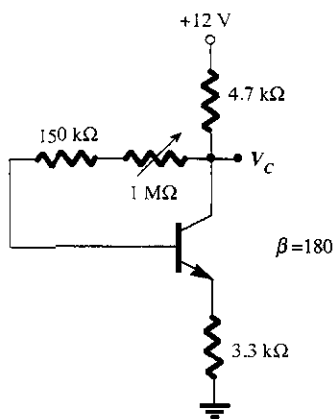


Figura 4.89 Problema 25.

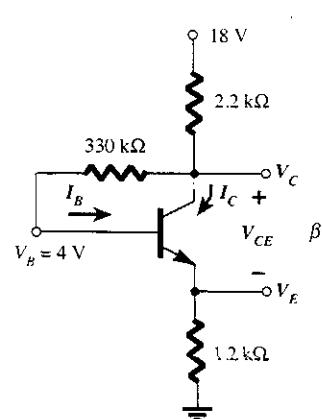


Figura 4.90 Problema 26.

§ 4.7 Diversas configuraciones de polarización

27. Con $V_C = 8$ V para la red de la figura 4.91, determine:

- a) I_B .
 b) I_C .
 c) β .
 d) V_{CE} .

- * 28. Para la red de la figura 4.92, calcule:

- a) I_B .
 b) I_C .
 c) V_{CE} .
 d) V_C .

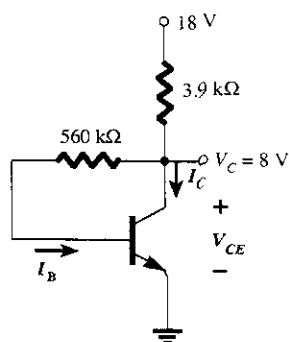


Figura 4.91 Problema 27.

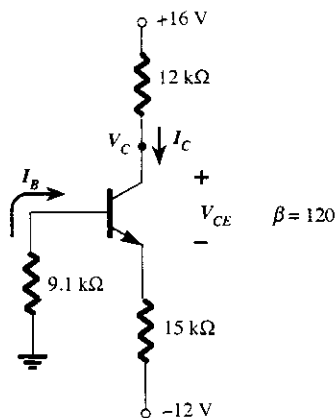


Figura 4.92 Problema 28.

* 29. Para la red de la figura 4.93, especifique:

- I_B .
- I_C .
- V_E .
- V_{CE} .

* 30. Determine el nivel de V_E e I_E para la red de la figura 4.94.

* 31. Para la red de la figura 4.95, determine:

- I_E .
- V_C .
- V_{CE} .

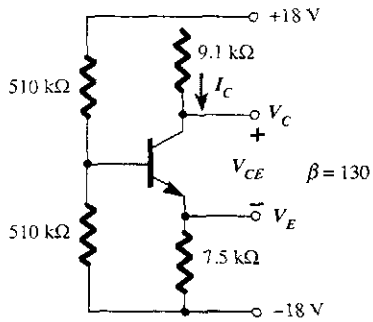


Figura 4.93 Problema 29.

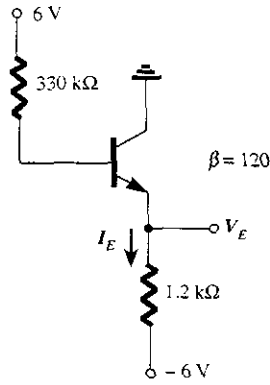


Figura 4.94 Problema 30.

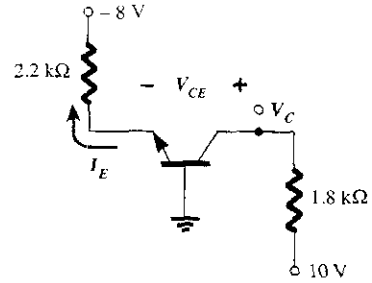


Figura 4.95 Problema 31.

§ 4.8 Operaciones de diseño

- Calcule R_C y R_B para una configuración de polarización fija si $V_{CC} = 12$ V, $\beta = 80$ e $I_{C_Q} = 2.5$ mA con $V_{CE_Q} = 6$ V. Utilice valores estándar.
- Diseñe una red con estabilización en emisor a $I_{C_Q} = \frac{1}{2}I_{C_{sat}}$ y $V_{CE_Q} = \frac{1}{2}V_{CC}$. Utilice $V_{CC} = 20$ V, $I_{C_{sat}} = 10$ mA, $\beta = 120$ y $R_C = 4R_E$. Utilice los valores estándar.
- Diseñe una red de polarización por divisor de voltaje utilizando una fuente de 24 V, un transistor con una beta de 110, y un punto de operación de $I_{C_Q} = 4$ mA y $V_{CE_Q} = 8$ V. Elija $V_E = \frac{1}{8}V_{CC}$. Utilice valores estándar.
- Con las características de la figura 4.78, diseñe una configuración de divisor de voltaje que tenga un nivel de saturación de 10 mA, y un punto Q a la mitad entre el corte y la saturación. La fuente que está disponible es de 28 V y V_E y debe ser un quinto de V_{CC} . La condición establecida por la ecuación (4.33) también debe cumplirse para ofrecer un alto factor de estabilidad. Utilice los valores estándar.

§ 4.9 Redes de conmutación de transistores

- Con las características de la figura 4.78, determine la apariencia de la forma de onda de salida para la red de la figura 4.96. Incluya los efectos de $V_{CE_{sat}}$ y determine I_B , $I_{B_{max}}$ e $I_{C_{sat}}$ cuando $V_i = 10$ V. Determine la resistencia colector a emisor en saturación y en corte.
- Diseñe el inversor a transistor de la figura 4.97 para operar con una corriente de saturación de 8 mA empleando un transistor con una beta de 100. Utilice un nivel de I_B igual al 120% de $I_{B_{max}}$ y valores estándar de resistores.

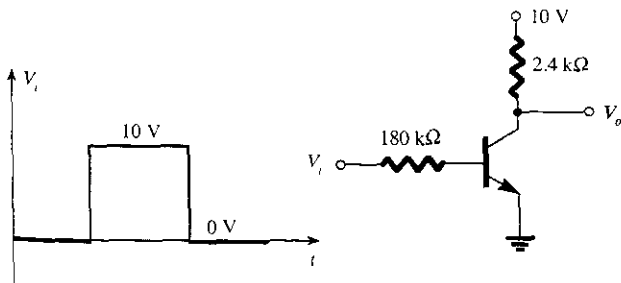


Figura 4.96 Problema 36.

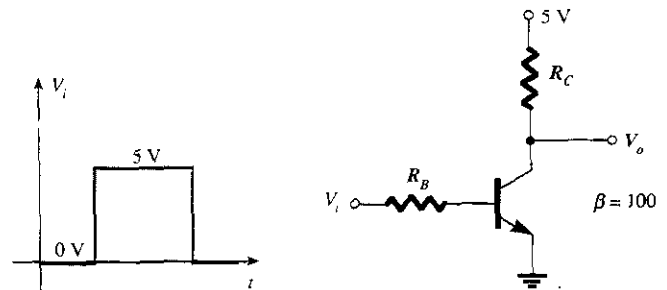


Figura 4.97 Problema 37.



38. a) Con las características de la figura 3.23c, determine $t_{\text{encendido}}$ y t_{apagado} para una corriente de 2 mA. Obsérvese cómo se utilizan las escalas logarítmicas y la posible necesidad de referirse a la sección 11.2.
- b) Repita el inciso a para una corriente de 10 mA. ¿Cómo han cambiado $t_{\text{encendido}}$ y t_{apagado} con el incremento de corriente del colector?
- c) Dibuje para los incisos a y b la forma de onda del pulso de la figura 4.56 y compare los resultados.

§ 4.10 Técnicas para la localización de fallas

- * 39. Todas las mediciones de la figura 4.98 revelan que la red no está funcionando de manera adecuada. Enliste las posibles razones para las mediciones que se obtuvieron.

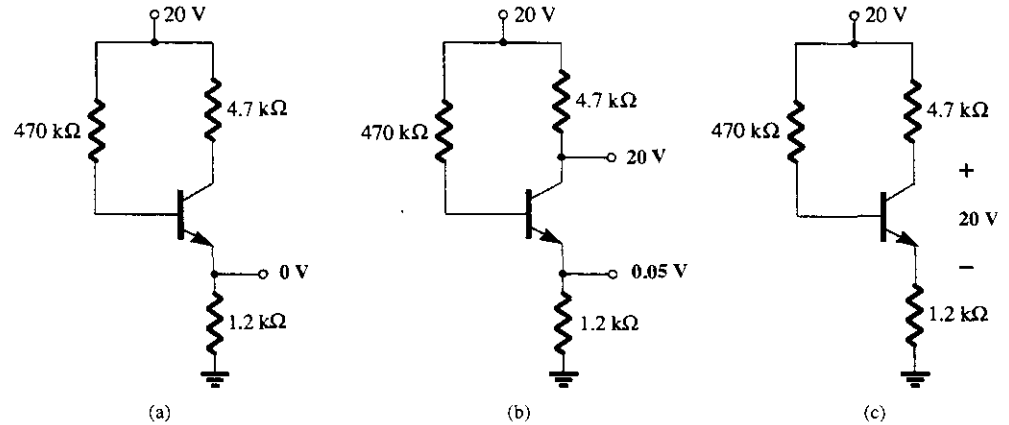


Figura 4.98 Problema 39.

- * 40. Las mediciones que aparecen en la figura 4.99 revelan que las redes no están operando adecuadamente. Sea específico al describir por qué los niveles reflejan un problema en el comportamiento esperado de la red. En otras palabras, los niveles obtenidos señalan un problema muy específico en cada caso.

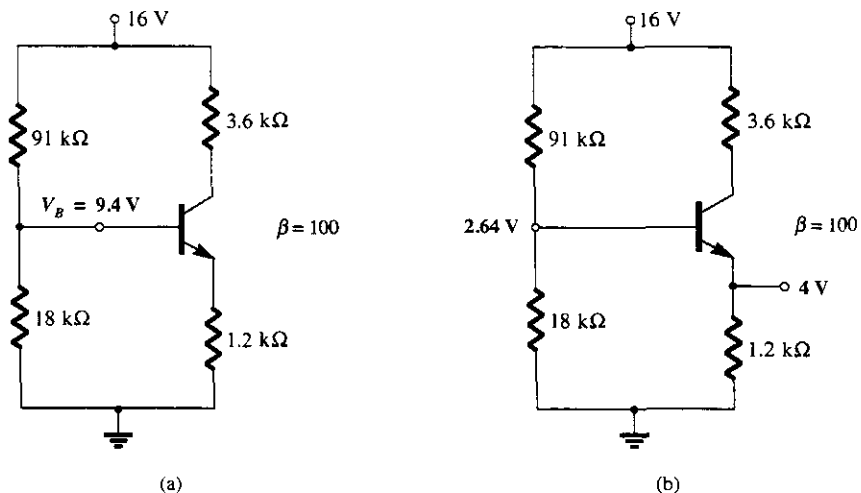


Figura 4.99 Problema 40.

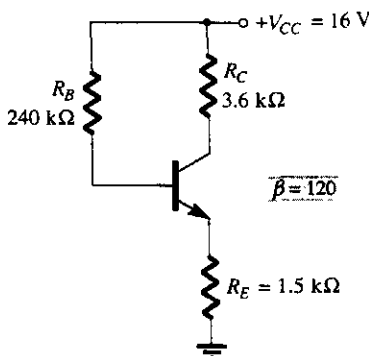


Figura 4.100 Problema 41.

41. Para el circuito de la figura 4.100:
- ¿Se incrementa o disminuye V_C si R_B aumentó?
 - ¿Se incrementa o disminuye I_C si β se incrementa?
 - ¿Qué sucede con la corriente de saturación si β aumenta?
 - ¿Se incrementa o disminuye la corriente del colector si V_{CC} se disminuye?
 - ¿Qué sucede a V_{CE} si el transistor se reemplaza con uno con una β más pequeña?

42. Conteste las siguientes preguntas acerca del circuito de la figura 4.101.

- ¿Qué le sucede al voltaje V_C si el transistor se reemplaza con uno que tenga un mayor valor de β ?
- ¿Qué le pasa al voltaje V_{CE} si la terminal de tierra del resistor R_B se abre (no se conecta a la tierra)?
- ¿Qué le sucede a I_C si el voltaje de la fuente es bajo?
- ¿Qué voltaje V_{CE} debe ocurrir si la unión del transistor base-emisor falla al convertirse en abierta?
- ¿Qué voltaje V_{CE} debe resultar si la unión del transistor base-emisor falla al convertirse en corto circuito?

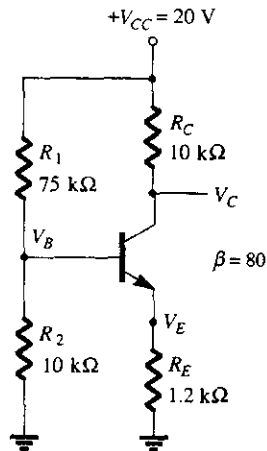


Figura 4.101 Problema 42.

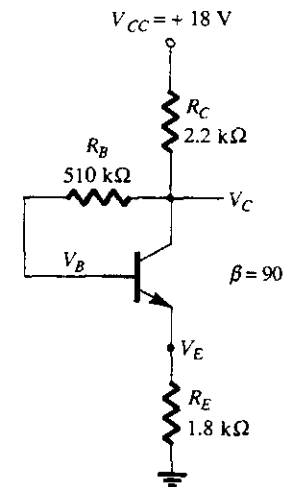


Figura 4.102 Problema 43.

* 43. Conteste las siguientes preguntas acerca del circuito de la figura 4.102.

- ¿Qué le sucede al voltaje V_C si el resistor R_B se abre?
- ¿Qué le pasa al voltaje V_{CE} si β se incrementa debido a la temperatura?
- ¿Cómo se verá afectado V_E cuando se reemplace el resistor de colector con uno cuya resistencia está en el extremo inferior del rango de tolerancia?
- Si la conexión del colector del transistor se abre, ¿qué le pasará a V_E ?
- ¿Qué puede motivar que V_{CE} tome el valor de cerca de 18 V?

§ 4.11 Transistores pnp

44. Calcule V_C , V_{CE} e I_C para la red de la figura 4.103.

45. Determine V_C e I_B para la red de la figura 4.104.

46. Determine I_E y V_C para la red de la figura 4.105.

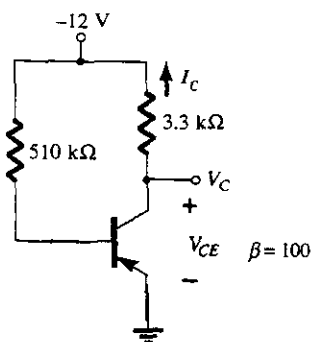


Figura 4.103 Problema 44.

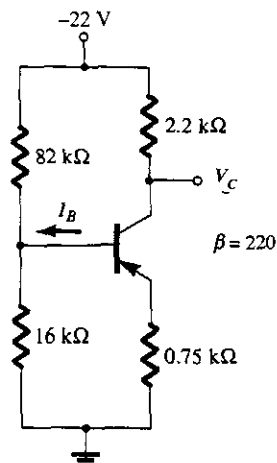


Figura 4.104 Problema 45.

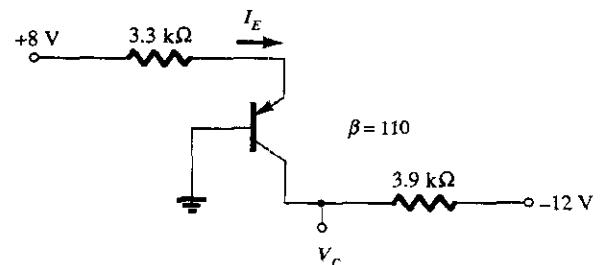


Figura 4.105 Problema 46.

§ 4.12 Estabilización de la polarización

47. Determine lo siguiente para la red de la figura 4.75.
- $S(I_{CO})$.
 - $S(V_{BE})$.
 - $S(\beta)$ utilizando T_1 como la temperatura en la que los valores de los parámetros están especificados y $\beta(T_2)$ como el 25% mayor que $\beta(T_1)$.
 - Determine el cambio neto en I_C si resulta un cambio en las condiciones de operación con un incremento de I_{CO} de $0.2 \mu A$ a $10 \mu A$, una caída de V_{BE} de $0.7 V$ a $0.5 V$ y un incremento de β del 25%.
- * 48. Para la red de la figura 4.79, determine:
- $S(I_{CO})$.
 - $S(V_{BE})$.
 - $S(\beta)$ utilizando T_1 como la temperatura en la cual los valores de los parámetros están especificados y $\beta(T_2)$ como el 25% mayor que $\beta(T_1)$.
 - Determine el cambio neto en I_C si resulta un cambio en las condiciones de operación con un incremento de I_{CO} de $0.2 \mu A$ a $10 \mu A$, una caída de V_{BE} de $0.7 V$ a $0.5 V$ y un incremento de β del 25%.
- * 49. Para la red de la figura 4.82, determine:
- $S(I_{CO})$.
 - $S(V_{BE})$.
 - $S(\beta)$ utilizando T_1 como la temperatura en la que los valores de los parámetros están especificados y $\beta(T_2)$ como el 25% mayor que $\beta(T_1)$.
 - Determine el cambio neto en I_C si resulta un cambio en las condiciones de operación con un incremento de I_{CO} de $0.2 \mu A$ a $10 \mu A$, una caída de V_{BE} de $0.7 V$ a $0.5 V$ y un incremento de β del 25%.
- * 50. Para la red de la figura 4.91, determine:
- $S(I_{CO})$.
 - $S(V_{BE})$.
 - $S(\beta)$ utilizando T_1 como la temperatura en la cual los valores de los parámetros están especificados y $\beta(T_2)$ como el 25% mayor que $\beta(T_1)$.
 - Determine el cambio neto en I_C si resulta un cambio en las condiciones de operación con un incremento de I_{CO} de $0.2 \mu A$ a $10 \mu A$, una caída de V_{BE} de $0.7 V$ a $0.5 V$ y un incremento de β del 25%.
- * 51. Compare los valores relativos de la estabilidad para los problemas 47 al 50. Los resultados para los ejercicios 47 y 49 pueden encontrarse en el apéndice E. ¿Se pueden derivar algunas conclusiones generales a partir de los resultados?
- * 52. a) Compare los niveles de estabilidad para la configuración de polarización fija del problema 47.
b) Compare los niveles de estabilidad para la configuración de divisor de voltaje del problema 49.
c) ¿Cuáles factores de los inciso a y b parecen tener mayor influencia sobre la estabilidad del sistema, o no existe un patrón general sobre los resultados?

§ 4.13 Análisis por computadora

53. Lleve a cabo un análisis PSpice (versión DOS) de la red de la figura 4.75. Esto es, determine I_C , V_{CE} e I_B .
54. Repita el problema 53 para la red de la figura 4.79.
55. Repita el problema 53 para la red de la figura 4.82.
56. Repita el problema 53 para la red de la figura 4.86.
57. Repita un análisis PSpice (versión Windows) para la red de la figura 4.75.
58. Repita el problema 57 para la red de la figura 4.79.
59. Repita el problema 57 para la red de la figura 4.82.
60. Repita el problema 57 para la red de la figura 4.86.
61. Desarrolle un análisis de la red de la figura 4.75 utilizando BASIC. Es decir, determine I_C , V_{CE} e I_B .
62. Repita el problema 61 para la red de la figura 4.79.
63. Repita el problema 61 para la red de la figura 4.82.
64. Repita el problema 61 para la red de la figura 4.86.

*Los asteriscos indican problemas más difíciles.

Transistores de efecto de campo

5

$$I_{DD}/V_P$$

5.1 INTRODUCCIÓN

El transistor de efecto de campo (FET) (por las siglas en inglés de *Field Effect Transistor*) es un dispositivo de tres terminales que se utiliza para aplicaciones diversas que se asemejan, en una gran proporción, a las del transistor BJT descrito en los capítulos 3 y 4. Aunque existen importantes diferencias entre los dos tipos de dispositivos, también es cierto que tienen muchas similitudes que se presentarán a continuación.

La diferencia básica entre los dos tipos de transistores es el hecho de que el transistor BJT es un dispositivo *controlado por corriente* como se describe en la figura 5.1a, mientras que el transistor JFET es un dispositivo *controlado por voltaje* como se muestra en la figura 5.1b. En otras palabras, la corriente I_C de la figura 5.1a es una función directa del nivel de I_B . Para el FET la corriente I_D será una función del voltaje V_{GS} aplicado al circuito de entrada como se muestra en la figura 5.1b. En cada caso, la corriente del circuito de salida está controlado por un parámetro del circuito de entrada, en un caso se trata de un nivel de corriente y en el otro de un voltaje aplicado.

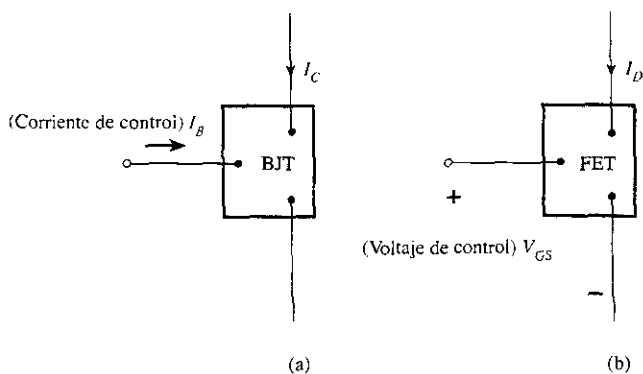


Figura 5.1 Amplificadores controlados por a) corriente y b) voltaje.

De la misma manera que existen transistores bipolares *nnp* y *pnp*, hay transistores de efecto de campo de *canal-n* y *canal-p*. Sin embargo, es importante considerar que el transistor BJT es un dispositivo *bipolar*; el prefijo *bi* indica que el nivel de conducción es una función de dos portadores de carga, los electrones y los huecos. El FET es un dispositivo *unipolar* que depende únicamente de la conducción o bien, de electrones (*canal-n*) o de huecos (*canal-p*).

El término “efecto de campo” en el nombre seleccionado merece cierta explicación. Toda la gente conoce la capacidad de un imán permanente para atraer limaduras de metal hacia el imán sin la necesidad de un contacto real. El campo magnético del imán permanente envuelve las limaduras y las atrae al imán por medio de un esfuerzo por parte de las líneas de flujo magnético con objeto de que sean lo más cortas posibles. Para el FET un *campo eléctrico* se



Los doctores Ian Munro Ross y G. C. Dacey desarrollaron juntos en 1955 un procedimiento experimental para medir las características de un transistor de efecto de campo. (Cortesía de AT&T Archives.)

Ian Munro Ross

El doctor Ross nació en Southport, Inglaterra
PhD Gonville and Caius College,
Cambridge University
Presidente emérito de AT&T Bell Labs
Socio de IEEE,
Miembro de la National Science Board
Presidente del National Advisory Committee on Semiconductors

G. C. Dacey

El doctor Dacey nació en Chicago, Illinois
PhD California Institute of Technology
Director de Solid State Electronics Research de Bell Labs
Vicepresidente de Investigación en Sandia Corporation
Miembro de IRE, Tau Beta Pi, Eta Kappa Nu

establece mediante las cargas presentes que controlarán la trayectoria de conducción del circuito de salida, sin la necesidad de un contacto directo entre las cantidades controladoras y controladas.

Existe una tendencia natural cuando se presenta un segundo dispositivo con un rango de aplicaciones similar a uno que se dio a conocer previamente, para comparar algunas de las características generales de cada uno. Uno de los rasgos más importantes del FET es una *gran impedancia de entrada*. A un nivel desde 1 a varios cientos de megaohms excede por mucho los niveles típicos de resistencia de entrada de las configuraciones con transistor BJT, un punto muy importante en el diseño de amplificadores lineales de ac. Por otro lado, el transistor BJT tiene una sensibilidad mucho más alta a los cambios en la señal aplicada; es decir, la variación en la corriente de salida es obviamente mucho mayor para el BJT, que la que produce en el FET para el mismo cambio de voltaje aplicado. Por esta razón, las ganancias normales de voltaje en ac para los amplificadores a BJT son mucho mayores que para los FET. En general, los FET son más estables a la temperatura que los BJT, y los primeros son por lo general más pequeños en construcción que los BJT, lo cual los hace mucho más útiles en los *circuitos integrados* (IC) (por las siglas en inglés de, *Integrated Circuits*). Sin embargo, las características de construcción de algunos FET los pueden hacer más sensibles al manejo que los BJT.

En este capítulo se presentarán dos tipos de FET: el *transistor de efecto de campo de unión* (JFET) (por las siglas en inglés de, *Junction Field Effect Transistor*) y el *transistor de efecto de campo metal-óxido-semiconductor* (MOSFET) (por las siglas en inglés de *Metal-Oxide-Semiconductor Field Effect Transistor*). La categoría MOSFET se desglosa después en los tipos decremental e incremental, los mismos que describiremos. El transistor MOSFET se ha convertido en uno de los dispositivos más importantes en el diseño y construcción de los circuitos integrados para las computadoras digitales. Su estabilidad térmica y otras características generales lo hacen muy popular en el diseño de circuitos para computadoras. Sin embargo, como elemento discreto en un encapsulado típico de sombrero alto, se debe manipular con cuidado (tema que se analizará en una sección posterior).

Una vez que se hayan presentado la construcción y las características del FET, los arreglos de polarización se cubrirán en el capítulo 6. El análisis que se desarrolló en el capítulo 4 utilizando transistores BJT será muy útil para derivar las ecuaciones importantes y para el entendimiento de los resultados obtenidos para los circuitos a FET.

5.2 CONSTRUCCIÓN Y CARACTERÍSTICAS DE LOS JFET

Como se indicó anteriormente, el JFET es un dispositivo de tres terminales, con una terminal capaz de controlar la corriente de las otras dos. En el análisis del transistor BJT se utilizó el transistor *npn* a través de la mayor parte de las secciones de análisis y diseño; también se dedicó sólo una sección al impacto del uso del transistor *pnp*. Para el transistor JFET, el dispositivo de canal-*n* aparecerá como el dispositivo importante y se dedican párrafos y secciones al impacto del uso de un JFET de canal-*p*.

La construcción básica del JFET de canal-*n* se muestra en la figura 5.2. Obsérvese que la mayor parte de la estructura es del material de tipo-*n* que forma el canal entre las capas interiores del material de tipo *p*. La parte superior del canal de tipo *n* se encuentra conectada por medio de un contacto óhmico a la terminal referida como el *drenaje* (*D*), mientras que el extremo inferior del mismo material se conecta por medio de un contacto óhmico a una terminal referida como la *fente* (*S*) (por su sigla en inglés, *Source*). Los dos materiales de tipo *p* se encuentran conectados entre sí y también a una terminal de *compuerta* (*G*) (por la sigla en inglés de, *Gate*). Por tanto, el drenaje y la fuente se hallan conectadas a los extremos del canal de tipo *n* y la entrada a las dos capas de material tipo *p*. Durante la ausencia de cualesquiera potenciales aplicados el JFET tiene dos uniones *p-n* bajo condiciones sin polarización. El resultado es una región de agotamiento en cada unión, como se muestra en la figura 5.2, la cual se asemeja a la región de un diodo sin polarización. Recuerde también que la región de agotamiento es aquella que no presenta portadores libres y es, por tanto, incapaz de soportar la conducción a través de la región.

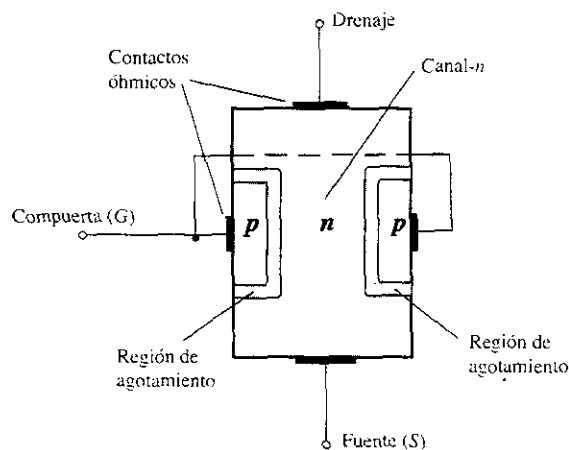


Figura 5.2 Transistor de efecto de campo de unión (JFET).

En raras ocasiones son perfectas las analogías y a veces pueden causar confusiones; sin embargo, la analogía del agua de la figura 5.3 proporciona cierto sentido sobre el control del JFET a través de la terminal de compuerta y acerca de lo adecuado de la terminología aplicada a las terminales del dispositivo. La fuente de la presión del agua se parece al voltaje aplicado desde el drenaje a la fuente que establecerá un flujo de agua (electrones), a través de la llave (fuente). La "compuerta", mediante una señal aplicada (potencial), controla el flujo de agua (carga) hacia el "drenaje". Las terminales del drenaje y de la fuente se encuentran en los extremos opuestos del canal- n como en la figura 5.2 porque la terminología está definida para el flujo de electrones.

$V_{GS} = 0 \text{ V}$, V_{DS} algún valor positivo

En la figura 5.4 se ha aplicado un voltaje positivo V_{DS} a través del canal, y la entrada se conectó directamente a la fuente con objeto de establecer la condición $V_{GS} = 0 \text{ V}$. El resultado es que la compuerta y la fuente tienen el mismo potencial y una región de agotamiento en el extremo inferior de cada material- p similar a la distribución de la condición de sin polarización de la figura 5.2. En el instante en que se aplica el voltaje $V_{DD} (= V_{DS})$, los electrones serán atraídos a la terminal del drenaje, estableciéndose la corriente convencional I_D con la dirección definida de la figura 5.4. La trayectoria del flujo de carga revela con claridad que las corrientes de drenaje y fuente son equivalentes ($I_D = I_S$). Bajo las condiciones que aparecen en la figura 5.4, el flujo de carga se encuentra relativamente sin ninguna restricción y sólo lo limita la resistencia del canal- n entre el drenaje y la fuente.

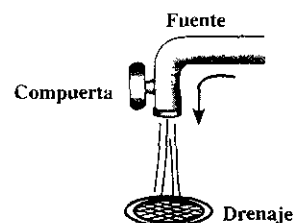


Figura 5.3 Analogía hidráulica para el mecanismo de control del JFET.

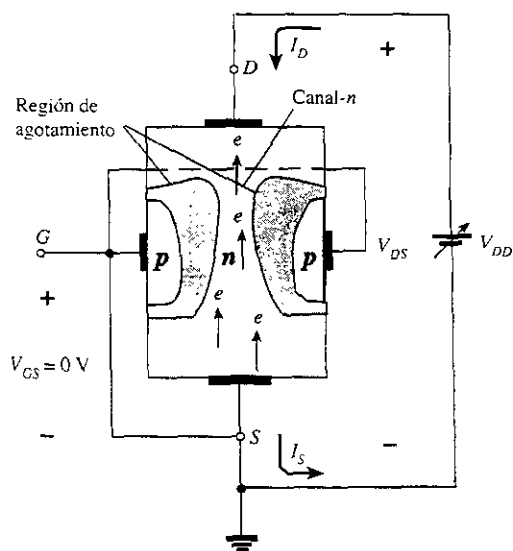


Figura 5.4 JFET en $V_{GS} = 0 \text{ V}$ y $V_{DS} > 0 \text{ V}$.

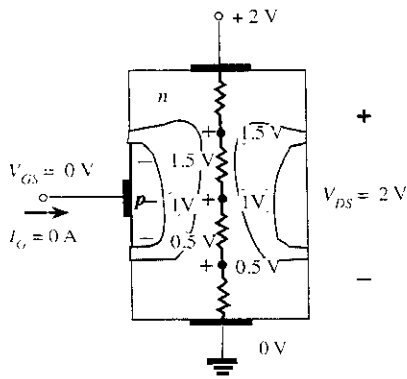


Figura 5.5 Potenciales variables de polarización inversa a través de la unión p - n de un JFET de canal- n .

Es importante observar que la región de agotamiento es más amplia cerca de la parte superior de ambos materiales de tipo p . La razón por el cambio de tamaño de la región se describe mejor por medio de la ayuda de la figura 5.5. Suponiendo una resistencia uniforme en el canal- n , la resistencia del canal se puede desglosar en las divisiones que aparecen en la figura 5.5. La corriente I_D establecerá los niveles de voltaje a través del canal que se indican en la misma figura. El resultado es que la región superior del material de tipo p estará polarizada de manera inversa con cerca de 1.5 V, con la región inferior polarizada en forma inversa únicamente con 0.5 V. Recuerde a partir de la discusión de la operación del diodo, que mientras mayor es la polarización inversa aplicada, más ancha es la región de agotamiento, de ahí que la distribución de la región de agotamiento es como se muestra en la figura 5.5. El hecho de que la unión p - n esté polarizada de forma inversa a través de toda la longitud del canal ocasiona una corriente en la entrada de cero amperes como se muestra en la misma figura. El hecho de que $I_G = 0$ A es una característica importante del JFET.

En cuanto el voltaje V_{DS} se incrementa desde 0 a unos cuantos volts, la corriente aumenta como lo determina la ley de Ohm y la gráfica de I_D en función de V_{DS} aparece de acuerdo con la figura 5.6. La relativa rectitud de la gráfica indica que para la región de valores pequeños de V_{DS} , la resistencia es en esencia constante. Cuando V_{DS} se eleva y se acerca al nivel referido como V_P en la figura 5.6, las regiones de agotamiento de la figura 5.4 se harán más amplias, ocasionando una reducción notable en el ancho del canal. La trayectoria de conducción reducida causa que se incremente la resistencia, lo que ocasiona la curva en la gráfica 5.6. Mientras más horizontal es la curva, mayor la resistencia, lo que sugiere que la resistencia está alcanzando un número "infinito" de ohms en la región horizontal. Si V_{DS} se eleva a un nivel donde parece que las dos regiones de agotamiento se "tocan", como se muestra en la figura 5.7, resultará una condición referida como *estrechamiento*. Al nivel de V_{DS} que establece esta condición se le conoce como *voltaje de estrechamiento* y se denomina como V_P (por su sigla en inglés, *Pinch-off*), como se muestra en la figura 5.6. En realidad, el término "estrechamiento" es un nombre inapropiado que sugiere que la corriente I_D se detiene y que cae a 0 A. Sin embargo, como lo muestra la figura 5.6, este difícilmente es el caso, porque I_D mantiene un nivel de saturación definido como I_{DSS} en la figura 5.6. En realidad, aún existe un pequeño canal con una corriente de densidad muy alta. El hecho de que I_D no caiga con el estrechamiento y mantenga el nivel de saturación indicado en la figura 5.6 se verifica con el siguiente hecho: la ausencia de una corriente de drenaje eliminaría la posibilidad de niveles de potencial diferentes a través del canal del material- n con objeto de establecer los niveles variantes de polarización inversa a lo largo de la unión p - n . El resultado sería una pérdida de la distribución de la región de agotamiento que motivó el estrechamiento inicial.

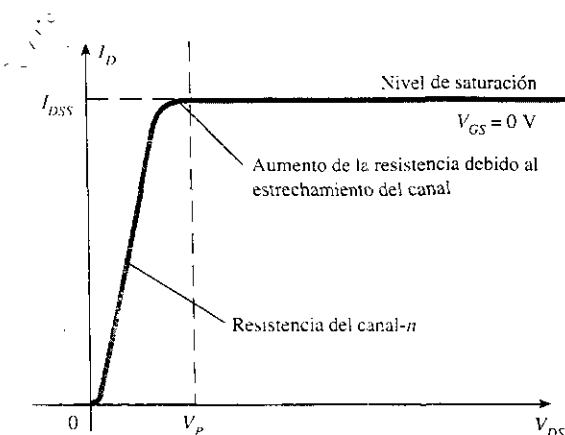


Figura 5.6 I_D en función V_{DS} para $V_{GS} = 0$ V.

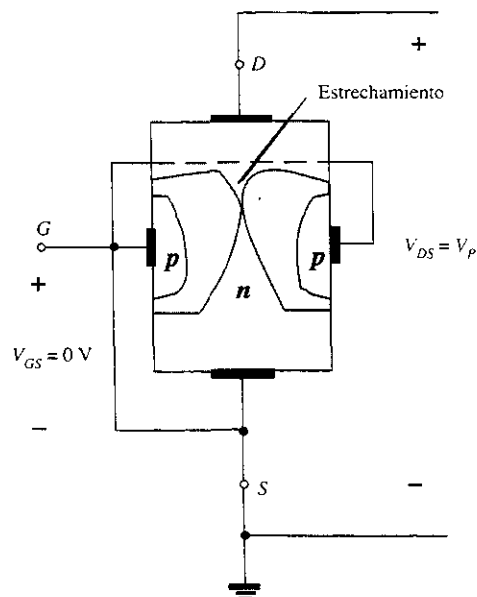


Figura 5.7 Estrechamiento ($V_{GS} = 0$ V, $V_{DS} = V_P$).

Mientras V_{DS} se incrementa más allá de V_P , la región del encuentro cercano entre las dos regiones de agotamiento incrementa su longitud a lo largo del canal, pero el nivel de I_D permanece esencialmente constante. Por tanto, una vez que $V_{DS} > V_P$, el JFET tiene las características de una fuente de corriente. Como se muestra en la figura 5.8, la corriente está fija en $I_D = I_{DSS}$, pero el voltaje V_{DS} (para aquellos niveles $> V_P$) está determinado por la carga aplicada.

La elección de la notación I_{DSS} se deriva del hecho de que es la corriente del Drenaje a la fuente (por la sigla en inglés de, Source) con una conexión de corto circuito (por la sigla en inglés de, Short) de la entrada a la fuente. Mientras continúa la investigación de las características del dispositivo, tenemos que:

I_{DSS} es la corriente máxima de drenaje para un JFET y está definida mediante las condiciones $V_{GS} = 0$ V y $V_{DS} > |V_P|$.

Obsérvese en la figura 5.6 que $V_{GS} = 0$ V para toda la curva. Los siguientes párrafos describen la manera en que las características de la figura 5.6 resultan afectadas por los cambios en el nivel de V_{GS} .

$V_{GS} < 0$ V

El voltaje de la compuerta a la fuente denotado por V_{GS} es el voltaje que controla al JFET. Así como se establecieron varias curvas para I_C en función de V_{CE} para diferentes niveles de I_B y para el transistor BJT, se pueden desarrollar curvas de I_D en función de V_{DS} para varios niveles de V_{GS} para el JFET. Para el dispositivo de canal- n el voltaje de control V_{GS} se hace más y más negativo a partir de su nivel $V_{GS} = 0$ V. Es decir, la terminal de la compuerta se hace a niveles de potencial más y más bajos en comparación con la fuente.

En la figura 5.9 se aplica un voltaje negativo de -1 V entre las terminales de la compuerta y la fuente para un nivel bajo de V_{DS} . El efecto del V_{GS} aplicado de polaridad negativa es el de establecer regiones de agotamiento similares a las que se obtuvieron con $V_{GS} = 0$ V, pero a niveles menores de V_{DS} . Por tanto, el resultado de aplicar una polarización negativa en la compuerta es alcanzar un nivel de saturación a un nivel menor de V_{DS} como se muestra en la figura 5.10 para $V_{GS} = -1$ V. El nivel resultante de saturación para I_D se ha reducido y de hecho continuará reduciéndose mientras V_{GS} se hace todavía más negativo. Obsérvese también en la figura 5.10 la manera en que el voltaje de estrechamiento continúa cayendo en una trayectoria parabólica conforme V_{GS} se hace más negativo. Eventualmente, cuando $V_{GS} = -V_P$, V_{GS} será lo suficientemente negativo como para establecer un nivel de saturación que será en esencia 0 mA, por otro lado, para todos los propósitos prácticos el dispositivo ha sido "apagado". En resumen:

$$I_{DSS}/V_P$$

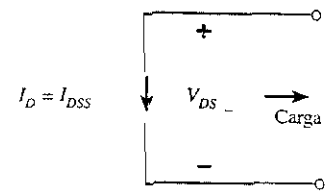


Figura 5.8 Fuente de corriente equivalente para $V_{GS} = 0$ V, $V_{DS} > V_P$.

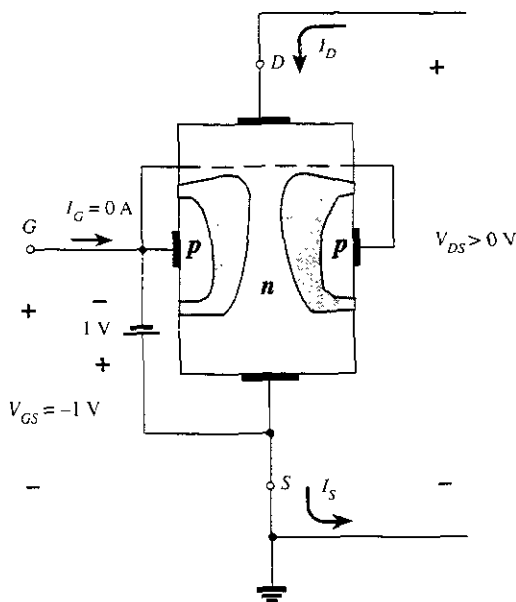


Figura 5.9 Aplicación de un voltaje negativo a la entrada de un JFET.

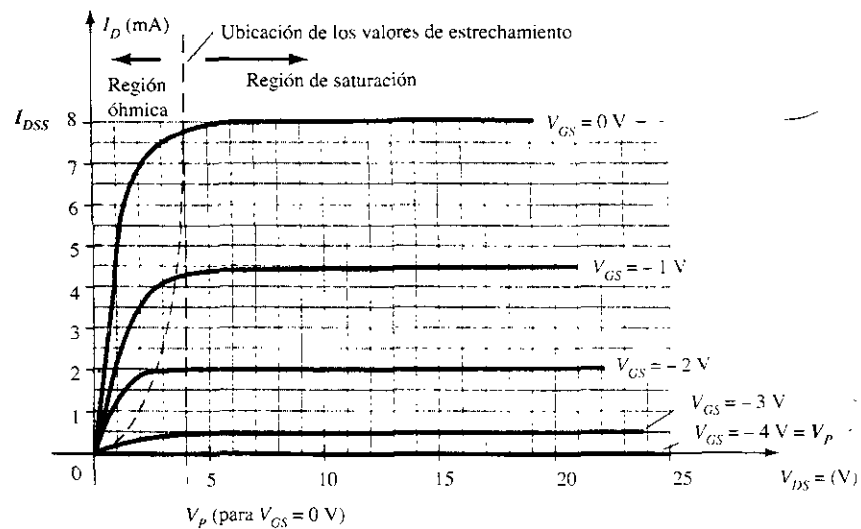


Figura 5.10 Características del JFET de canal- n con $I_{DSS} = 8 \text{ mA}$ y $V_P = -4 \text{ V}$.

El nivel de V_{GS} que da por resultado $I_D = 0 \text{ mA}$ se encuentra definido por $V_{GS} = V_P$, siendo V_P un voltaje negativo para los dispositivos de canal- n y un voltaje positivo para los JFET de canal- p .

En la mayor parte de las hojas de especificaciones, el voltaje de estrechamiento se encuentra especificado como $V_{GS(\text{apagado})}$ en vez de V_P . Más adelante, en este capítulo se revisará una hoja de especificaciones cuando hayan sido presentados los elementos básicos más importantes. La región a la derecha del estrechamiento en la figura 5.10 es la región empleada normalmente en los amplificadores lineales (amplificadores con una mínima distorsión de la señal aplicada), y se le refiere como la región de *corriente constante*, *saturación* o *región de amplificación lineal*.

Resistor controlado por voltaje

La región a la izquierda del estrechamiento en la figura 5.10 es conocida como la *región óhmica* o *de resistencia controlada por voltaje*. En esta región al JFET se le usa en realidad como un resistor variable (posiblemente para un sistema de control de ganancia automática) cuya resistencia se encuentra controlada por medio del voltaje de la compuerta a la fuente. Obsérvese en la figura 5.10 que la pendiente para cada curva, y por tanto la resistencia del dispositivo entre el drenaje y la fuente para $V_{DS} < V_P$, es una función del voltaje aplicado V_{GS} . Mientras V_{GS} se convierte en más negativo, la pendiente de cada curva se hace más horizontal, correspondiendo a un nivel creciente de resistencia. La siguiente ecuación ofrecerá una buena y primera aproximación del nivel de resistencia en términos del voltaje aplicado V_{GS} .

$$r_d = \frac{r_o}{(1 - V_{GS}/V_P)^2} \quad (5.1)$$

donde r_o es la resistencia con $V_{GS} = 0 \text{ V}$ y r_d es la resistencia en un nivel particular de V_{GS} .

Para un JFET de canal- n con r_o igual a $10 \text{ k}\Omega$ ($V_{GS} = 0 \text{ V}$, $V_P = -6 \text{ V}$), la ecuación (5.1) dará por resultado $40 \text{ k}\Omega$ en $V_{GS} = -3 \text{ V}$.

Dispositivos de canal- p

El JFET de canal- p está construido exactamente de la misma manera que el dispositivo de canal- n de la figura 5.2 con una inversión de los materiales tipo p y tipo n , como se muestra en la figura 5.11.

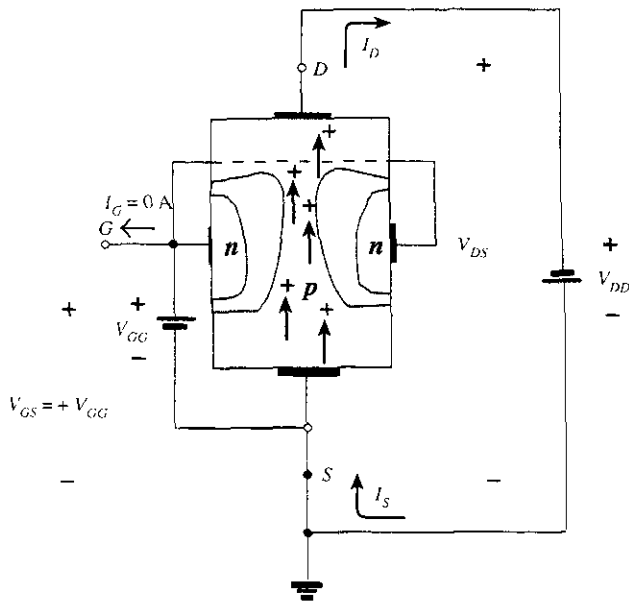


Figura 5.11 JFET de canal- p .

Las direcciones de corriente definidas están invertidas, como las polaridades reales para los voltajes V_{GS} y V_{DS} . Para el dispositivo de canal- p , éste será estrechado mediante voltajes crecientes positivos de la compuerta a la fuente, y la notación de doble subíndice para V_{DS} , por tanto, dará como resultado voltajes negativos para V_{DS} sobre las características de la figura 5.12, la cual tiene una I_{DSS} de 6 mA y un voltaje de estrechamiento de $V_{GS} = +6$ V. No se debe confundir por el signo de menos para V_{DS} . Éste simplemente indica que la fuente se encuentra a un potencial mayor que el drenaje.

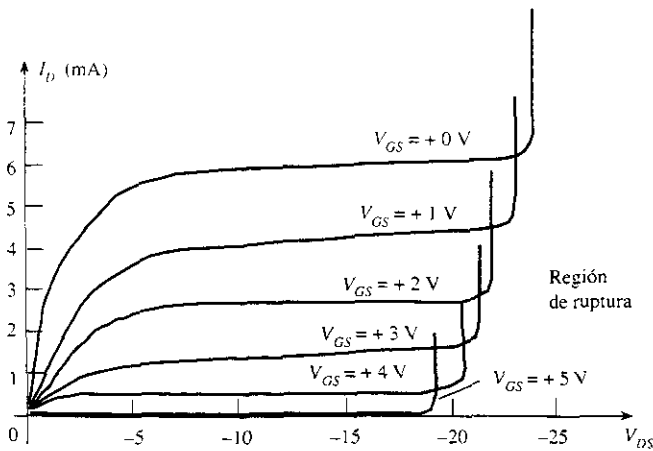


Figura 5.12 Características del JFET de canal- p con $I_{DSS} = 6$ mA y $V_P = +6$ V.

Se observa en los niveles altos de V_{DS} que las curvas suben repentinamente a niveles que parecen ilimitados. El crecimiento vertical es una indicación de que ha sucedido una ruptura y que la corriente a través del canal (en la misma dirección en que normalmente se encuentra) ahora está limitada únicamente por el circuito externo. Aunque no aparece en la figura 5.10 para el dispositivo de canal- n , sucede para el canal- n cuando se aplica suficiente voltaje. Esta región puede evitarse si el nivel de $V_{DS_{max}}$, de las hojas de especificaciones, y el diseño es tal, que en nivel real de V_{DS} es menor que el valor máximo para *todos* los valores de V_{GS} .

Símbolos

Los símbolos gráficos para los JFET de canal- n y de canal- p se presentan en la figura 5.13. Obsérvese que la flecha se encuentra apuntando hacia adentro para el dispositivo de canal- n de la figura 5.13a, con objeto de representar la dirección en la cual fluiría I_G si la unión p - n tuviera polarización directa. La única diferencia en el símbolo es la dirección de la flecha para el dispositivo de canal- p (figura 5.13b).

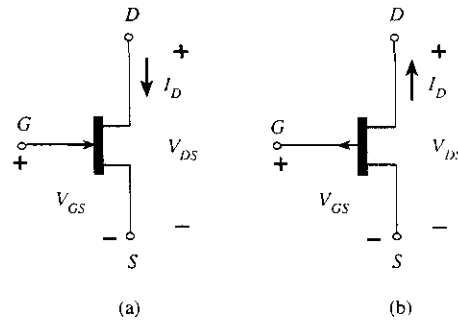


Figura 5.13 Símbolos del JFET: a) de canal- n ; b) de canal- p .

Resumen

Una cantidad importante de parámetros y relaciones se presentaron en esta sección. Otros, cuya referencia será frecuente en el análisis de este capítulo, así como en el siguiente para los JFET de canal- n , se describen a continuación:

La corriente máxima se encuentra definida como I_{DSS} y ocurre cuando $V_{GS} = 0$ V y $V_{DS} \geq |V_P|$ como se muestra en la figura 5.14a.

Para los voltajes de la compuerta a la fuente V_{GS} menores que (más negativos que) el nivel de estrechamiento, la corriente de drenaje es igual a 0 A ($I_D = 0$ A), como aparece en la figura 5.14b.

Para todos los niveles de V_{GS} entre 0 V y el nivel de estrechamiento, la corriente I_D se encontrará en el rango entre I_{DSS} y 0 A, respectivamente, como se encuentra en la figura 5.14c.

Se puede desarrollar una lista similar para los JFET de canal- p .

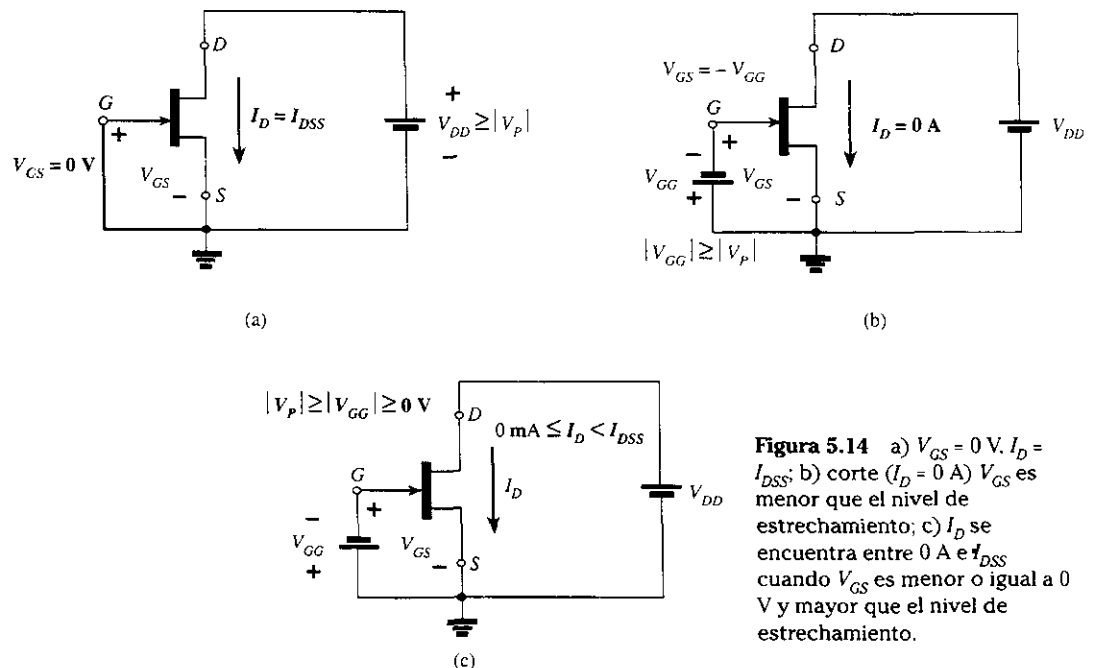


Figura 5.14 a) $V_{GS} = 0$ V, $I_D = I_{DSS}$; b) corte ($I_D = 0$ A) V_{GS} es menor que el nivel de estrechamiento; c) I_D se encuentra entre 0 A e I_{DSS} cuando V_{GS} es menor o igual a 0 V y mayor que el nivel de estrechamiento.

5.3 CARACTERÍSTICAS DE TRANSFERENCIA

Derivación

Para el transistor BJT la corriente de salida I_C y la corriente de control I_B fueron relacionadas por beta, considerada como constante para el análisis que fue desarrollado. En forma de ecuación,

$$I_C = f(I_B) = \beta I_B \quad (5.2)$$

variable de control
constante

En la ecuación (5.2) existe una relación lineal entre I_C e I_B . Si se duplica el nivel de I_B e I_C , se incrementará también por un factor de 2.

Desafortunadamente, esta relación lineal no existe entre las cantidades de salida y de entrada de un JFET. La relación entre I_D y V_{GS} se encuentra definida por la *ecuación de Shockley*:

$$I_D = I_{DSS} \left(1 - \frac{V_{GS}}{V_P} \right)^2 \quad (5.3)$$

variable de control
constantes

El término cuadrático de la ecuación dará por resultado una relación no lineal entre I_D y V_{GS} , produciendo una curva que crece exponencialmente con las magnitudes decrecientes de V_{GS} .

Para el análisis en dc que será desarrollado en el capítulo 6, un sistema gráfico más que matemático será, en general, más directo y fácil de aplicarse. Sin embargo, la aproximación gráfica requerirá de una gráfica de la ecuación (5.3) con objeto de representar el dispositivo, y una gráfica de la ecuación de red que relacione las mismas variables. La solución está definida por el punto de intersección de las dos curvas. Es importante considerar al aplicar la aproximación gráfica que las características del dispositivo *no serán afectadas* por la red en la cual se utilice el dispositivo. La ecuación de la red puede cambiar con la intersección de las dos curvas, pero la curva de transferencia definida por la ecuación (5.3) permanece sin resultar afectada. Por tanto:

Las características de transferencia definidas por la ecuación de Shockley no resultan afectadas por la red en la cual se utiliza el dispositivo.

Se puede obtener la curva de transferencia utilizando la ecuación de Shockley o a partir de las características de salida de la figura 5.10. En la figura 5.15 se proporcionan dos gráficas



William Bradford Shockley (1910-1989) coinventó el primer transistor y formuló la teoría de "efecto de campo" que se utilizó en el desarrollo de los transistores y el FET. (Cortesía de AT&T Archives).

Shockley nació en Londres, Inglaterra PhD Harvard, 1936
Director del Transistor Physics Department - Bell Laboratories
Presidente de Shockley Transistor Corp.
Profesor Poniatoff de Engineering Science en Stanford University
Premio Nobel en física en 1956 junto con los doctores Brattain y Bardeen

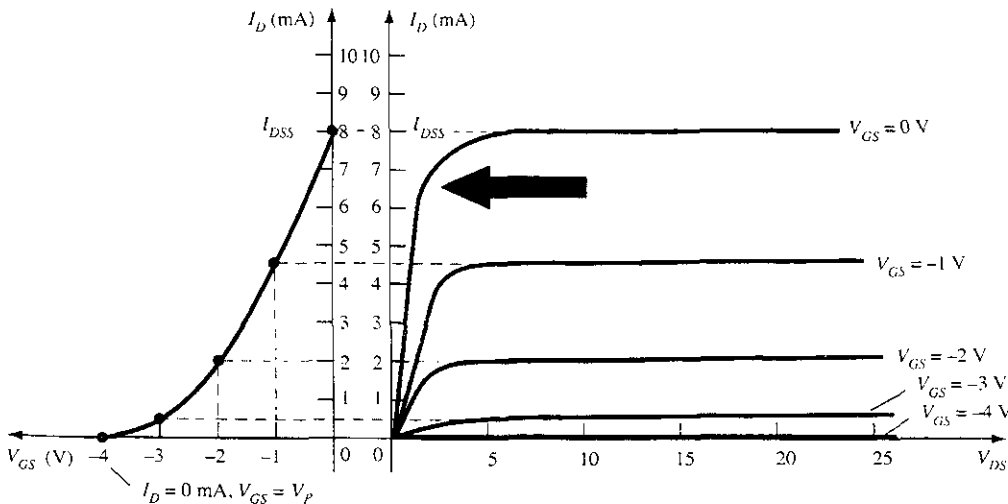


Figura 5.15 Obtención de la curva de transferencia para las características de drenaje.

con la escala vertical en miliamperes para cada gráfica. Una es una gráfica de I_D en función V_{DS} , mientras que la otra es de I_D en función V_{GS} . Con las características de drenaje a la derecha del eje “y” es posible dibujar una línea horizontal desde la región de saturación de la curva denotada $V_{GS} = 0$ V al eje I_D . El nivel resultante de corriente para ambas gráficas es I_{DSS} . El punto de intersección en la curva I_D en función V_{GS} será el que se mostró antes, ya que el eje vertical está definido como $V_{GS} = 0$ V.

En resumen:

Cuando $V_{GS} = 0$ V, $I_D = I_{DSS}$.

Cuando $V_{GS} = V_P = -4$ V, la corriente de drenaje es de cero miliamperes, definiendo otro punto sobre la curva de transferencia. Esto es:

Cuando $V_{GS} = V_P$, $I_D = 0$ mA.

Antes de continuar, es importante comprender que las características de drenaje relacionan una cantidad de salida (o drenaje) a otra cantidad de salida (o drenaje); ambos ejes están definidos por variables en la misma región de las características del dispositivo. Las características de transferencia son una gráfica de una corriente de salida (o drenaje) en función una cantidad controladora de entrada. Por tanto, existe una “transferencia” directa de las variables de entrada a las de salida, utilizando la curva a la izquierda de la figura 5.15. Si la relación fuera lineal, la gráfica de I_D en función V_{GS} sería una línea recta entre I_{DSS} y V_P . Sin embargo, la curva que resulta es parabólica, porque el espaciado vertical entre los pasos de V_{GS} sobre las características del drenaje de la figura 5.15 decrece notoriamente mientras V_{GS} se hace más y más negativo. Compare el espaciado entre $V_{GS} = 0$ V y $V_{GS} = -1$ V con aquel entre $V_{GS} = -3$ V y el estrechamiento. El cambio en V_{GS} es el mismo, pero el cambio resultante en I_D es bastante diferente.

Si se dibuja una línea horizontal desde $V_{GS} = -1$ V hacia el eje I_D y luego se extiende hacia el otro eje, se puede localizar otro punto sobre la curva de transferencia. Obsérvese que en $V_{GS} = -1$ V la curva de transferencia tiene un valor de $I_D = 4.5$ mA. Nótese que en la definición de I_D cuando $V_{GS} = 0$ V y -1 V que se utiliza los niveles de saturación de I_D y la región óhmica se ignora. Seguimos con $V_{GS} = -2$ V y -3 V se puede completar la curva de transferencia. Precisamente es la curva de I_D en función V_{GS} la que recibirá un amplio uso en el análisis del capítulo 6, y no precisamente las características de drenaje de la figura 5.15. Los siguientes párrafos presentan un método rápido y eficiente para graficar I_D en función V_{GS} , usando únicamente los niveles de I_{DSS} y V_P y la ecuación de Shockley.

Aplicación de la ecuación de Shockley

La curva de transferencia de la figura 5.15 también puede obtenerse directamente a partir de la ecuación de Shockley (5.3), simplemente dando los valores de I_{DSS} y V_P . Los niveles de I_{DSS} y V_P definen los límites de la curva sobre ambos ejes y dejan la necesidad de encontrar sólo unos cuantos puntos intermedios. La validación de la ecuación (5.3) como una fuente de la curva de transferencia de la figura 5.15 se demuestra mejor al examinar unos cuantos niveles específicos de una variable y encontrando el nivel resultante del otro de la siguiente manera:

Sustituyendo $V_{GS} = 0$ V da

$$\begin{aligned} \text{Ecuación (5.3): } I_D &= I_{DSS} \left(1 - \frac{V_{GS}}{V_P} \right)^2 \\ &= I_{DSS} \left(1 - \frac{0}{V_P} \right)^2 = I_{DSS} (1 - 0)^2 \end{aligned}$$

e

$$I_D = I_{DSS} \big|_{V_{GS}=0 \text{ V}}$$

(5.4)

Sustituyendo $V_{GS} = V_P$ da

$$\begin{aligned}
 I_D &= I_{DSS} \left(1 - \frac{V_P}{V_P} \right)^2 \\
 &= I_{DSS} (1 - 1)^2 = I_{DSS} (0) \\
 \boxed{I_D &= 0 \text{ A} |_{V_{GS} = V_P}}
 \end{aligned} \tag{5.5}$$

Para las características de drenaje de la figura 5.15, si se sustituye $V_{GS} = -1 \text{ V}$,

$$\begin{aligned}
 I_D &= I_{DSS} \left(1 - \frac{V_{GS}}{V_P} \right)^2 \\
 &= 8 \text{ mA} \left(1 - \frac{-1 \text{ V}}{-4 \text{ V}} \right)^2 = 8 \text{ mA} \left(1 - \frac{1}{4} \right)^2 = 8 \text{ mA} (0.75)^2 \\
 &= 8 \text{ mA} (0.5625) \\
 &= \mathbf{4.5 \text{ mA}}
 \end{aligned}$$

como se muestra en la figura 5.15. Obsérvese el cuidado que se necesita tomar con los signos negativos de V_{GS} y V_P en los cálculos anteriores. La pérdida de un signo daría un resultado totalmente erróneo.

Debe resultar obvio a partir de lo anterior que dados V_{DSS} y V_P (como normalmente se proporciona en las hojas de especificaciones) el nivel de I_D se puede encontrar para cualquier nivel de V_{GS} . Recíprocamente, utilizando álgebra básica se puede obtener [a partir de la ecuación (5.3)] una ecuación para el nivel resultante de V_{GS} para un nivel dado de I_D . La derivación es bastante directa y dará como resultado

$$\boxed{V_{GS} = V_P \left(1 - \sqrt{\frac{I_D}{I_{DSS}}} \right)} \tag{5.6}$$

Puede probarse la ecuación (5.6) si se localiza el nivel de V_{GS} que dará por resultado una corriente de drenaje de 4.5 mA para el dispositivo con las características de la figura 5.15.

$$\begin{aligned}
 V_{GS} &= -4 \text{ V} \left(1 - \sqrt{\frac{4.5 \text{ mA}}{8 \text{ mA}}} \right) \\
 &= -4 \text{ V} (1 - \sqrt{0.5625}) = -4 \text{ V} (1 - 0.75) \\
 &= -4 \text{ V} (0.25) \\
 &= \mathbf{-1 \text{ V}}
 \end{aligned}$$

como se sustituyó en el cálculo anterior y siendo verificado por la figura 5.15.

Método manual rápido

Debido a que la curva de transferencia debe graficarse con mucha frecuencia, podría resultar muy ventajoso tener un método manual rápido, con objeto de graficar la curva de la manera más eficiente mientras se mantenga un grado aceptable de precisión. El formato de la ecuación (5.3) es tal, que los niveles específicos de V_{GS} darán niveles de I_D que podrán ser memorizados para proporcionar los puntos necesarios con objeto de graficar la curva de transferencia. Si se especifica que V_{GS} sea la mitad del valor de estrechamiento V_P , el nivel resultante de I_D será el siguiente, de acuerdo con la determinación de la ecuación de Shockley:

$$\begin{aligned}
 I_D &= I_{DSS} \left(1 - \frac{V_{GS}}{V_P} \right)^2 \\
 &= I_{DSS} \left(1 - \frac{V_P/2}{V_P} \right)^2 = I_{DSS} \left(1 - \frac{1}{2} \right)^2 = I_{DSS} (0.5)^2 \\
 &= I_{DSS} (0.25)
 \end{aligned}$$

e

$$I_D = \frac{I_{DSS}}{4} \quad \left| \quad V_{GS} = V_P/2 \right. \quad (5.7)$$

Ahora es importante estar consciente de que la ecuación (5.7) no es para un nivel de V_P en particular, sino es una ecuación general para cualquier nivel de V_P mientras que $V_{GS} = V_P/2$. El resultado especifica que la corriente de drenaje siempre será de una cuarta parte del valor de saturación I_{DSS} , mientras el voltaje-fuente sea de la mitad del valor de estrechamiento. Obsérvese el nivel de I_D para $V_{GS} = V_P/2 = -4 \text{ V}/2 = -2 \text{ V}$ en la figura 5.15.

Si se elige $I_D = I_{DSS}/2$ y se sustituye en la ecuación (5.6), se encuentra que

$$\begin{aligned} V_{GS} &= V_P \left(1 - \sqrt{\frac{I_D}{I_{DSS}}} \right) \\ &= V_P \left(1 - \sqrt{\frac{I_{DSS}/2}{I_{DSS}}} \right) = V_P (1 - \sqrt{0.5}) = V_P (0.293) \end{aligned}$$

y

$$V_{GS} \cong 0.3V_P \quad \left| \quad I_D = I_{DSS}/2 \right. \quad (5.8)$$

Pueden determinarse puntos adicionales, pero la curva de transferencia puede trazarse con un nivel satisfactorio de precisión utilizando simplemente los cuatro puntos definidos arriba y revisados en la tabla 5.1. De hecho, en el análisis del capítulo 6 se utiliza un máximo de cuatro puntos con objeto de trazar las curvas de transferencia. En la mayoría de las ocasiones, utilizando sólo el punto de la gráfica definido por $V_{GS} = V_P/2$ y las intersecciones de los ejes en I_{DSS} y V_P , se obtiene una curva lo suficientemente precisa para la mayoría de los cálculos.

TABLA 5.1 V_{GS} en función I_D utilizando la ecuación de Shockley

V_{GS}	I_D
0	I_{DSS}
$0.3V_P$	$I_{DSS}/2$
$0.5V_P$	$I_{DSS}/4$
V_P	0 mA

EJEMPLO 5.1

Trazar la curva definida por $I_{DSS} = 12 \text{ mA}$ y $V_P = -6 \text{ V}$.

Solución

Los dos puntos de la gráfica están definidos por

$$\begin{aligned} I_{DSS} &= 12 \text{ mA} & \text{y} & & V_{GS} &= 0 \text{ V} \\ \text{e} & & & & I_D &= 0 \text{ mA} & \text{y} & & V_{GS} &= V_P \end{aligned}$$

En $V_{GS} = V_P/2 = -6 \text{ V}/2 = -3 \text{ V}$ la corriente de drenaje está dada por $I_D = I_{DSS}/4 = 12 \text{ mA}/4 = 3 \text{ mA}$. En $I_D = I_{DSS}/2 = 12 \text{ mA}/2 = 6 \text{ mA}$ el voltaje de la compuerta a la fuente se encuentra determinado por $V_{GS} \cong 0.3 V_P = 0.3 (-6 \text{ V}) = -1.8 \text{ V}$. Los cuatro puntos están bien definidos sobre la figura 5.16 con la curva de transferencia completa.

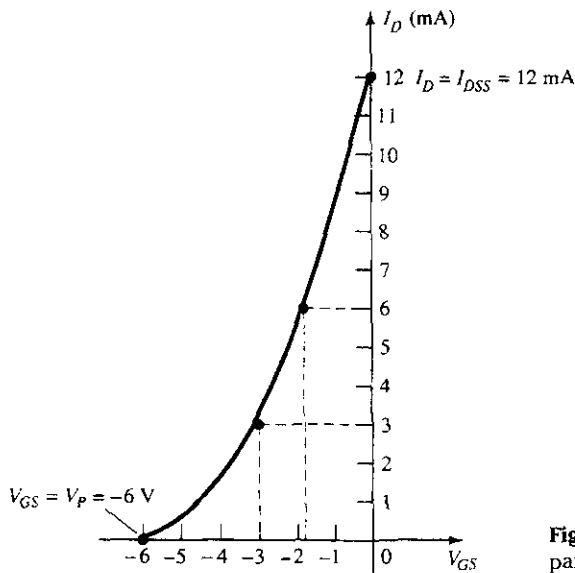


Figura 5.16 Curva de transferencia para el ejemplo 5.1.

Para los dispositivos de canal- p , la ecuación (5.3) de Shockley puede todavía aplicarse exactamente como aparece. En este caso, tanto V_P como V_{GS} serán positivos, y la curva tendrá la imagen en espejo de la curva de transferencia que se obtuvo para un dispositivo de canal- n y los mismos valores limitantes.

Trazar la curva de transferencia para un dispositivo de canal- p con $I_{DSS} = 4 \text{ mA}$ y $V_P = 3 \text{ V}$.

EJEMPLO 5.2

Solución

En $V_{GS} = V_P/2 = 3 \text{ V}/2 = 1.5 \text{ V}$, $I_D = I_{DSS}/4 = 4 \text{ mA}/4 = 1 \text{ mA}$. En $I_D = I_{DSS}/2 = 4 \text{ mA}/2 = 2 \text{ mA}$, $V_{GS} = 0.3 V_P = 0.3 (3 \text{ V}) = 0.9 \text{ V}$. Los dos puntos de la gráfica aparecen en la figura 5.17 junto con los puntos definidos por medio de I_{DSS} y V_P .

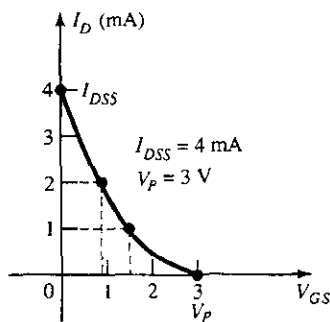


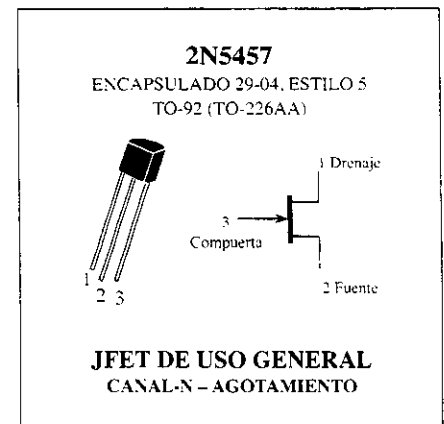
Figura 5.17 Curva de transferencia para el dispositivo de canal- p del ejemplo 5.2.

5.4 HOJAS DE ESPECIFICACIONES (JFET)

Aunque el contenido general de las hojas de especificaciones puede variar desde el mínimo absoluto hasta una gran cantidad de gráficas y tablas, existen unos cuantos parámetros fundamentales que proporcionan todos los fabricantes. Los más importantes se analizan en los siguientes párrafos. La hoja de especificaciones para el JFET de canal- n 2N5457 proporcionado por Motorola se ofrece en la figura 5.18.

VALORES NOMINALES MÁXIMOS

Clasificación	Símbolo	Valor	Unidad
Voltaje drenaje-fuente	V_{DS}	25	Vdc
Voltaje drenaje-compuerta	V_{DG}	25	Vdc
Voltaje inverso compuerta-fuente	V_{GSR}	-25	Vdc
Corriente de la compuerta	I_G	10	mAdc
Disipación total del dispositivo @ $T_A = 25^\circ\text{C}$	P_D	310	mW
Pérdida de disipación arriba de 25°C		2.82	mW/ $^\circ\text{C}$
Rango de temperatura de la unión	T_J	125	$^\circ\text{C}$
Rango de almacenamiento de temperatura del canal	T_{stg}	-65 a + 150	$^\circ\text{C}$



Refiérase al 2N4220 para gráficas.

CARACTERÍSTICAS ELÉCTRICAS ($T_A = 25^\circ\text{C}$ a menos que se especifique lo contrario)

Característica	Símbolo	Mínimo	Tipo	Máximo	Unidad
----------------	---------	--------	------	--------	--------

CARACTERÍSTICAS "APAGADO"

Voltaje de ruptura compuerta-fuente ($I_G = -10 \mu\text{Adc}$, $V_{DS} = 0$)	$V_{(BR)GSS}$	-25	-	-	Vdc
Corriente inversa de la compuerta ($V_{GS} = -15 \text{ Vdc}$, $V_{DS} = 0$) ($V_{GS} = -15 \text{ Vdc}$, $V_{DS} = 0$, $T_A = 100^\circ\text{C}$)	I_{GSS}	-	-	-1.0 -200	nAdc
Voltaje de corte compuerta fuente ($V_{DS} = 15 \text{ Vdc}$, $I_D = 10 \text{ nAdc}$)	$V_{GS(\text{apagado})}$	-0.5	-	-6.0	Vdc
Voltaje compuerta fuente ($V_{DS} = 15 \text{ Vdc}$, $I_D = 100 \mu\text{Adc}$)	V_{GS}	-	-2.5	-	Vdc

CARACTERÍSTICAS "ENCENDIDO"

Corriente de drenaje con voltaje de cero en la entrada* ($V_{DS} = 15 \text{ Vdc}$, $V_{GS} = 0$)	I_{DSS}	1.0	3.0	5.0	mAdc
---	-----------	-----	-----	-----	------

CARACTERÍSTICAS EN PEQUEÑA SEÑAL

Admitancia de transferencia directa para fuente común* ($V_{DS} = 15 \text{ Vdc}$, $V_{GS} = 0$, $f = 1.0 \text{ kHz}$)	$ y_{fs} $	1000	-	5000	μmhos
Admitancia de salida para fuente común* ($V_{DS} = 15 \text{ Vdc}$, $V_{GS} = 0$, $f = 1.0 \text{ kHz}$)	$ y_{os} $	-	10	50	μmhos
Capacitancia de entrada ($V_{DS} = 15 \text{ Vdc}$, $V_{GS} = 0$, $f = 1.0 \text{ MHz}$)	C_{iss}	-	4.5	7.0	pF
Capacitancia de transferencia inversa ($V_{DS} = 15 \text{ Vdc}$, $V_{GS} = 0$, $f = 1.0 \text{ MHz}$)	C_{rfs}	-	1.5	3.0	pF

*Prueba de pulso: ancho del pulso $\leq 630 \text{ ms}$; ciclo de trabajo $\leq 10\%$

Figura 5.18 JFET de canal-n 2N5457 de Motorola.

Valores nominales máximos

La lista de valores nominales máximos por lo general aparece al principio de la hoja de especificaciones, junto con los voltajes máximos entre las terminales específicas, los niveles máximos de las corrientes y el nivel máximo de disipación de potencia del dispositivo. Los niveles máximos especificados para V_{DS} y V_{DG} no deben excederse en ningún punto del diseño de la operación del dispositivo. La fuente aplicada V_{DD} puede exceder estos niveles, pero el nivel real de voltaje entre estas terminales nunca debe exceder el nivel especificado. Todo buen

diseño intentará evitar estos niveles con un buen margen de seguridad. El término *inverso* en V_{GSR} define el voltaje máximo con la fuente positiva respecto a la compuerta (como si estuviera polarizada normalmente para un dispositivo de canal-*n*) antes de que ocurra la ruptura. En algunas hojas de especificaciones es referido BV_{DSS} , el voltaje de ruptura con el drenaje y la fuente en corto circuito ($V_{DS} = 0$ V) se encuentran referidas como BV_{DSS} . Normalmente está diseñado con objeto de operar con $I_G = 0$ A, pero si se *fuera* a aceptar una corriente de la entrada podría soportar 10 mA antes de que suceda cualquier daño. La disipación total del dispositivo a 25 °C (temperatura ambiente) es la máxima potencia que el dispositivo puede disipar bajo condiciones normales de operación y está definida por

$$P_D = V_{DS} I_D \quad (5.9)$$

Nótese la similitud en formato con la ecuación de disipación máxima de potencia para el transistor BJT.

El factor de pérdida de disipación se analiza con detalle en el capítulo 3, pero por el momento reconocemos que el valor de 2.82 mW/°C revela que el valor de disipación *decrece* en 2.82 mW por cada *incremento* en la temperatura de 1 °C arriba de 25 °C.

Características eléctricas

Las características eléctricas incluyen el nivel de V_P en las CARACTERÍSTICAS DE APAGADO e I_{DSS} en las CARACTERÍSTICAS DE ENCENDIDO. En este caso $V_P = V_{GS(\text{apagado})}$ tiene un rango entre -0.5 a -6.0 e I_{DSS} entre 1 y 5 mA. El hecho de que ambos tengan una variación de dispositivo a dispositivo del mismo tipo, se debe al proceso de fabricación. Las otras cantidades están definidas bajo las condiciones que aparecen entre paréntesis. Las características de pequeña señal se discuten en el capítulo 9.

Construcción del encapsulado e identificación de terminales

Este JFET en particular tiene la misma apariencia que proporciona la hoja de especificaciones de la figura 5.18. La identificación de las terminales también se proporciona directamente debajo de la figura. Además los JFET se encuentran disponibles en encapsulado de “sombbrero alto”, como se muestra en la figura 5.19 con su identificación de terminales.

Región de operación

La hoja de especificaciones y la curva definida por los niveles de estrechamiento a cada nivel de V_{GS} definen la región de operación para la amplificación lineal sobre las características de drenaje como se muestra en la figura 5.20. La región óhmica define los valores máximos permisibles de V_{DS} en cada nivel de V_{GS} , y $V_{DS \text{ máx}}$ especifica el valor máximo para este parámetro.

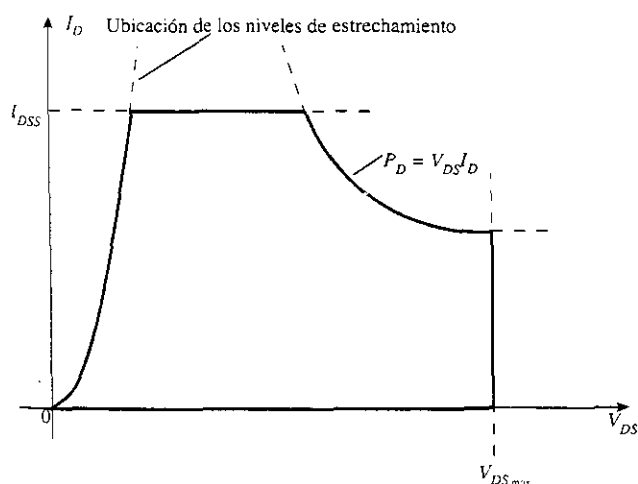
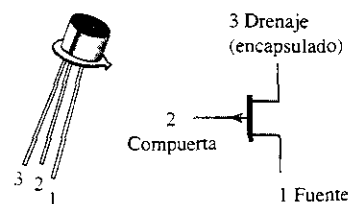


Figura 5.20 Región de operación normal para el diseño de amplificación lineal.

2N2844
CÁPSULA 22-03, ESTILO 12
TO-18 (TO-206AA)



JFET DE USO GENERAL
CANAL-P

Figura 5.19 Encapsulado de “sombbrero alto” e identificación de las terminales para un JFET de canal-*p*.

La corriente de saturación I_{DSS} es la corriente máxima de drenaje, y el nivel máximo de disipación de potencia define la curva dibujada de la misma manera que para los transistores BJT. La región sombreada resultante es la región de operación normal para el diseño de amplificadores.

5.5 INSTRUMENTACIÓN

Recuerde que, como se vio en el capítulo 3, hay instrumentos disponibles para medir el nivel de β_{dc} para el transistor BJT. Una instrumentación similar no está disponible con objeto de medir los niveles de I_{DSS} y V_P . Sin embargo, el trazador de curvas presentado para el transistor BJT puede también mostrar las características de drenaje del transistor JFET a través del ajuste adecuado de varios controles. La escala vertical (en miliamperes) y la escala horizontal (en volts) se han ajustado para mostrar las características completas, como se muestra en la figura 5.21. Para el JFET de la figura 5.21, cada división vertical (en centímetros) refleja un cambio de 1-mA en I_C , mientras que cada división horizontal tiene un valor de 1 V. El paso del voltaje es de 500 mV/paso (0.5 V/paso), lo que revela que la curva superior se encuentra definida por $V_{GS} = 0$ V, y que la siguiente curva hacia abajo -0.5 V para el dispositivo de canal- n . Con el uso del mismo paso de voltaje la siguiente curva es -1 V, luego -1.5 V, y finalmente -2 V. Al dibujar una línea a partir de la curva superior sobre el eje I_D se puede estimar el nivel de I_{DSS} de cerca de 9 mA. El nivel de V_P se puede estimar si se observa el valor de V_{GS} de la última curva hacia abajo, pero tomando en cuenta la distancia más pequeña entre las curvas mientras V_{GS} se hace todavía más negativo. En este caso, V_P es cierto que es más negativo que -2 V y quizá V_P se encuentre cercano a -2.5 V. Sin embargo, tenga en cuenta que las curvas V_{GS} se contraen muy rápidamente cuando se acercan a la condición de corte, por lo que quizá $V_P = -3$ V es una

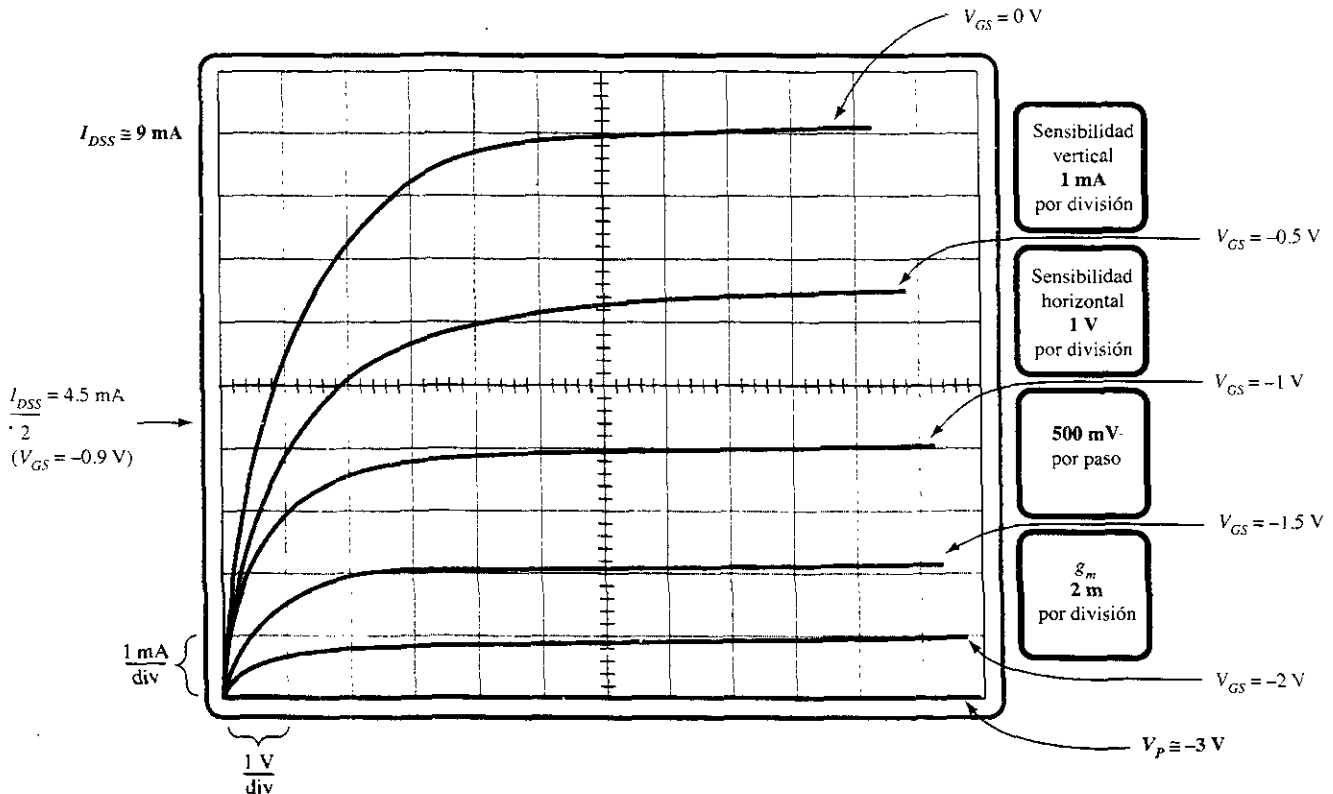


Figura 5.21 Características de drenaje para el transistor JFET 2N4416 como se presenta en un trazador de curvas.

mejor elección. También es importante revisar que el control del paso se ajusta para una pantalla de cinco pasos limitando las curvas mostradas a $V_{GS} = 0 \text{ V}$, -0.5 V , -1 V , -1.5 V y -2 V . Si el control del paso se incrementa a 10, el voltaje por paso se puede reducir a $250 \text{ mV} = 0.25 \text{ V}$, y la curva para $V_{GS} = -2.25 \text{ V}$ se hubiera podido incluir, así como una curva adicional entre cada paso de la figura 5.21. La curva $V_{GS} = -2.25 \text{ V}$ hubiera indicado la rapidez con que las curvas se están cerrando una sobre la otra para el mismo paso de voltaje. Por fortuna, el nivel de V_P se puede estimar con un grado razonable de exactitud simplemente aplicando la condición que aparece en la tabla 5.1. Esto es, cuando $I_D = I_{DSS}/2$, luego $V_{GS} = 0.3V_P$. Para las características de la figura 5.21, $I_D = I_{DSS}/2 = 9 \text{ mA}/2 = 4.5 \text{ mA}$, y es tan visible en la figura 5.21 que el nivel correspondiente de V_{GS} es de aproximadamente -0.9 V . Con esta información se encuentra que $V_P = V_{GS}/0.3 = -0.9 \text{ V}/0.3 = -3 \text{ V}$, el cual será nuestra selección para este dispositivo. Con este valor encontramos que en $V_{GS} = -2 \text{ V}$,

$$\begin{aligned} I_D &= I_{DSS} \left(1 - \frac{V_{GS}}{V_P} \right)^2 \\ &= 9 \text{ mA} \left(1 - \frac{-2 \text{ V}}{-3 \text{ V}} \right)^2 \\ &\cong 1 \text{ mA} \end{aligned}$$

como se fundamenta en la figura 5.21.

En $V_{GS} = -2.5 \text{ V}$ la ecuación de Shockley dará por resultado $I_D = 0.25 \text{ mA}$, con $V_P = -3 \text{ V}$, lo cual revela con claridad cuan rápido las curvas se contraen cerca de V_P . La importancia del parámetro g_m y la forma en que se determina a partir de las características de la figura 5.21 se describen en el capítulo 8 cuando se examinen las condiciones de ac en pequeña señal.

5.6 RELACIONES IMPORTANTES

Una cantidad de ecuaciones importantes y de características de operación se presentaron en las últimas secciones, particularmente importantes para el análisis que sigue para las configuraciones de dc y ac. En un esfuerzo por aislar y enfatizar su importancia, se repiten a continuación en seguida de su ecuación correspondiente para el transistor BJT. Las ecuaciones JFET están definidas para la configuración de la figura 5.22a, mientras que las ecuaciones para el BJT se relacionan a la figura 5.22b.

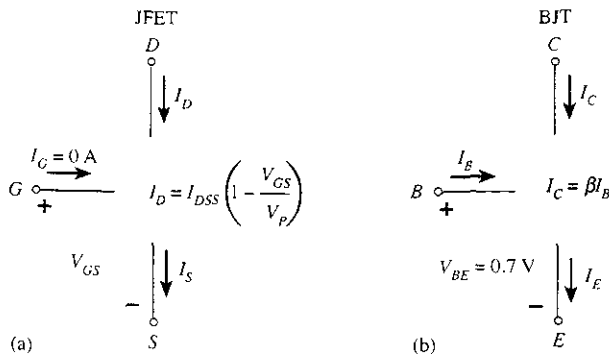


Figura 5.22 a) JFET contra b) BJT.

<i>JFET</i>	<i>BJT</i>
$I_D = I_{DSS} \left(1 - \frac{V_{GS}}{V_P} \right)^2$	$I_C = \beta I_B$
$I_D = I_S$	$I_C \cong I_E$
$I_G \cong 0 \text{ A}$	$V_{BE} \cong 0.7 \text{ V}$

(5.10)

Entender bien el impacto de cada una de las ecuaciones anteriores es suficiente antecedente para atacar las configuraciones de dc más complejas. Recuerde que $V_{BE} = 0.7\text{ V}$ a menudo se tomó como clave para inicializar un análisis de una configuración a BJT. De forma parecida, la condición $I_G = 0\text{ A}$ es a menudo el punto de inicio para el análisis de una configuración a JFET. Para la configuración BJT, I_B por lo general es el primer parámetro que debe determinarse. Para el JFET normalmente es V_{GS} . La cantidad de similitudes entre las configuraciones de dc para BJT y JFET se podrá apreciar mejor en el capítulo 6.

5.7 MOSFET DE TIPO DECREMENTAL

Como se observó en la introducción del capítulo, existen dos tipos de FET: los JFET y los MOSFET. Los MOSFET se desglosan más adelante en *tipo decremental* y en *tipo incremental*. Los términos *agotamiento* e *incremental* definen su modo básico de operación, mientras que la etiqueta MOSFET significa transistor de efecto de campo metal-óxido-semiconductor. Debido a que existen diferencias en las características y en la operación de cada tipo de MOSFET, se han cubierto en secciones por separado. En esta sección se examinará el MOSFET de tipo decremental, el cual tiene las características similares a aquellas de un JFET entre el corte y la saturación en I_{DSS} , pero luego tiene el rasgo adicional de características que se extienden hacia la región de polaridad opuesta para V_{GS} .

Construcción básica

La construcción básica del MOSFET de tipo decremental de canal- n se proporciona en la figura 5.23. Una placa de material tipo p está formada a partir de una base de silicio y se le conoce como *substrato*, que es la base sobre la que se construye el dispositivo. En algunos casos el substrato se encuentra conectado interiormente con la terminal de la fuente. Sin embargo, muchos dispositivos discretos ofrecen una terminal adicional etiquetada SS, dando por resultado un dispositivo de cuatro terminales, como el que aparece en la figura 5.23. Las terminales de fuente y compuerta están conectadas por medio de contactos metálicos a las regiones dopadas- n unidas por un canal- n como se muestra en la figura. La compuerta se encuentra conectada también a una superficie de contacto metálico, pero permanece aislada del canal- n por medio de una capa muy delgada de dióxido de silicio (SiO_2). El SiO_2 es un tipo particular

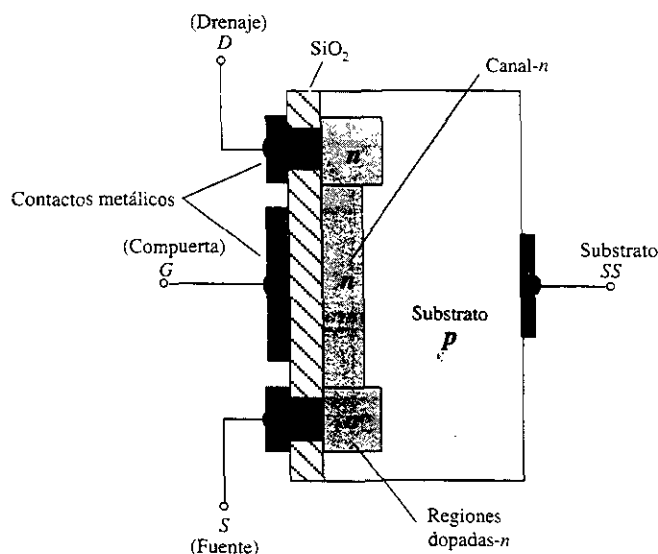


Figura 5.23 MOSFET de tipo decremental de canal- n .

de aislante conocido como *dieléctrico* que ocasiona campos eléctricos opuestos (como se indica por el prefijo *di*) dentro del dieléctrico cuando se expone a un campo externamente aplicado. El hecho de que la capa SiO_2 es una capa aislante revela el siguiente hecho:

No existe conexión eléctrica directa entre la terminal de la compuerta y el canal de un MOSFET.

Adicionalmente:

Se debe a la capa aislante de SiO_2 del MOSFET explica la alta impedancia, muy deseable, de entrada del dispositivo.

De hecho, la resistencia de entrada de un MOSFET es a menudo igual a la del JFET normal, aun cuando la impedancia de entrada de la mayoría de los JFET es lo suficientemente alta para la mayoría de las aplicaciones. La muy alta impedancia de entrada continúa soportando totalmente el hecho de que la corriente de la entrada (I_G) es en esencia de cero amperes para las configuraciones de polarización de dc.

El motivo de la etiqueta FET de metal-óxido-semiconductor es ahora mucho más obvia: *metal* por las conexiones del drenaje, fuente y compuerta a las superficies adecuadas en particular, la terminal de la compuerta y el control que ofrece el área de la superficie de contacto, el *óxido* por la capa aislante de dióxido de silicio y el *semiconductor* por la estructura básica sobre la cual las regiones de tipo *n* y *p* se difunden. La capa aislante entre la compuerta y el canal ha dado por resultado otro nombre para el dispositivo: *FET de compuerta aislada* o *IGFET* (por las siglas en inglés de, *Insulated Gate*), aunque este nombre es cada vez menos utilizado en la literatura actual.

Operación básica y características

En la figura 5.24 el voltaje compuerta-fuente se hace cero volts mediante la conexión directa de una terminal a la otra, y se aplica un voltaje V_{DS} a través de las terminales del drenaje y fuente. El resultado es una atracción, por el potencial positivo del drenaje, para los electrones *libres* del canal-*n*, y una corriente similar a aquella establecida a través del canal del JFET. De hecho, la corriente resultante con $V_{GS} = 0$ V se le sigue denominando I_{DSS} , como se muestra en la figura 5.25.

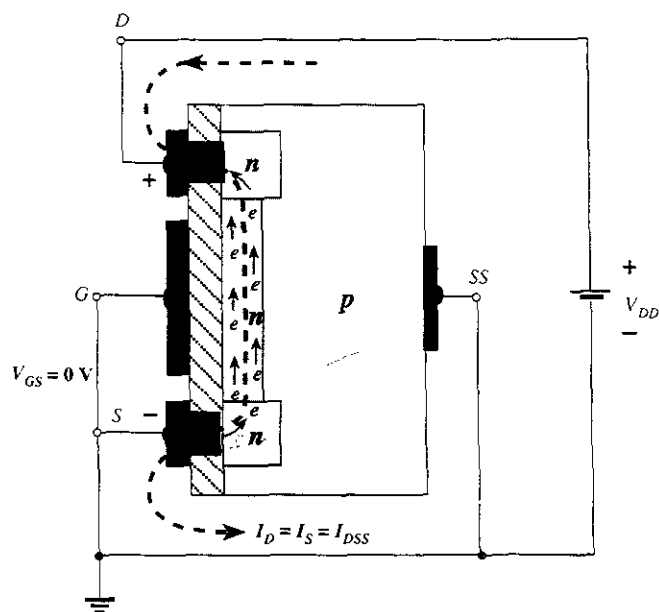


Figura 5.24 MOSFET de tipo decremental de canal-*n* con $V_{GS} = 0$ V y un voltaje aplicado V_{DD} .

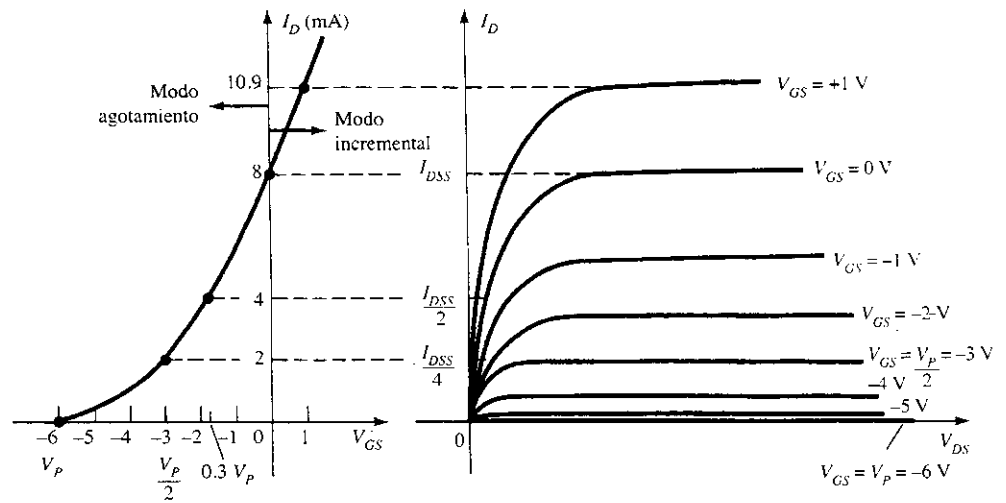


Figura 5.25 Características de drenaje y de transferencia para un MOSFET de tipo decremental de canal- n .

En la figura 5.26, V_{GS} tiene un voltaje negativo tal como -1 V. El potencial negativo en la entrada tenderá a presionar a los electrones hacia el sustrato de tipo p (cargas similares se repelen) y atrae huecos del sustrato de tipo p (cargas opuestas se atraen) como se muestra en la figura 5.26. Dependiendo de la magnitud de la polarización negativa que aplica V_{GS} , sucederá un nivel de recombinación entre los electrones y los huecos que reducirá el número de electrones libres disponibles para la conducción en el canal- n . Mientras más negativa sea la polarización, más alta será la tasa de recombinación. El nivel resultante de corriente de drenaje es, por tanto, reducida con la polarización negativa creciente de V_{GS} como se muestra en la figura 5.25 para $V_{GS} = -1$ V, -2 V, y así sucesivamente, hasta el nivel de estrechamiento de -6 V. Los niveles resultantes de corriente de drenaje y la gráfica de la curva de transferencia se conduce exactamente igual a la descrita para el JFET.

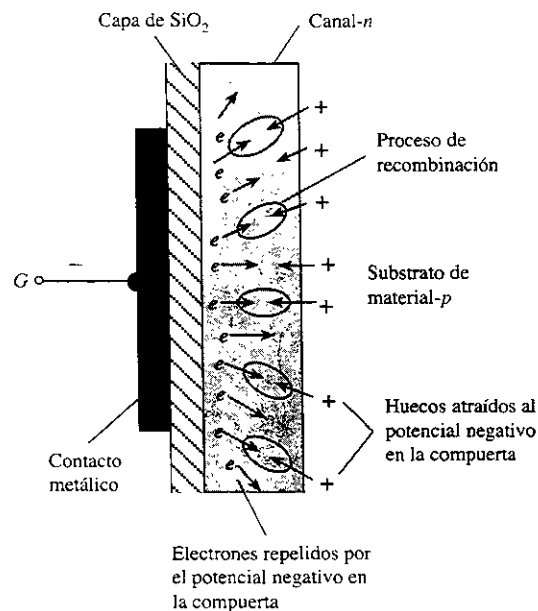


Figura 5.26 Reducción de portadores libres en el canal debido a un potencial negativo en la terminal de la compuerta.

Para los valores positivos de V_{GS} la entrada positiva atraerá electrones adicionales (portadores libres) desde el sustrato de tipo p debido a la corriente de fuga inversa, y creará nuevos portadores mediante la colisión resultante entre las partículas en aceleración. Mientras el voltaje compuerta-fuente sigue aumentando en la dirección positiva, la figura 5.25 indica que la corriente de drenaje se incrementará de manera acelerada debido a las razones listadas arriba.

El espaciamiento vertical entre las curvas de $V_{GS} = 0$ V y $V_{GS} = +1$ V de la figura 5.25 es una clara indicación de cuánto ha aumentado la corriente por el cambio en 1 volt en V_{GS} . Debido al rápido incremento, el usuario debe estar alerta del valor máximo de corriente de drenaje porque puede excederse con un voltaje positivo en la entrada. Esto es, para el dispositivo de la figura 5.25, la aplicación de un voltaje $V_{GS} = +4$ V podría dar por resultado una corriente de drenaje de 22.2 mA, la cual posiblemente podría exceder el valor máximo (corriente o potencia) para el dispositivo. Como se dijo antes, la aplicación de un voltaje positivo de la compuerta a la fuente ha “incrementado” el nivel de portadores libres en el canal comparado con aquel encontrado con $V_{GS} = 0$ V. Por esta razón la región de voltajes positivos de la entrada sobre el drenaje o las características de transferencia es a menudo conocida como la *región incremental*, con la región entre el nivel de corte y de saturación de I_{DSS} denominada como la *región de agotamiento*.

Es particularmente interesante y útil que la ecuación de Shockley siga aplicándose para las características del MOSFET de tipo decremental tanto en la región de agotamiento como en la incremental. Para ambas regiones simplemente es necesario que se incluya el signo adecuado de V_{GS} en la ecuación, y que el signo sea seguido con cuidado en las operaciones matemáticas.

Trace las características de transferencia para un MOSFET de tipo decremental de canal-*n* con $I_{DSS} = 10$ mA y $V_P = -4$ V.

EJEMPLO 5.3

Solución

$$\text{En } V_{GS} = 0 \text{ V, } I_D = I_{DSS} = 10 \text{ mA}$$

$$V_{GS} = V_P = -4 \text{ V, } I_D = 0 \text{ mA}$$

$$V_{GS} = \frac{V_P}{2} = \frac{-4 \text{ V}}{2} = -2 \text{ V, } I_D = \frac{I_{DSS}}{4} = \frac{10 \text{ mA}}{4} = 2.5 \text{ mA}$$

$$\text{y en } I_D = \frac{I_{DSS}}{2}, \quad V_{GS} = 0.3V_P = 0.3(-4 \text{ V}) = -1.2 \text{ V}$$

todas las cuales aparecen en la figura 5.27.

Antes de graficar la región positiva de V_{GS} , se debe tener en cuenta que I_D aumenta con mucha rapidez con los valores mayores de V_{GS} . En otras palabras, se tiene que ser conservador con la selección de los valores que deben sustituirse en la ecuación de Shockley. En este caso se intentará +1 V de la siguiente manera:

$$\begin{aligned} I_D &= I_{DSS} \left(1 - \frac{V_{GS}}{V_P} \right)^2 \\ &= 10 \text{ mA} \left(1 - \frac{+1 \text{ V}}{-4 \text{ V}} \right)^2 = 10 \text{ mA} (1 + 0.25)^2 = 10 \text{ mA} (1.5625) \\ &\cong 15.63 \text{ mA} \end{aligned}$$

la cual es lo suficientemente alta como para terminar la gráfica.

MOSFET de tipo decremental de canal-*p*

La construcción de un MOSFET de tipo decremental de canal-*p* es exactamente el inverso del que aparece en la figura 5.23. Esto es, ahora existe un sustrato de tipo *n* y un canal de tipo *p*, como lo muestra la figura 5.28a. Las terminales permanecen como se encuentran identificadas, pero todas las polaridades de los voltajes y las direcciones de las corrientes están invertidas, como lo ilustra la misma figura. Las características de drenaje podrían aparecer iguales que en la figura 5.25, pero

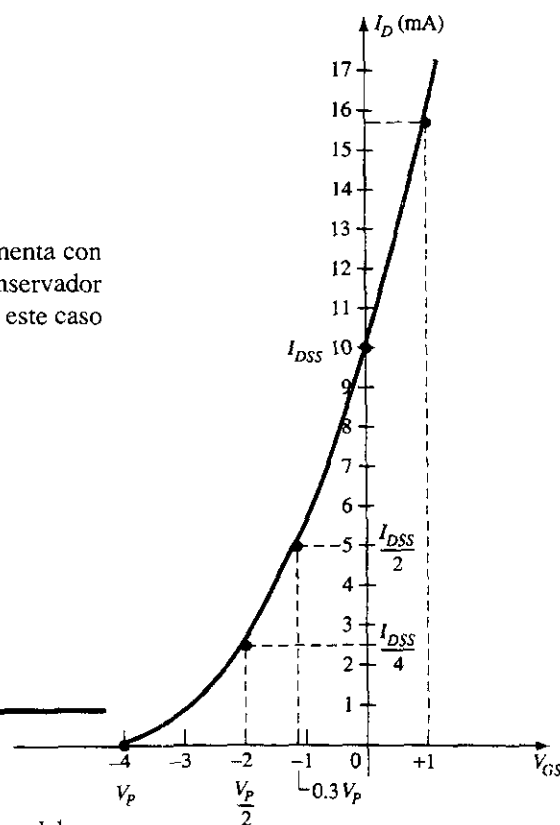


Figura 5.27 Características de transferencia para un MOSFET de tipo decremental de canal-*n* con $I_{DSS} = 10$ mA y $V_P = -4$ V.

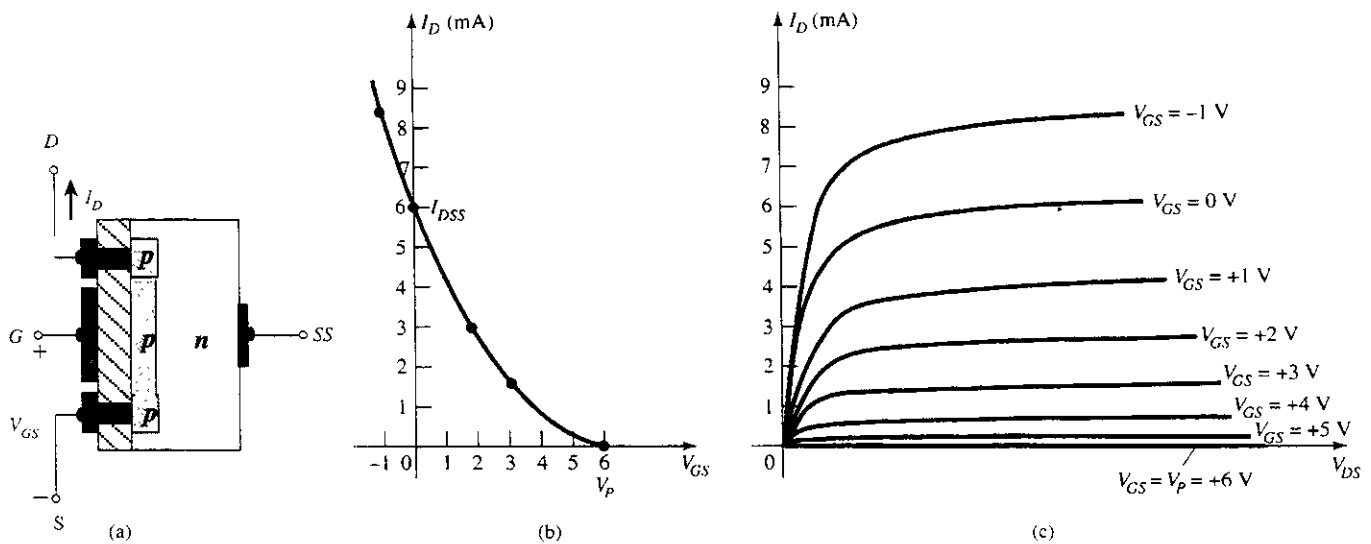


Figura 5.28 MOSFET de tipo decremental de canal- p con $I_{DSS} = 6 \text{ mA}$ y $V_P = +6 \text{ V}$.

con valores negativos de V_{DS} , I_D positiva como se indica (debido a que la dirección definida ahora está invertida) y V_{GS} con las polaridades opuestas como se muestra en la figura 5.28c. La inversión en V_{GS} traerá como resultado una imagen de espejo (con respecto al eje I_D) para las características de transferencia como lo muestra la figura 5.28b. En otras palabras, la corriente de drenaje aumenta desde el corte en $V_{GS} = V_P$ en la región positiva de V_{GS} a I_{DSS} , y después continúa su crecimiento para valores negativos mayores de V_{GS} . La ecuación de Shockley todavía se aplica, pero necesita sólo colocar el signo correcto tanto para V_{GS} como para V_P en la ecuación.

Símbolos, hojas de especificaciones y construcción del encapsulado

Los símbolos gráficos para un MOSFET de tipo decremental de canal- n y p se proporcionan en la figura 5.29. Obsérvese cómo los símbolos seleccionados intentan reflejar la construcción real del dispositivo. La falta de una conexión directa (debido al aislamiento de la entrada) entre la compuerta y el canal está representado por un espacio entre la compuerta y las otras terminales del símbolo. La línea vertical que representa el canal está conectada entre el drenaje y la fuente y está “soportada” por el sustrato. Para cada tipo de canal se ofrecen dos símbolos para reflejar el hecho de que en algunos casos el sustrato se encuentra disponible en forma externa; mientras que en otros no lo está. Para la mayoría de los análisis que siguen en el capítulo 6, el sustrato y la fuente estarán conectados y se utilizarán los símbolos inferiores.

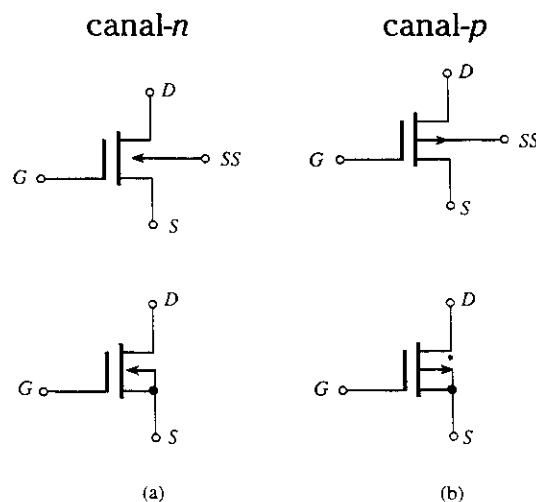
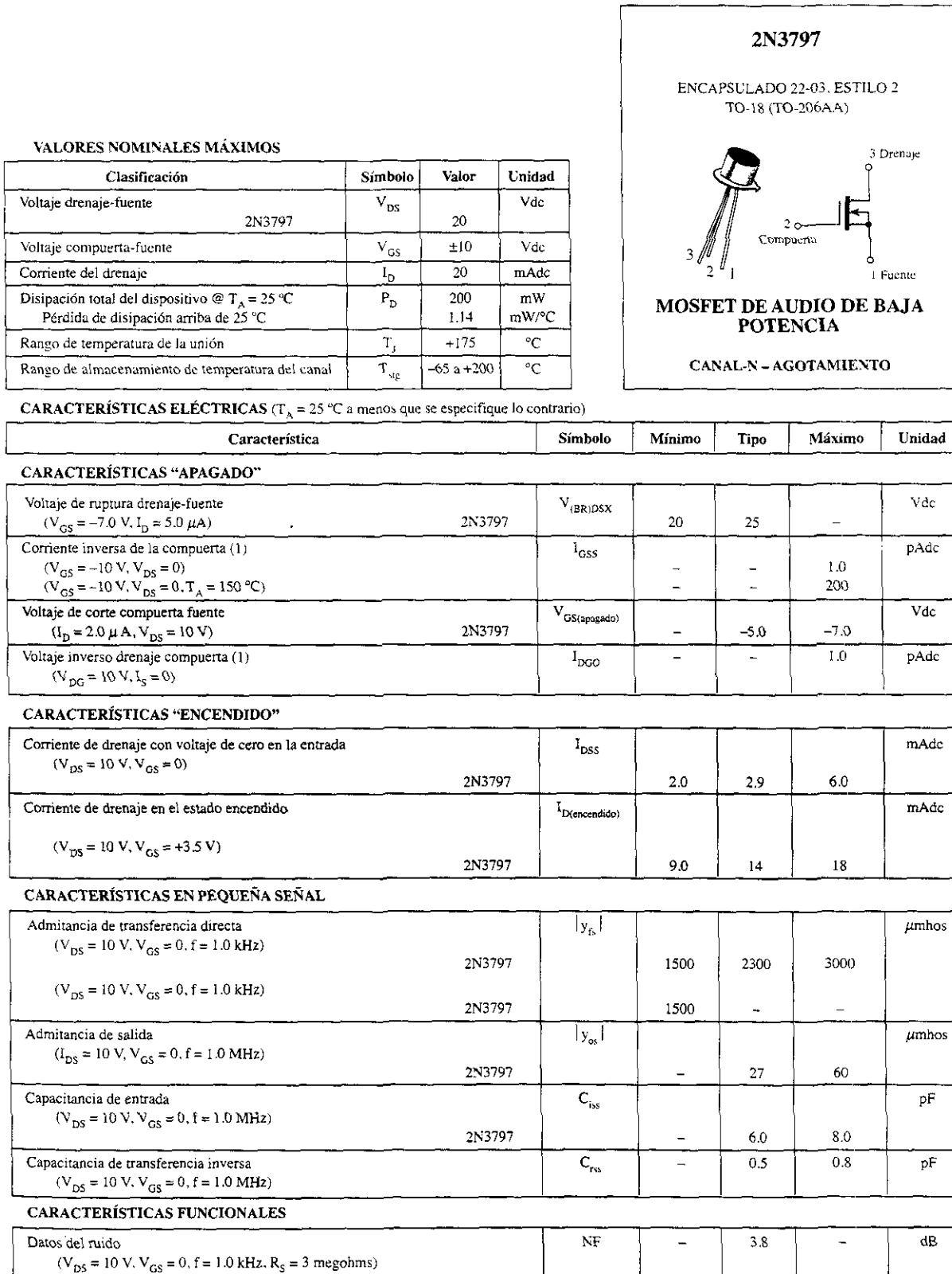


Figura 5.29 Símbolos gráficos para a) MOSFET de tipo decremental de canal- n , y b) MOSFET de tipo decremental de canal- p .

El dispositivo de la figura 5.30 tiene tres terminales identificadas en la misma figura. La hoja de especificaciones para un MOSFET de tipo decremental es similar a la hoja de un JFET. Los niveles de V_P e I_{DSS} se dan junto con una lista de los valores máximos y de las caracterís-



(1) Este valor en la corriente incluye tanto la corriente de fuga del FET como la corriente de fuga asociada con el contacto de prueba y sus conexiones cuando se mide bajo las mejores condiciones alcanzadas.

Figura 5.30 MOSFET de tipo decremental de canal-n 2N3797 de Motorola.

ticas normales de “encendido” y “apagado”. Además, ya que I_D se puede extender más allá del nivel de I_{DSS} , normalmente se proporciona otro punto que refleja un valor típico de I_D para algún voltaje positivo (para un dispositivo de canal- n). Para la unidad de la figura 5.30, I_D está especificado como $I_{D(\text{encendido})} = 9 \text{ mA dc}$ con $V_{DS} = 10 \text{ V}$ y $V_{GS} = 3.5 \text{ V}$.

5.8 MOSFET DE TIPO INCREMENTAL

Aunque existen muchas similitudes en la construcción y modo de operación entre los MOSFET de tipo decremental y de tipo incremental, las características del MOSFET de tipo incremental son bastante diferentes de cualquier otro que hasta ahora obtuvimos. La curva de transferencia no está definida por la ecuación de Shockley, y la corriente de drenaje ahora está en corte hasta que el voltaje compuerta-fuente alcance una magnitud específica. Entonces, el control de corriente en un dispositivo de canal- n ahora resulta afectado por un voltaje compuerta-fuente positivo en lugar del rango de voltajes negativos encontrados para los JFET de canal- n y los MOSFET de tipo decremental de canal- n .

Construcción básica

La construcción básica del MOSFET de tipo incremental de canal- n se ofrece en la figura 5.31. Una placa de material tipo p se forma a partir de una base de silicio y una vez más se le conoce como sustrato. De la misma forma que con el MOSFET de tipo decremental, el sustrato algunas veces se conecta a la terminal de la fuente, mientras que en otros casos hay disponible una cuarta terminal para el control externo de su nivel de potencial. Las terminales de la fuente y drenaje se conectan una vez más por medio de contactos metálicos a regiones dopadas n , pero se observa en la figura 5.31 la ausencia de un canal entre las dos regiones dopadas n . Esta es la diferencia primaria entre la construcción de los MOSFET de tipo decremental y los de tipo incremental: la ausencia de un canal como un componente construido del dispositivo. La capa de SiO_2 aún está presente para aislar la plataforma metálica de la compuerta de la región entre el drenaje y la fuente, pero ahora está simplemente separada de una sección de material de tipo p . Por tanto, la construcción de un MOSFET de tipo incremental es bastante similar a la de un MOSFET de tipo decremental, excepto por la ausencia de un canal entre las terminales del drenaje y la fuente.

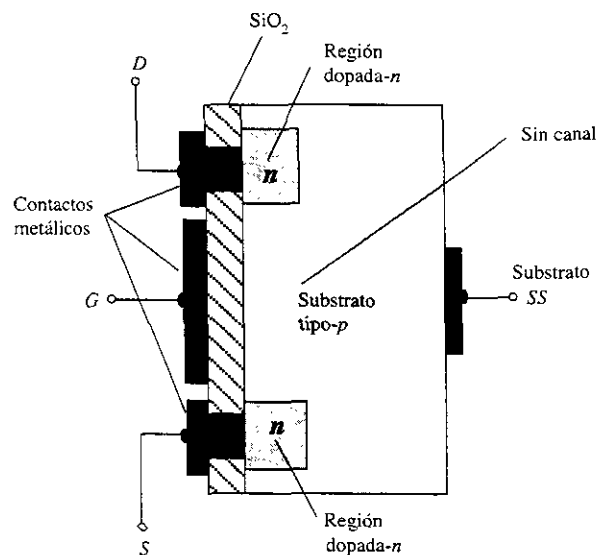


Figura 5.31 MOSFET de tipo incremental de canal- n .

Operación básica y características

Si V_{GS} se hace 0 V y se aplica un voltaje entre el drenaje y la fuente del dispositivo de la figura 5.31, la ausencia de un canal- n (con su generoso número de portadores libres) dará por resultado una corriente de cero amperes efectivos, una diferencia grande con el MOSFET y JFET de tipo decremental donde $I_D = I_{DSS}$. No es suficiente tener acumulados una gran cantidad de portadores (electrones) en el drenaje y la fuente (debido a las regiones dopadas n) si no existe una trayectoria entre las dos. Si V_{DS} es cierto voltaje positivo, V_{GS} es 0 V, y la terminal SS se conecta directamente a la fuente, existen de hecho dos uniones p - n con polarización inversa entre las regiones dopadas n y el substrato p para oponer cualquier flujo significativo entre el drenaje y la fuente.

En la figura 5.32 tanto V_{DS} como V_{GS} están en algún voltaje positivo mayor de cero volts, estableciendo al drenaje y la compuerta a un potencial positivo respecto a la fuente. El potencial positivo en la compuerta presionará los huecos (porque las cargas iguales se repelen) del substrato p a lo largo del filo de la capa de SiO_2 con objeto de dejar esa área y entrar a regiones más profundas del substrato p , como se muestra en la figura. El resultado es una región de agotamiento cerca de la capa aislante de SiO_2 sin huecos. Sin embargo, los electrones en el substrato p (los portadores minoritarios del material) serán atraídos a la entrada positiva y se acumularán en la región cercana a la superficie de la capa de SiO_2 . La capa de SiO_2 y sus cualidades aislantes evita que los portadores negativos sean absorbidos en la terminal de la compuerta. Mientras V_{GS} aumente en magnitud, la concentración de electrones cerca de la superficie de SiO_2 se incrementará hasta que una región inducida de tipo n pueda eventualmente soportar un flujo medible entre el drenaje y la fuente. El nivel de V_{GS} que resulta en un incremento significativo de la corriente de drenaje se le llama *voltaje de umbral*, y se le da el símbolo de V_T (por la sigla en inglés de, *Threshold*). En las hojas de especificaciones se le conoce como $V_{GS(Th)}$, aunque V_T es más corto y será utilizado en el siguiente análisis. Debido a que el canal no existe con $V_{GS} = 0$ V y se forma al "incrementar" la conductividad mediante la aplicación de un voltaje compuerta-fuente, este tipo de MOSFET se le llama *MOSFET de tipo incremental*. Tanto los MOSFET de tipo decremental como incremental tienen regiones de tipo incremental, pero el nombre se aplicó al último debido a que ese es su único modo de operación.

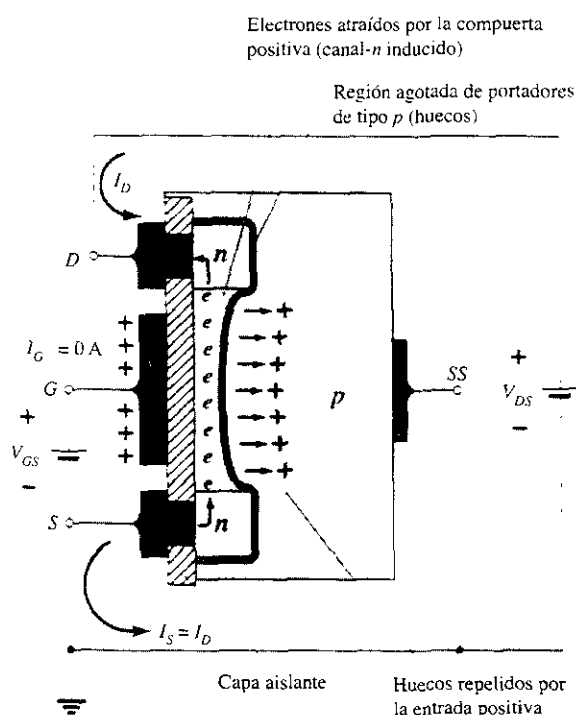


Figura 5.32 Formación del canal en el MOSFET de tipo incremental de canal- n .

Cuando V_{GS} se incrementa más allá del nivel de umbral, la densidad de los portadores libre en el canal inducido se incrementan, dando por resultado un nivel mayor de corriente de drenaje. Sin embargo, si se mantiene V_{GS} constante y sólo se aumenta el nivel de V_{DS} , la corriente de drenaje eventualmente alcanzará un nivel de saturación así como ocurrió al JFET y al MOSFET de tipo decremental. La saturación de I_D se debe a un proceso de estrechamiento descrito por un canal más angosto al final del drenaje del canal inducido, como se muestra en la figura 5.33. Al aplicar la ley de voltaje de Kirchhoff a los voltajes de las terminales del MOSFET de la figura 5.33, se encuentra que

$$V_{DG} = V_{DS} - V_{GS} \quad (5.11)$$

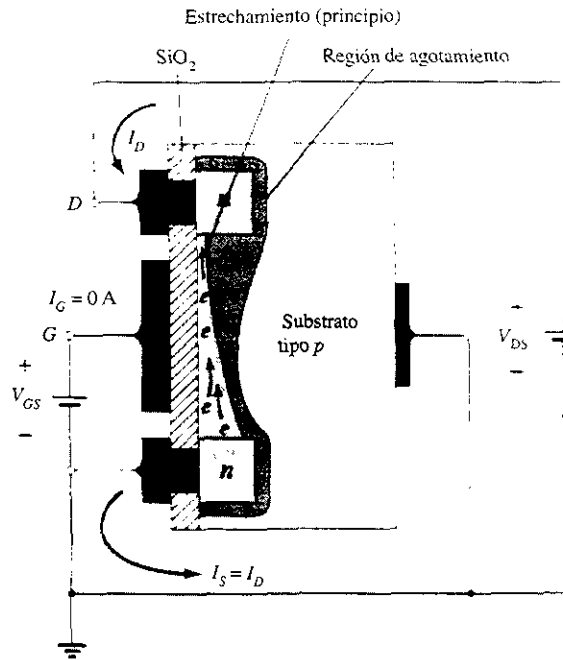


Figura 5.33 Cambio en la región de agotamiento y el canal con aumento en el nivel de V_{DS} para un valor fijo de V_{GS} .

Si V_{GS} se mantiene fijo en un valor tal como 8 V y V_{DS} se aumenta de 2 V a 5 V, el voltaje V_{DG} [debido a la ecuación (5.11)] caerá de -6 V a -3 V y la entrada será cada vez menos positiva respecto al drenaje. Esta reducción en el voltaje de la compuerta al drenaje reducirá a su vez la fuerza de atracción para los portadores libres (electrones) en esta región del canal inducido, causando una reducción en el ancho efectivo del canal. Eventualmente, el canal se reducirá al punto del estrechamiento y se establecerá una condición de saturación como se describió antes para el JFET y el MOSFET de tipo decremental. En otras palabras, cualquier crecimiento posterior en V_{DS} y en el valor fijo de V_{GS} no afectará el nivel de saturación de I_D hasta que se encuentren las condiciones de ruptura.

Las características de drenaje de la figura 5.34 revelan que para el dispositivo de la figura 5.33 con $V_{GS} = 8$ V, la saturación ocurrió en un nivel de $V_{DS} = 6$ V. De hecho, el nivel de saturación para V_{DS} está relacionado con el nivel de V_{GS} aplicado por

$$V_{DS_{sat}} = V_{GS} - V_T \quad (5.12)$$

Por tanto, es obvio que para un valor fijo de V_T , mientras mayor sea el nivel de V_{GS} , mayor será el nivel de saturación para V_{DS} , como se muestra en la figura 5.33 por la localización de los niveles de saturación.

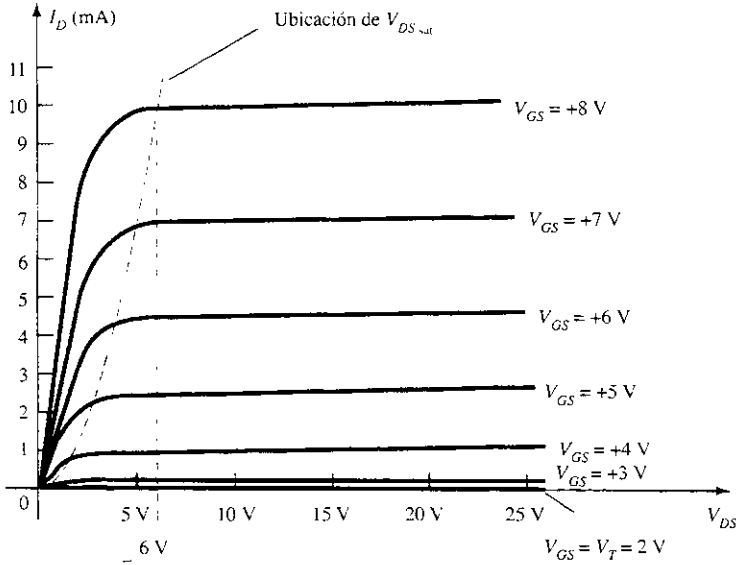


Figura 5.34 Características del drenaje de un MOSFET de tipo incremental de canal- n con $V_T = 2$ V y $k = 0.278 \times 10^{-3}$ A/V².

Como se indicó para las características de la figura 5.33, el nivel de V_T es de 2 V, por el hecho de que la corriente de drenaje ha caído a 0 mA. Por tanto:

Para los valores de V_{GS} menores que el nivel de umbral, la corriente de drenaje de un MOSFET de tipo incremental es de 0 mA.

La figura 5.34 indica que cuando el nivel de V_{GS} se incrementa de V_T a 8 V, el nivel de saturación resultante para I_D también aumenta desde un nivel de 0 mA a 10 mA. Además, es bastante notorio que el espaciamiento entre los niveles de V_{GS} aumentaron cuando subió la magnitud de V_{GS} , dando por resultado aumentos siempre crecientes en la corriente del drenaje.

Para los niveles de $V_{GS} > V_T$ la corriente de drenaje está relacionada al voltaje compuerta-fuente aplicado mediante la siguiente relación no lineal:

$$I_D = k(V_{GS} - V_T)^2 \quad (5.13)$$

Una vez más, es el término cuadrático que resulta de la relación no lineal (curva) entre I_D y V_{GS} . El término k es una constante que, a su vez, es una función de la fabricación del dispositivo. El valor de k se puede calcular a partir de la siguiente ecuación [derivada de la ecuación (5.13)] donde $I_{D(\text{encendido})}$ y $V_{GS(\text{encendido})}$ son los valores de cada uno en un punto en particular sobre las características del dispositivo.

$$k = \frac{I_{D(\text{encendido})}}{(V_{GS(\text{encendido})} - V_T)^2} \quad (5.14)$$

Sustituyendo $I_{D(\text{encendido})} = 10$ mA donde $V_{GS(\text{encendido})} = 8$ V a partir de las características de la figura 5.34 da

$$\begin{aligned} k &= \frac{10 \text{ mA}}{(8 \text{ V} - 2 \text{ V})^2} = \frac{10 \text{ mA}}{(6 \text{ V})^2} = \frac{10 \text{ mA}}{36 \text{ V}^2} \\ &= 0.278 \times 10^{-3} \text{ A/V}^2 \end{aligned}$$

y una ecuación general para I_D para las características de la figura 5.34 da por resultado:

$$I_D = 0.278 \times 10^{-3}(V_{GS} - 2 \text{ V})^2$$

Sustituyendo $V_{GS} = 4 \text{ V}$, se encuentra que

$$\begin{aligned} I_D &= 0.278 \times 10^{-3}(4 \text{ V} - 2 \text{ V})^2 = 0.278 \times 10^{-3}(2)^2 \\ &= 0.278 \times 10^{-3}(4) = 1.11 \text{ mA} \end{aligned}$$

como se verifica en la figura 5.34. En $V_{GS} = V_T$ el término al cuadrado es 0 e $I_D = 0 \text{ mA}$.

Para el análisis en dc del MOSFET de tipo incremental que aparece en el capítulo 6, las características de transferencia otra vez serán las que se utilizarán en la solución gráfica. En la figura 5.35 el drenaje y las características de drenaje y de transferencia se han colocado lado a lado para describir el proceso de transferencia tanto de una como de la otra. En esencia, procede igual que en el ejemplo que antes presentamos para el JFET y el MOFET de tipo decremental. Sin embargo, en este caso se debe recordar que la corriente de drenaje es de 0 mA para $V_{GS} \leq V_T$. En este momento una corriente que se puede medir será el resultado para I_D y crecerá como se definió en la ecuación (5.13). Obsérvese que al definir los puntos de la característica de transferencia a partir de las características de drenaje, sólo se utilizan los niveles de saturación, limitando de tal modo la región de operación a niveles de V_{DS} mayores que los niveles de saturación como se definió en la ecuación (5.12).

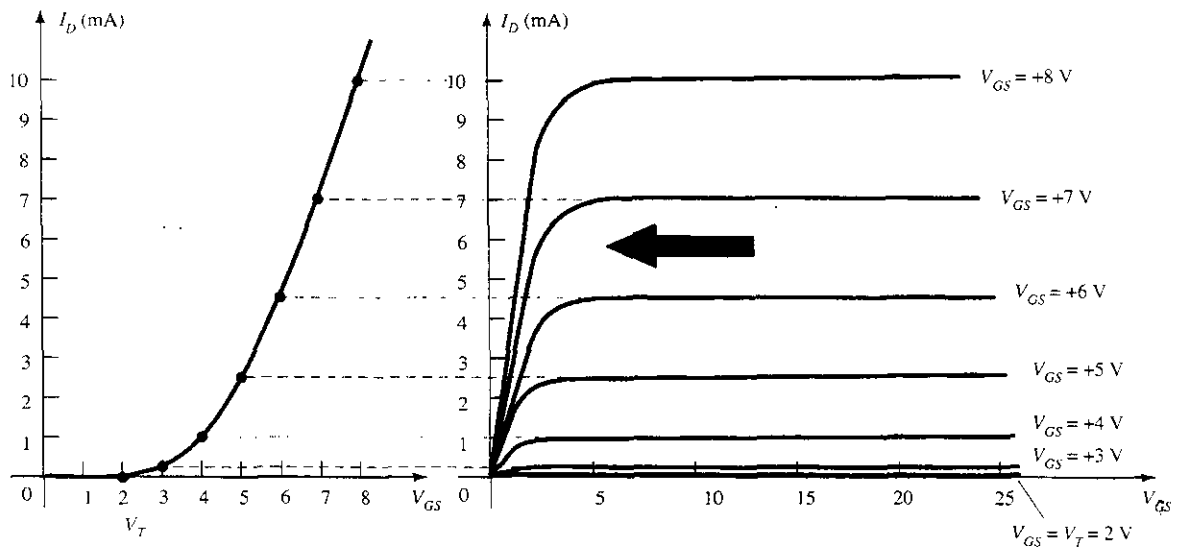


Figura 5.35 Trazo de las características de transferencia de un MOSFET de tipo incremental de canal- n a partir de las características de drenaje.

La curva de transferencia de la figura 5.35 es bastante diferente de aquellas otras obtenidas. Ahora, el dispositivo de canal- n (inducido) está totalmente en la región de V_{GS} positiva y no aumenta hasta que $V_{GS} = V_T$. Surge entonces la pregunta sobre cómo graficar las características de transferencia dados los niveles de k y de V_T , así como se incluye abajo para un MOSFET en particular:

$$I_D = 0.5 \times 10^{-3}(V_{GS} - 4 \text{ V})^2$$

Primero se dibuja una línea horizontal en $I_D = 0 \text{ mA}$ desde $V_{GS} = 0 \text{ mA}$ a $V_{GS} = 4 \text{ V}$ como se muestra en la figura 5.36a. Luego, se elige un nivel de V_{GS} mayor que V_T , tal como 5 V, y se sustituye en la ecuación (5.13) para determinar el nivel resultante de I_D de la siguiente manera:

$$\begin{aligned} I_D &= 0.5 \times 10^{-3}(V_{GS} - 4 \text{ V})^2 \\ &= 0.5 \times 10^{-3}(5 \text{ V} - 4 \text{ V})^2 = 0.5 \times 10^{-3}(1)^2 \\ &= 0.5 \text{ mA} \end{aligned}$$

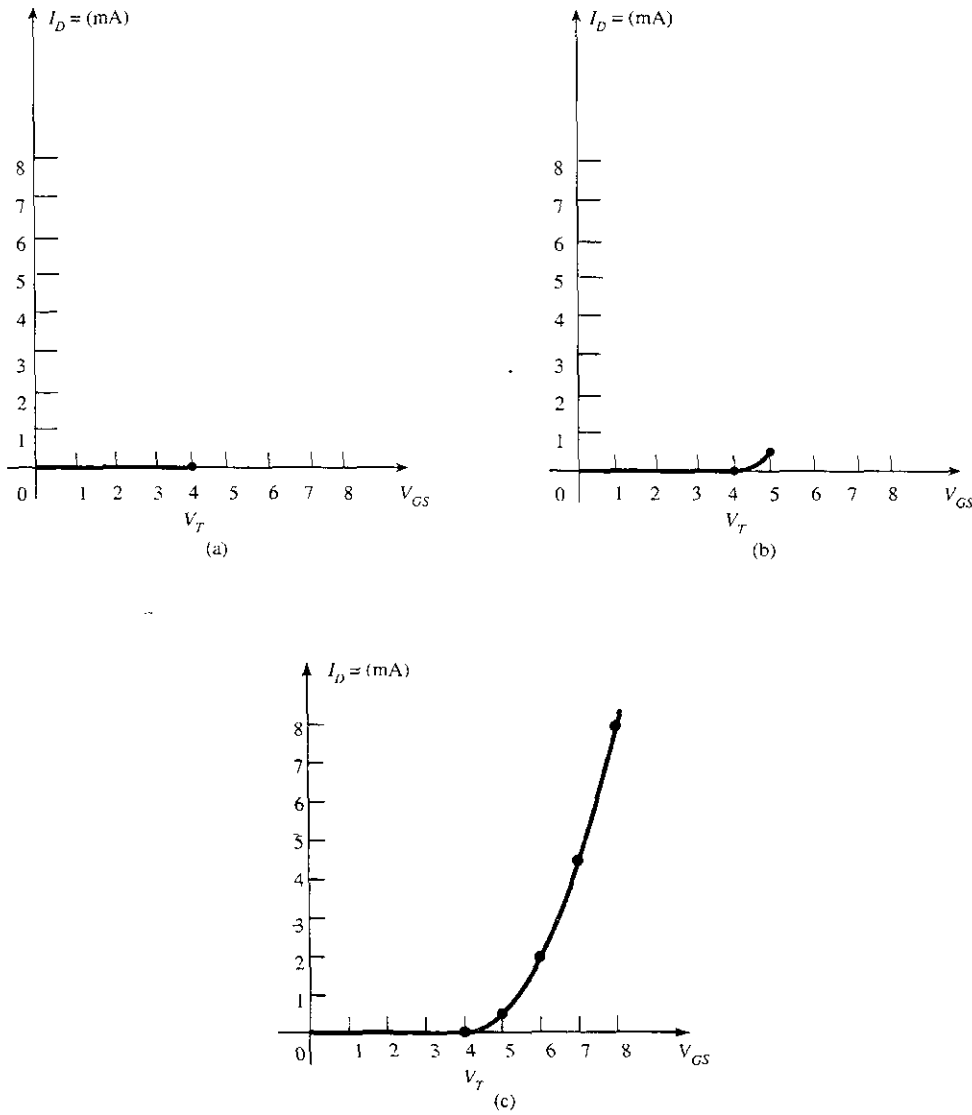


Figura 5.36 Gráfica de las características de transferencia de un MOSFET de tipo incremental de canal- n con $k = 0.5 \times 10^{-3} \text{ A/V}^2$ y $V_T = 4 \text{ V}$.

y se obtiene un punto en el plano, como se muestra en la figura 5.36b. Por último se eligen niveles adicionales de V_{GS} y se obtienen los niveles resultantes de I_D . En particular, para $V_{GS} = 6 \text{ V}$, 7 V y 8 V el nivel de I_D es 2 mA , 4.5 mA y 8 mA respectivamente, como se muestra en el diagrama resultante de la figura 5.36 c.

MOSFET de tipo incremental de canal- p

La construcción de un MOSFET de tipo incremental de canal- p es exacto al inverso que aparece en la figura 5.31, como se muestra en la figura 5.37a. Esto es, ahora existe un sustrato de tipo n y regiones dopadas- p bajo las conexiones del drenaje y de la fuente. Las terminales permanecen tal como se indicaron, pero están invertidas todas las polarizaciones del voltaje y las direcciones de corriente. Las características del drenaje aparecerán igual que en la figura 5.37c, con niveles de corriente crecientes que resultan del incremento negativo de los valores de V_{GS} . Las características de transferencia serán una imagen de espejo (respecto al eje I_D) de la curva de transferencia de la figura 5.35, pero con I_D creciendo con los valores cada vez más negativos de V_{GS} después de V_T , como se muestra en la figura 5.37b. Pueden aplicarse igual que las ecuaciones (5.11) a la (5.14) a los dispositivos de canal- p .

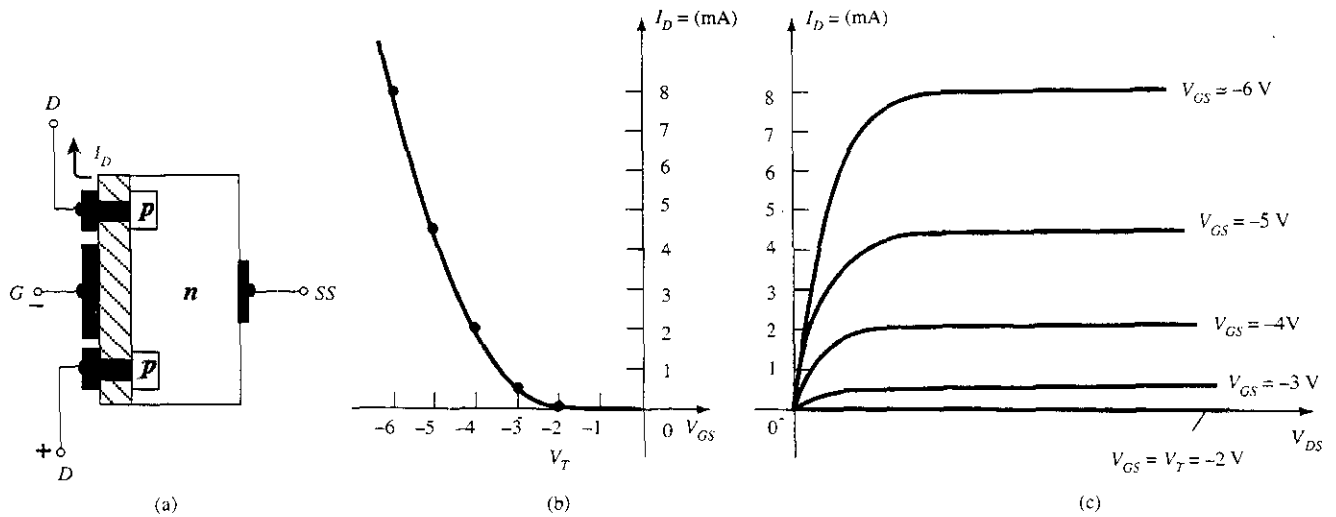


Figura 5.37 MOSFET de tipo incremental de canal- p con $V_T = 2$ V y $k = 0.5 \times 10^{-3}$ A/V².

Símbolos, hojas de especificaciones y construcción del encapsulado

En la figura 5.38 se proporcionan los símbolos gráficos para los MOSFET de tipo incremental para el canal- n y p . Una vez más podemos ver la manera en que los símbolos intentan reflejar la construcción real del dispositivo. Se eligió la línea punteada entre el drenaje y la fuente para reflejar el hecho de que no existe un canal entre los dos bajo condiciones de no polarización. De hecho, esta es la única diferencia entre los símbolos para los MOSFET de tipo decremental y de tipo incremental.

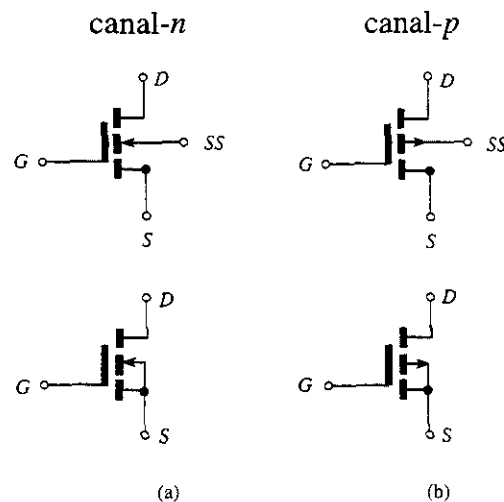


Figura 5.38 Símbolos para a) MOSFET de tipo incremental de canal- n , y b) MOSFET de tipo incremental de canal- p .

En la figura 5.39 se proporciona la hoja de especificaciones para un MOSFET de tipo incremental de canal- n de Motorola. Se proporcionan la construcción del encapsulado y la identificación de las terminales junto a los valores nominales máximos, los cuales incluyen ahora una corriente de drenaje máxima de 30 mA dc. La hoja de especificaciones ofrece el nivel de I_{DSS} bajo condiciones de "apagado", el cual es ahora de sólo 10 nA dc (cuando $V_{DS} = 10$ V y $V_{GS} = 0$ V) comparado con el rango de miliamperes para el JFET y el MOSFET de tipo

VALORES NOMINALES MÁXIMOS

Clasificación	Símbolo	Valor	Unidad
Voltaje drenaje-fuente	V_{DS}	25	Vdc
Voltaje drenaje-compuerta	V_{DG}	30	Vdc
Voltaje compuerta-fuente*	V_{GS}	30	Vdc
Corriente del drenaje	I_D	30	mAdc
Disipación total del dispositivo @ $T_A = 25^\circ\text{C}$ Pérdida de disipación arriba de 25°C	P_D	300 1.7	mW mW/°C
Rango de temperatura de la unión	T_j	175	°C
Rango de temperatura de almacenamiento	T_{alg}	-65 a +175	°C

*Los potenciales transitorios de ± 75 volts no causarán una falla en el óxido de la compuerta.

CARACTERÍSTICAS ELÉCTRICAS ($T_A = 25^\circ\text{C}$ a menos que se especifique lo contrario)

Característica	Símbolo	Mínimo	Máximo	Unidad
----------------	---------	--------	--------	--------

CARACTERÍSTICAS "APAGADO"

Voltaje de ruptura drenaje-fuente ($I_D = 10\ \mu\text{A}$, $V_{GS} = 0$)	$V_{(BR)DSX}$	25	—	Vdc
Corriente de drenaje con voltaje de cero en la compuerta ($V_{DS} = 10\ \text{V}$, $V_{GS} = 0$) $T_A = 25^\circ\text{C}$ $T_A = 150^\circ\text{C}$	I_{DSS}	— —	10 10	nAdc μAdc
Corriente inversa de la compuerta ($V_{GS} = \pm 15\ \text{Vdc}$, $V_{DS} = 0$)	I_{GSS}	—	± 10	pAdc

CARACTERÍSTICAS "ENCENDIDO"

Voltaje de umbral de la compuerta ($V_{DS} = 10\ \text{V}$, $I_D = 10\ \mu\text{A}$)	$V_{GS(Th)}$	1.0	5	Vdc
Voltaje en encendido drenaje-compuerta ($I_D = 2.0\ \text{mA}$, $V_{GS} = 10\ \text{V}$)	$V_{DS(\text{encendido})}$	—	1.0	V
Corriente de drenaje en encendido ($V_{GS} = 10\ \text{V}$, $V_{DS} = 10\ \text{V}$)	$I_{D(\text{encendido})}$	3.0	—	mAdc

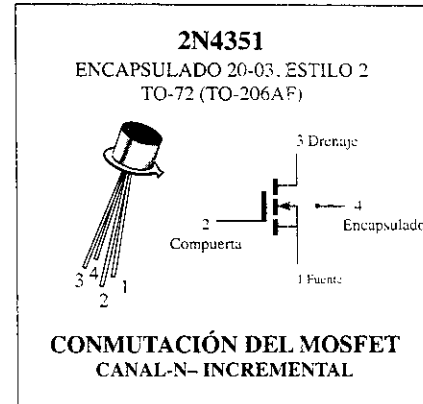
CARACTERÍSTICAS EN PEQUEÑA SEÑAL

Admitancia de transferencia directa ($V_{DS} = 10\ \text{V}$, $I_D = 2.0\ \text{mA}$, $f = 1.0\ \text{kHz}$)	$ y_{fs} $	1000	—	μmho
Capacitancia de entrada ($V_{DS} = 10\ \text{V}$, $V_{GS} = 0$, $f = 140\ \text{kHz}$)	C_{iss}	—	5.0	pF
Capacitancia de transferencia inversa ($V_{DS} = 0$, $V_{GS} = 0$, $f = 140\ \text{kHz}$)	C_{rss}	—	1.3	pF
Capacitancia drenaje-substrato ($V_{D(SUB)} = 10\ \text{V}$, $f = 140\ \text{kHz}$)	$C_{d(\text{sub})}$	—	5.0	pF
Resistencia drenaje-fuente ($V_{GS} = 10\ \text{V}$, $I_D = 0$, $f = 1.0\ \text{kHz}$)	$r_{ds(\text{encendido})}$	—	300	ohms

CARACTERÍSTICAS DE CONMUTACIÓN

Retardo de encendido (figura 5)	$I_D = 2.0\ \text{mAdc}$, $V_{DS} = 10\ \text{Vdc}$, ($V_{GS} = 10\ \text{Vdc}$) (Ver figura 9; veces que se determinó el circuito)	t_{d1}	—	45	ns
Tiempo de subida (figura 6)		t_r	—	65	ns
Retardo de apagado (figura 7)		t_{d2}	—	60	ns
Tiempo de bajada (figura 8)		t_f	—	100	ns

Figura 5.39 MOSFET de tipo incremental de canal-n 2N4351 de Motorola.



decremental. El voltaje de umbral está especificado como $V_{GS(Th)}$ y tiene un rango de 1 a 5 V dc, dependiendo de la unidad que se utilice. En lugar de proporcionar un rango de k en la ecuación (5.13), se especifica un nivel normal de $I_{D(\text{encendido})}$ (3 mA en este caso) en un nivel de $V_{GS(\text{encendido})}$ en particular (10 V para el nivel especificado de I_D). En otras palabras, cuando $V_{GS} = 10\ \text{V}$, $I_D = 3\ \text{mA}$. Los niveles que se dieron de $V_{GS(Th)}$, $I_{D(\text{encendido})}$, y $V_{GS(\text{encendido})}$ permiten determinar k a partir de la ecuación (5.14) y escribir la ecuación general para las características de transferencia. En la sección 5.9 se revisan los requerimientos de manejo de los MOSFET.

EJEMPLO 5.4

Determine a partir de los datos proporcionados en la hoja de especificaciones de la figura 5.39 un voltaje promedio de umbral de $V_{GS(Th)} = 3 \text{ V}$:

- El valor de k que resulte para el MOSFET.
- Las características de transferencia.

Solución

$$\begin{aligned} \text{a) La ecuación (5.14): } k &= \frac{I_{D(\text{encendido})}}{(V_{GS(\text{encendido})} - V_{GS(Th)})^2} \\ &= \frac{3 \text{ mA}}{(10 \text{ V} - 3 \text{ V})^2} = \frac{3 \text{ mA}}{(7 \text{ V})^2} = \frac{3 \times 10^{-3}}{49} \text{ A/V}^2 \\ &= 0.061 \times 10^{-3} \text{ A/V}^2 \end{aligned}$$

$$\begin{aligned} \text{b) La ecuación (5.13): } I_D &= k(V_{GS} - V_T)^2 \\ &= 0.061 \times 10^{-3}(V_{GS} - 3 \text{ V})^2 \end{aligned}$$

Para $V_{GS} = 5 \text{ V}$,

$$\begin{aligned} I_D &= 0.061 \times 10^{-3}(5 \text{ V} - 3 \text{ V})^2 = 0.061 \times 10^{-3}(2)^2 \\ &= 0.061 \times 10^{-3}(4) = 0.244 \text{ mA} \end{aligned}$$

Para $V_{GS} = 8 \text{ V}$, 10 V , 12 V y 14 V , I_D será de 1.525 mA, 3 mA (como se definió), 4.94 mA y 7.38 mA, respectivamente. En la figura 5.40 están trazadas las características de transferencia.

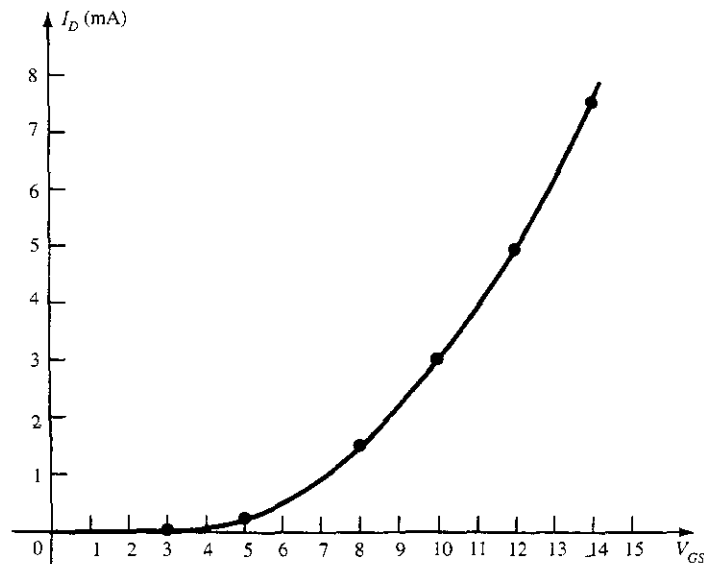


Figura 5.40 Solución al ejemplo 5.4.

5.9 MANEJO DEL MOSFET

La delgada capa de SiO_2 que se encuentra situada entre la compuerta y el canal de los MOSFET tiene el efecto positivo de ofrecer una característica de alta impedancia de entrada para el dispositivo, pero por esta capa extremadamente delgada se deben tener precauciones para su manejo, que no eran necesarias en los transistores BJT o JFET. A menudo existe suficiente acumulación de carga estática (la cual se capta de los alrededores) que establece una diferencia de potencial a través de la delgada capa, de tal forma que puede romper la capa y establecer la

conducción a través de ella. Por tanto, es muy importante que se deje el papel de embarque (o anillo) de corto circuito (o conducción) porque interconecta las terminales hasta que el dispositivo se va a insertar en el sistema. El anillo para corto circuito evita la posibilidad de aplicar un potencial a través de dos terminales cualquiera del dispositivo. Con el anillo la diferencia de potencial se mantiene en 0 V entre dos terminales cualquiera. Por lo menos, siempre se debe hacer tierra para permitir la descarga de la estática acumulada antes de manejar el dispositivo, y siempre levantar el transistor por el encapsulado.

A menudo existen ciertos transitorios (cambios bruscos en el voltaje o la corriente) en una red cuando los elementos son retirados o insertados cuando se encuentra encendido. Los niveles de transitorios con frecuencia pueden ser mayores de los que puede soportar el dispositivo; por tanto, siempre se debe mantener apagado el sistema cuando se haga cualquier cambio en la red.

Normalmente se proporciona el voltaje compuerta-fuente máximo en la lista de valores nominales máximos del dispositivo. Un método para asegurar que no se exceda este voltaje (debido quizá a efectos transitorios) para cualquier polarización es mediante la introducción de dos diodos Zener, como se muestra en la figura 5.41. Los diodos Zener están situados uno junto al otro para asegurar protección para cualquier polarización. Si ambos diodos Zener son de 30 V y aparece un transitorio positivo de 40 V, el Zener inferior se “disparará” a 30 V y el superior se encenderá con una caída de cero volts (de forma ideal, para la región de “encendido” positiva de un diodo semiconductor) a través del otro diodo. El resultado es un voltaje máximo de 30 V de la compuerta a la fuente. Una desventaja que se presenta con la protección Zener consiste en que la resistencia de “apagado” de un diodo Zener es menor que la impedancia de entrada que se estableció por medio de la capa de SiO_2 . El resultado es una reducción de la resistencia de entrada, pero aun así es lo suficientemente alta para la mayoría de las aplicaciones. La mayor parte de los dispositivos discretos tienen en la actualidad la protección Zener de tal forma que los cuidados anteriores no resultan tan problemáticos. Sin embargo, todavía es mejor manejar con cautela los dispositivos MOSFET discretos.

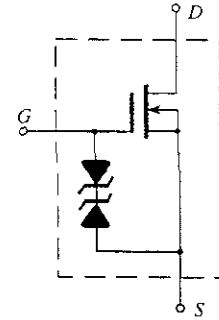


Figura 5.41 MOSFET protegido por un Zener.

5.10 VMOS

Una de las desventajas del MOSFET típico consiste en los reducidos niveles de manejo de potencia (por lo general, menos de 1 W) comparado con los transistores BJT. Se puede superar esta carencia de un dispositivo con tantas características positivas mediante un cambio en la forma de construirlo de una naturaleza planar como la que se muestra en la figura 5.23, a una con una estructura vertical como la que se señala en la figura 5.42. Todos los elementos del MOSFET planar están presentes en el FET vertical de metal-óxido-silicio (VMOS) (por las iniciales en inglés de *Vertical Metal-Oxide-Silicon*), la conexión de la superficie metálica a las terminales del dispositivo, la capa de SiO_2 entre la compuerta y la región de tipo p que se encuentra entre el drenaje y la fuente con el objeto de crear el canal- n inducido (operación en

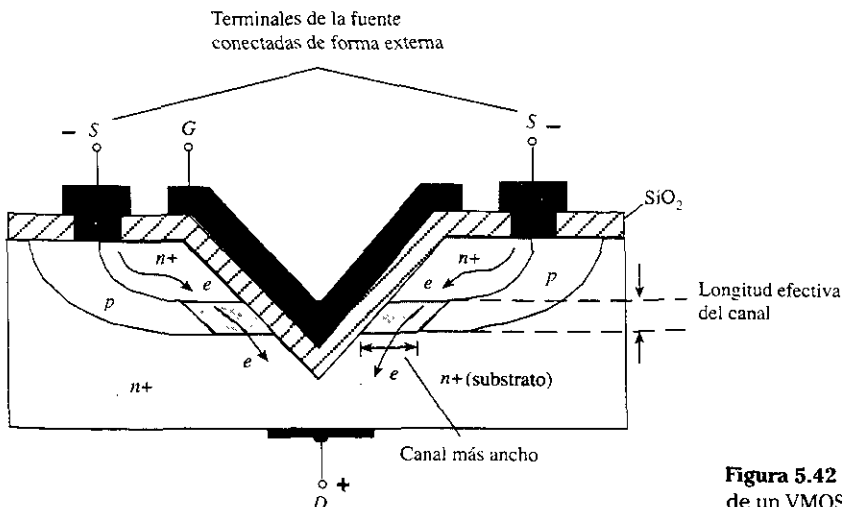


Figura 5.42 Construcción de un VMOS.

modo incremental). El término *vertical* se debe básicamente al hecho de que el canal se encuentra ahora formado en la dirección vertical, en vez de la dirección horizontal para el dispositivo planar. Sin embargo, el canal de la figura 5.42 también tiene la apariencia de un corte en V en la base del semiconductor, que se destaca como característica para la memorización mental del nombre del dispositivo. La construcción de la figura 5.42 es muy simple en naturaleza al eliminar algunos de los niveles de transición de dopado, pero a su vez permite una descripción de las facetas más importantes de su operación.

La aplicación de un voltaje positivo sobre el drenaje y de un voltaje negativo sobre la fuente con la compuerta en 0 V o en algún nivel positivo de “encendido” típico, como el que se muestra en la figura 5.42, dará por resultado el canal-*n* inducido en la región angosta de tipo *p* del dispositivo. Por tanto, se define la longitud del canal mediante la altura vertical de la región *p*, que puede ser mucho menor que el de un canal de construcción plano. Sobre un plano horizontal, la longitud del canal está limitada de 1 a 2 micrómetros (μm) ($1 \mu\text{m} = 10^{-6} \text{ m}$). Se pueden controlar las capas de difusión (de la misma forma que la región *p* de la figura 5.42) en pequeñas fracciones de un micrómetro. Dado que las longitudes decrecientes de canal dan como resultado niveles reducidos de resistencia, el nivel de disipación de potencia del dispositivo (potencia disipada en forma de calor) se reducirá en los niveles de operación de corriente. Además, el área de contacto entre la región *n*⁺ se incrementa mucho debido a la construcción vertical, lo que contribuye a una reducción mayor en el nivel de resistencia y a una área mayor para corriente entre las capas dopadas. También existen dos trayectorias de conducción entre el drenaje y la fuente para contribuir a un mayor valor de corriente, como lo muestra la figura 5.42. El resultado neto es un dispositivo con corrientes de drenaje que pueden alcanzar niveles de amperes con niveles de potencia que exceden los 10 W.

Por lo general:

Comparados con los MOSFET planares disponibles en el mercado, los FET VMOS tienen niveles reducidos de resistencia en el canal y mayores valores nominales, de corriente y de potencia.

Además, una característica importante de la construcción vertical es:

Los FET VMOS tienen un coeficiente positivo de temperatura que atacará la posibilidad de avalancha térmica.

Los niveles de resistencia se incrementarán si la temperatura del dispositivo aumenta debido al medio que lo rodea o a sus corrientes, causando con esto una reducción de la corriente de drenaje en vez de un incremento, como sucede con un dispositivo convencional. Los coeficientes negativos de temperatura dan por resultado menores niveles de resistencia con un incremento en la temperatura que aumenta los niveles de corriente y genera mayor inestabilidad de temperatura y avalancha térmica.

Otra característica positiva de la configuración VMOS es:

Los niveles reducidos de almacenamiento de carga dan por resultado tiempos de conmutación más rápidos en la construcción VMOS comparados con los tiempos de la construcción planar convencional.

De hecho, los dispositivos VMOS tienen tiempos de conmutación menores de la mitad de los tiempos que se encuentran en el transistor BJT normal.

5.11 CMOS

Puede establecerse un circuito lógico muy efectivo al construir un MOSFET de canal-*p* y de canal-*n* sobre el mismo sustrato, como se muestra en la figura 5.43. Se observa a la izquierda el canal-*p* inducido y a la derecha el canal-*n* inducido, para los dispositivos de canal-*p* y de canal-*n*, respectivamente. La configuración que se conoce como un arreglo *complementario* de MOSFET, y se abrevia CMOS, tiene extensas aplicaciones en el diseño de lógica de computación. La impedancia de entrada relativamente alta, las rápidas velocidades de conmutación, y los bajos niveles de potencia de operación de la configuración CMOS dan por resultado una disciplina totalmente nueva que se le llama *diseño lógico CMOS*.

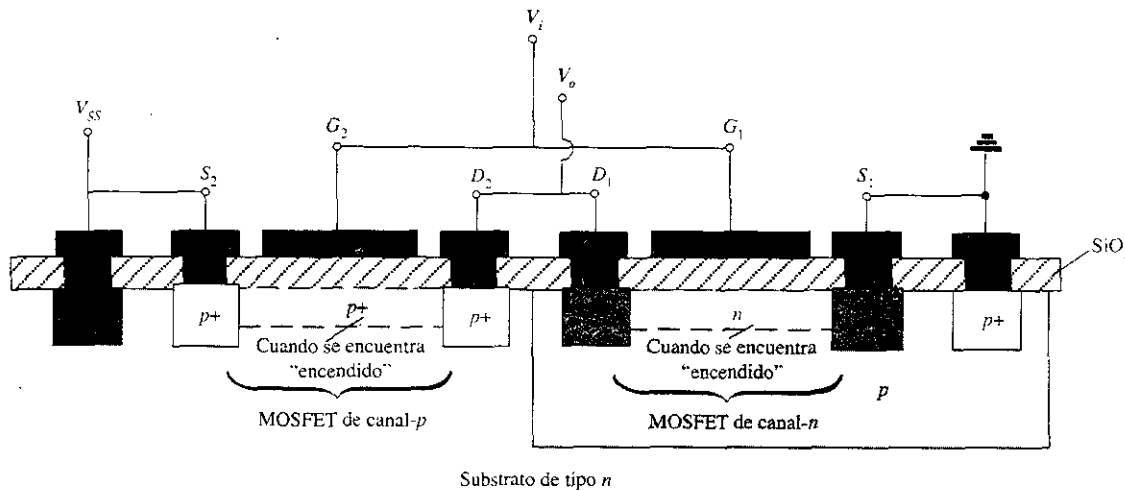


Figura 5.43 CMOS con las conexiones indicadas en la figura 5.44.

Como muestra la figura 5.44, un inversor es un arreglo complementario de uso muy efectivo. De la misma manera que se presentó para los transistores de conmutación, un inversor es un elemento lógico que "invierte" la señal aplicada. Esto es, si los niveles lógicos de operación son 0 V (estado 0) y 5 V (estado 1), un nivel de entrada de 0 V dará por resultado un nivel de 5 V y viceversa. Se observa en la figura 5.44 que ambas entradas están conectadas a la señal de entrada y los dos drenajes a la salida V_o . La fuente del MOSFET de canal-p (Q_2) está conectada directamente al voltaje aplicado V_{SS} , mientras que la fuente del MOSFET de canal-n (Q_1) está conectada a tierra. Para los niveles lógicos definidos arriba, la aplicación de 5 V en la entrada deben dar por resultado una salida aproximada de 0 V. Con 5 V en V_i (respecto a la tierra), $V_{GS_1} = V_i$ y Q_1 está "encendido", dando por resultado una resistencia muy baja entre el drenaje y la fuente, como se muestra en la figura 5.45. Ya que V_i y V_{SS} están en 5 V, $V_{GS_2} = 0$ V, lo cual es menor que el V_T necesario para el dispositivo y da por resultado un estado "apagado". El nivel de resistencia resultante entre el drenaje y la fuente es muy alto para Q_2 , como se muestra en la figura 5.45. Una aplicación simple de la regla del divisor de voltaje indicará que V_o se encuentra muy cerca de 0 V o en el estado 0, estableciendo el proceso de inversión deseado. Para un voltaje aplicado V_i de 0 V (estado 0), $V_{GS_1} = 0$ V y Q_1 estará apagado con $V_{SS_1} = -5$ V, encendiendo el MOSFET de canal-p. El resultado consiste en que Q_2 presentará un pequeño nivel de resistencia y Q_1 una gran resistencia y $V_o = V_{SS} = 5$ V (el estado 1). Debido a que la corriente de drenaje que fluye en cada caso está limitada por el transistor "apagado" en el valor de fuga, la potencia que disipa el dispositivo en cada caso es muy bajo. En el capítulo 17 se presentan más comentarios sobre la aplicación de lógica CMOS.

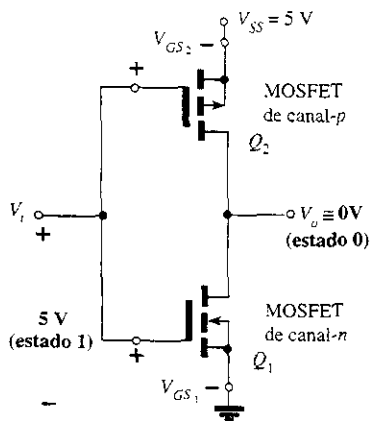


Figura 5.44 Inversor CMOS.

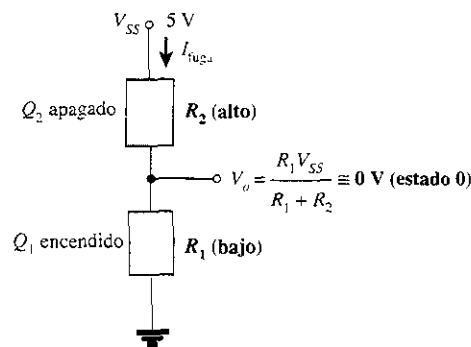
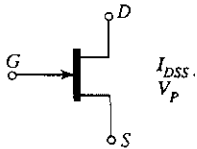
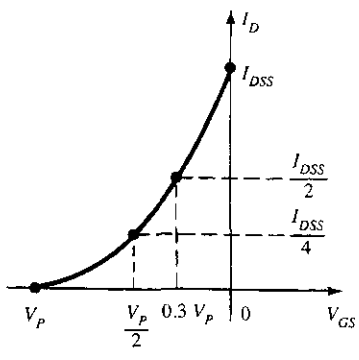
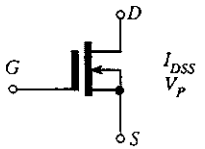
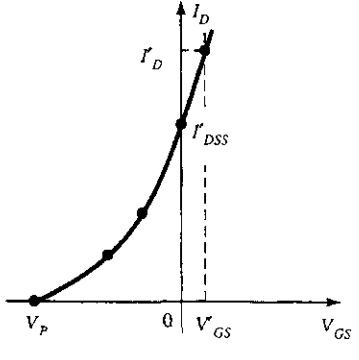
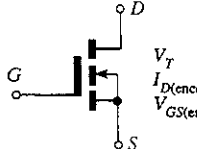
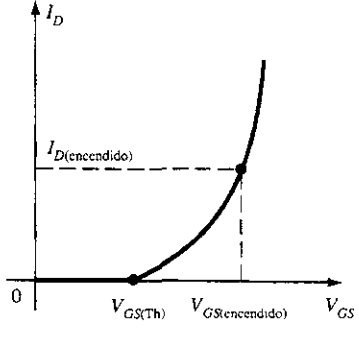


Figura 5.45 Niveles relativos de resistencia para $V_i = 5$ V (estado 1).

5.12 TABLA RESUMEN

La tabla 5.2 se desarrolló para presentar de manera clara las diferencias entre un dispositivo y otro debido a que las curvas de transferencia y algunas características importantes varían de un tipo de FET a otro. Entender bien todas las curvas y parámetros de la tabla ofrecerá una formación suficiente para los análisis en dc y ac que siguen en los capítulos 6 y 8. Tome un momento para asegurar que se reconoce cada curva y que está clara su derivación, y después establezca una base de comparación para cada dispositivo, de los niveles de los parámetros importantes de R_i y C_i .

TABLA 5.2 Transistores de efecto de campo

Tipo	~Símbolo~ Relaciones básicas	Curva de transferencia	Resistencia y capacitancia de entrada
JFET (canal-n)	$I_G = 0 \text{ A}, I_D = I_S$  I_{DSS} V_P $I_D = I_{DSS} \left(1 - \frac{V_{GS}}{V_P}\right)^2$		$R_i > 100 \text{ M}\Omega$ $C_i: (1 - 10) \text{ pF}$
MOSFET tipo decremental (canal-n)	$I_G = 0 \text{ A}, I_D = I_S$  I_{DSS} V_P $I_D = I_{DSS} \left(1 - \frac{V_{GS}}{V_P}\right)^2$		$R_i > 10^{10} \Omega$ $C_i: (1 - 10) \text{ pF}$
MOSFET tipo incremental (canal-n)	$I_G = 0 \text{ A}, I_D = I_S$  V_T $I_{D(\text{encendido})}$ $V_{GS(\text{encendido})}$ $I_D = k (V_{GS} - V_{GS(Th)})^2$ $k = \frac{I_{D(\text{encendido})}}{(V_{GS(\text{encendido})} - V_{GS(Th)})^2}$		$R_i > 10^{10} \Omega$ $C_i: (1 - 10) \text{ pF}$

5.13 ANÁLISIS POR COMPUTADORA

El análisis por computadora de un amplificador a FET en el modo de utilizando BASIC necesita que se utilice la ecuación característica para el dispositivo que se utilizará, junto con las ecuaciones de la red con el objeto de obtener una solución matemática. Como se mencionó para la configuración a BJT, el análisis procederá de la misma forma que el sistema manual. En el capítulo 6, el BASIC se utiliza para investigar una de las configuraciones del amplificador JFET más comunes.

PSpice (versión DOS)

Para PSpice se debe utilizar un formato específico para introducir los parámetros JFET de manera adecuada. El formato para un dispositivo de canal- p o n es el siguiente:

J1	3	1	4	JN
└─┘	└─┘	└─┘	└─┘	└─┘
nombre	D	G	S	nombre del modelo

El formato es muy similar al que se usa para el transistor BJT. El nombre consiste de la literal J, que es un designador para JFET, junto con el número 1. Los nodos a los cuales se conectan las terminales están listados *en el orden* en que aparecen en el ejemplo anterior. Por último, se debe introducir el nombre del modelo con objeto de proporcionar una ubicación que definirá los parámetros del JFET.

El siguiente es el formato para la descripción del modelo:

.MODEL	JN	NJF(VTO = -4V, BETA = .5E-3)
	└─┘	└────────────────┘
	nombre del modelo	especificaciones de parámetros

El .MODEL requerido es seguido por el nombre del modelo como se listó en la instrucción anterior. NJF especifica que se trata de un JFET de canal- n , mientras que PJF explicaría un JFET de canal- p . Se puede especificar una selección de hasta 14 parámetros. Sin embargo, para estos propósitos será suficiente especificar VTO y BETA. VTO es el voltaje de umbral que se especifica normalmente como V_P . BETA no es la β definida para los transistores BJT sino la que se determina en la siguiente ecuación:

$$\boxed{BETA = \frac{I_{DSS}}{|V_P|^2}} \quad (5.15)$$

Por ejemplo, si $V_P = -4$ V e $I_{DSS} = 8$ mA, se generarán los valores que aparecen en la instrucción anterior del modelo. Esto es, $VTO = -4$ V y $BETA = I_{DSS} / |V_P|^2 = 8 \text{ mA} / (4\text{V})^2 = 8 \text{ mA} / 16 \text{ V}^2 = 0.5 \times 10^{-3} \text{ A/V}^2$.

Ambas instrucciones aparecerán en un análisis de PSpice que se desarrollará en el capítulo 6 en una configuración de divisor de voltaje. Se debe empezar a reconocer la similitud de las instrucciones utilizadas para tener acceso a los parámetros a la red. Continúan las similitudes para una amplia variedad de dispositivos, lo cual permite un ajuste relativamente fácil al análisis de las redes que contienen una gran variedad de elementos.

Análisis del centro de diseño de PSpice para Windows

Para la versión de PSpice para Windows, los JFET están listados en la biblioteca **eval.lib** en el listado de **Partes (Get New Part)**. Se utiliza el mismo procedimiento para colocar un JFET sobre la pantalla esquemática que el descrito para los transistores en los capítulos 3 y 4. En el capítulo 6 se explicará la especificación de **VTO** y de **BETA** para el JFET seleccionado.

PROBLEMAS**§ 5.2 Construcción y características de los JFET**

1. a) Dibuje la construcción básica de un JFET de canal- p .
b) Aplique la polarización correcta entre el drenaje y la fuente y dibuje la región de agotamiento para $V_{GS} = 0$ V.
2. Con las características de la figura 5.10, determine I_D para los siguientes niveles de V_{GS} (con $V_{DS} > V_P$).
a) $V_{GS} = 0$ V.
b) $V_{GS} = -1$ V.
c) $V_{GS} = -1.5$ V.
d) $V_{GS} = -1.8$ V.
e) $V_{GS} = -4$ V.
f) $V_{GS} = -6$ V.
3. a) Calcule V_{DS} para $V_{GS} = 0$ V e $I_D = 6$ mA utilizando las características de la figura 5.10.
b) Con los resultados del inciso a, calcule la resistencia del JFET para la región $I_D = 0$ mA a 6 mA para $V_{GS} = 0$ V.
c) Determine V_{DS} para $V_{GS} = -1$ V e $I_D = 3$ mA.
d) Con los resultados del inciso c, calcule la resistencia del JFET para la región $I_D = 0$ mA a 3 mA para $V_{GS} = -1$ V.
e) Determine V_{DS} para $V_{GS} = -2$ V e $I_D = 1.5$ mA.
f) Usando los resultados del inciso e, calcule la resistencia del JFET para la región $I_D = 0$ mA a 1.5 mA para $V_{GS} = -2$ V.
g) Después de definir el resultado del inciso b como r_o , precise la resistencia para $V_{GS} = -1$ V, utilizando la ecuación (5.1) y compárela con los resultados del inciso d.
h) Repita el inciso g para $V_{GS} = -2$ V utilizando la misma ecuación, y compare los resultados con el inciso f.
i) Basándose en los resultados de los incisos g y h, ¿aparenta la ecuación (5.1) ser una aproximación válida?
4. Utilizando las características de la figura 5.10:
a) Precise la diferencia de corriente de drenaje (para $V_{DS} > V_P$) entre $V_{GS} = 0$ V y $V_{GS} = -1$ V.
b) Repita el inciso a entre $V_{GS} = -1$ V y -2 V.
c) Haga otra vez el inciso a entre $V_{GS} = -2$ V y -3 V.
d) Repita el inciso a entre $V_{GS} = -3$ V y -4 V.
e) ¿Existe un cambio marcado en la diferencia en los niveles de corriente cuando V_{GS} se aumenta en forma negativa?
f) ¿Es lineal o no lineal la relación entre el cambio en V_{GS} y el cambio que resulta en I_D ? Explique.
5. ¿Cuáles son las diferencias principales entre las características del colector de un transistor BJT y las de drenaje de un transistor JFET? Compare las unidades de cada eje y la variable de control. ¿Cómo reacciona I_C ante los niveles crecientes de I_B contra los cambios en I_D respecto a los aumentos negativos en los valores de V_{GS} ? ¿Cómo se comparan los espaciamentos entre los pasos de I_B con los espaciamentos entre los pasos de V_{GS} ? Compare $V_{C_{sat}}$ con V_P al definir la región no lineal en los niveles bajos del voltaje de salida.
6. a) Describa con sus propias palabras por qué, para un transistor JFET, I_G es efectivamente igual a cero amperes.
b) ¿Por qué es tan alta la impedancia de entrada a un JFET?
c) ¿Por qué es adecuado el término *efecto de campo* para este importante dispositivo de tres terminales?
7. Dados $I_{DSS} = 12$ mA y $|V_P| = 6$ V, trace una distribución probable de las curvas características para el JFET (similar a la figura 5.10).
8. En general, comente acerca de la polarización de los varios voltajes y la dirección de las corrientes para un JFET de canal- n contra un JFET de canal- p .

§ 5.3 Características de transferencia

9. Dadas las características de la figura 5.46:
a) Trace las características de transferencia directamente a partir de las características de drenaje.
b) Utilizando la figura 5.46 para establecer los valores de I_{DSS} y V_P , dibuje las características de transferencia utilizando la ecuación de Shockley.
c) Compare las características de los incisos a y b. ¿Existen algunas diferencias importantes?

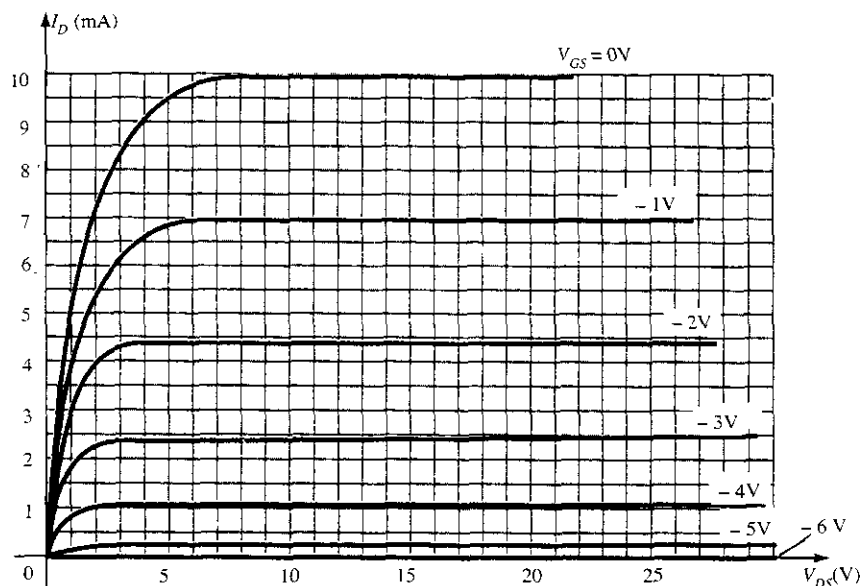


Figura 5.46 Problemas 9, 17.

10. a) Dados $I_{DSS} = 12 \text{ mA}$ y $V_P = -4 \text{ V}$, dibuje las características de transferencia para el transistor JFET.
b) trace las características de drenaje para el dispositivo del inciso a.
11. Dados $I_{DSS} = 9 \text{ mA}$ y $V_P = -3.5 \text{ V}$, determine I_D cuando:
 - a) $V_{GS} = 0 \text{ V}$.
 - b) $V_{GS} = -2 \text{ V}$.
 - c) $V_{GS} = -3.5 \text{ V}$.
 - d) $V_{GS} = -5 \text{ V}$.
12. Dados $I_{DSS} = 16 \text{ mA}$ y $V_P = -5 \text{ V}$, dibuje las características de transferencia utilizando los datos de los puntos de la tabla 5.1. Precise el valor de I_D a partir de la curva, cuando $V_{GS} = -3 \text{ V}$ y compárelo con el valor determinado al utilizar la ecuación de Shockley. Repita lo anterior para $V_{GS} = -1 \text{ V}$.
13. Un JFET de canal-p tiene parámetros del dispositivo de $I_{DSS} = 7.5 \text{ mA}$ y $V_P = 4 \text{ V}$. Trace las características de transferencia.
14. Dados $I_{DSS} = 6 \text{ mA}$ y $V_P = -4.5 \text{ V}$:
 - a) Calcule I_D cuando $V_{GS} = -2 \text{ V}$ y -3.6 V .
 - b) Determine V_{GS} cuando $I_D = 3 \text{ mA}$ y 5.5 mA .
15. Dado un punto Q en $I_{DQ} = 3 \text{ mA}$ y $V_{GS} = -3 \text{ V}$, determine I_{DSS} si $V_P = -6 \text{ V}$.

§ 5.4 Hojas de especificaciones (JFET)

16. Defina la región de operación del JFET 2N5457 de la figura 5.18 utilizando el rango proporcionado de I_{DSS} y V_P . Esto es, dibuje la curva de transferencia definida por el I_{DSS} y V_P máximos y la curva de transferencia definida por el I_{DSS} y V_P mínimos. Señale después el área resultante entre las dos curvas.
17. Defina la región de operación del JFET de la figura 5.46 si $V_{DS_{\max}} = 25 \text{ V}$ y $P_{D_{\max}} = 120 \text{ mW}$.

§ 5.5 Instrumentación

18. Con el uso de las características de la figura 5.21, determine I_D cuando $V_{GS} = -0.7 \text{ V}$ y $V_{DS} = 10 \text{ V}$.
19. Al referirse a la figura 5.21, ¿se encuentran los valores de estrechamiento definidos por la región $V_{DS} < |V_P| = 3 \text{ V}$?
20. Determine V_P para las características de la figura 5.21 utilizando I_{DSS} e I_D en algún valor de V_{GS} . Esto es, sólo sustituya en la ecuación de Shockley y resuelva para V_P . Compare el resultado con el valor supuesto de -3 V de las características.

21. Utilizando $I_{DSS} = 9 \text{ mA}$ y $V_P = -3 \text{ V}$ para las características de la figura 5.21, calcule I_D cuando $V_{GS} = -1 \text{ V}$ usando la ecuación de Shockley y compárela con el nivel que aparece en la figura 5.21.
22. a) Calcule la resistencia asociada con el JFET de la figura 5.21a para $V_{GS} = 0 \text{ V}$ desde $I_D = 0 \text{ mA}$ hasta 4 mA .
 b) Repita el inciso a para $V_{GS} = -0.5 \text{ V}$ desde $I_D = 0 \text{ mA}$ hasta 3 mA .
 c) Al asignar el nombre r_o al resultado del inciso a y r_d al resultado del inciso b, utilice la ecuación (5.1) para determinar r_d y compárelo con el resultado del inciso b.

§ 5.7 MOSFET de tipo decremental

23. a) Dibuje la construcción básica de un MOSFET de tipo decremental de canal- p .
 b) Aplique el voltaje adecuado del drenaje a la fuente y trace el flujo de electrones para $V_{GS} = 0 \text{ V}$.
24. ¿En qué formas es similar la construcción de un MOSFET de tipo decremental y un JFET? ¿En qué formas es diferente?
25. Explique con sus propias palabras por qué la aplicación de un voltaje positivo a la entrada de un MOSFET de tipo decremental de canal- n dará por resultado que una corriente de drenaje exceda I_{DSS} .
26. Dado un MOSFET de tipo decremental con $I_{DSS} = 6 \text{ mA}$ y $V_P = -3 \text{ V}$, precise la corriente de drenaje en $V_{GS} = -1 \text{ V}, 0 \text{ V}, 1 \text{ V}$ y 2 V . Compare la diferencia con los niveles de corriente entre -1 y 0 V con la diferencia entre 1 y 2 V . En la región positiva, ¿se incrementa la corriente de drenaje en una proporción significativamente mayor que para los valores negativos? ¿Se hace la curva I_D más y más vertical al aumentar los valores positivos de V_{GS} ? ¿Existe una relación lineal o no lineal entre I_D y V_{GS} ? Explíquela.
27. Trace las características de transferencia y de drenaje de un MOSFET de tipo decremental de canal- n con $I_{DSS} = 12 \text{ mA}$ y $V_P = -8 \text{ V}$ para un rango de $V_{GS} = -V_P$ a $V_{GS} = 1 \text{ V}$.
28. Dado $I_D = 14 \text{ mA}$ y $V_{GS} = 1 \text{ V}$, determine V_P si $I_{DSS} = 9.5 \text{ mA}$ para un MOSFET de tipo decremental.
29. Dado $I_D = 4 \text{ mA}$ y $V_{GS} = -2 \text{ V}$, determine I_{DSS} si $V_P = -5 \text{ V}$.
30. Utilizando un valor promedio de 2.9 mA para el I_{DSS} del MOSFET 2N3797 de la figura 5.30, precise el nivel de V_{GS} que dará por resultado una corriente máxima de drenaje de 20 mA si $V_P = -5 \text{ V}$.
31. Si la corriente de drenaje para el MOSFET 2N3797 de la figura 5.30 es de 8 mA , ¿cuál es el valor máximo permisible de V_{DS} si se utiliza el valor nominal máximo de potencia?

§ 5.8 MOSFET de tipo incremental

32. a) ¿Cuál es la diferencia principal entre la construcción de un MOSFET de tipo incremental y un MOSFET de tipo decremental?
 b) Dibuje un MOSFET de tipo incremental de canal- p con la polarización adecuada aplicada ($V_{DS} > 0 \text{ V}$, $V_{GS} > V_T$) e indique el canal, la dirección del flujo de electrones y la región de agotamiento que resulte.
 c) Con sus propias palabras, describa brevemente la operación básica de un MOSFET de tipo incremental.
33. a) Trace las características de transferencia y de drenaje de un MOSFET de tipo incremental de canal- n con $V_T = 3.5 \text{ V}$ y $k = 0.4 \times 10^{-3} \text{ A/V}^2$.
 b) Repita el inciso a para la característica de transferencia si se mantiene V_T en 3.5 pero k se incrementa el 100% a $0.8 \times 10^{-3} \text{ A/V}^2$.
34. a) Dado $V_{GS(\text{Th})} = 4 \text{ V}$ e $I_{D(\text{encendido})} = 4 \text{ mA}$ cuando $V_{GS(\text{encendido})} = 6 \text{ V}$, determine k y escriba la expresión general para I_D en el formato de la ecuación (5.13).
 b) Dibuje las características de transferencia para el dispositivo del inciso a.
 c) Determine I_D para el dispositivo del inciso a cuando $V_{GS} = 2 \text{ V}, 5 \text{ V}$ y 10 V .
35. Dadas las características de transferencia de la figura 5.47, determine V_T y k y escriba la ecuación general para I_D .
36. Dados $k = 0.4 \times 10^{-3} \text{ A/V}^2$ e $I_{D(\text{encendido})} = 3 \text{ mA}$ con $V_{GS(\text{encendido})} = 4 \text{ V}$, determine V_T .
37. Para el MOSFET de tipo incremental de canal- n , la corriente máxima de drenaje es de 30 mA . Determine V_{GS} en este nivel de corriente cuando $k = 0.06 \times 10^{-3} \text{ A/V}^2$ y V_T es el valor máximo.

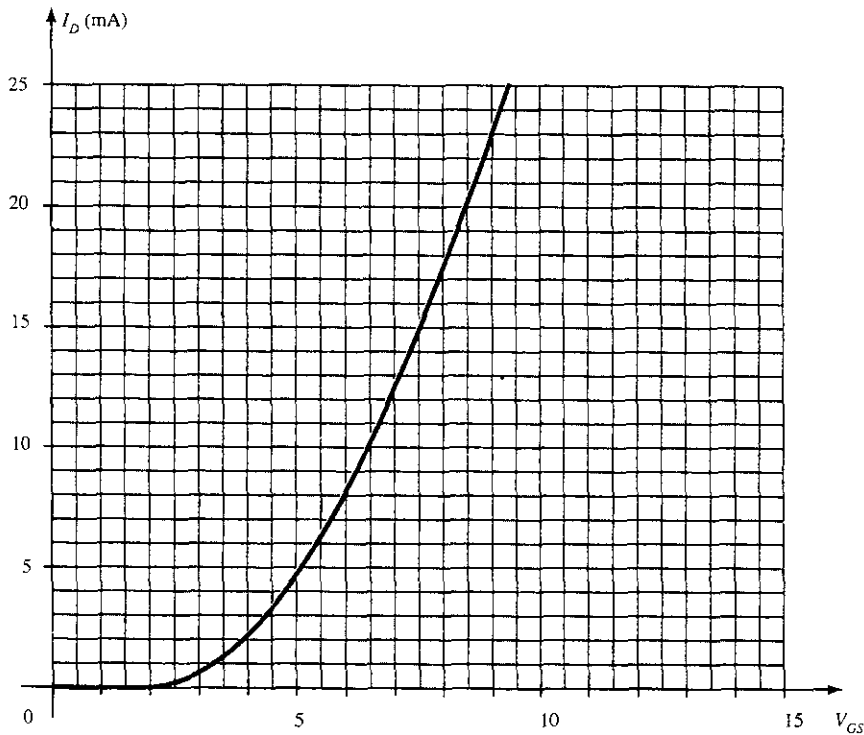


Figura 5.47 Problema 35.

38. ¿Aumenta la corriente de un MOSFET de tipo incremental en la misma proporción que un MOSFET de tipo decremental en la región de conducción? Revise con cuidado el formato general de las ecuaciones, y si sus conocimientos en matemáticas abarcan el cálculo diferencial, calcule dI_D/dV_{GS} y compare sus magnitudes.
39. Trace las características de transferencia de un MOSFET de tipo incremental de canal- p si $V_T = -5$ V y $k = 0.45 \times 10^{-3}$ A/V².
40. Dibuje la curva de $I_D = 0.5 \times 10^{-3} (V_{GS}^2)$ e $I_D = 0.5 \times 10^{-3} (V_{GS} - 4)^2$ para V_{GS} desde 0 a 10 V. ¿Tiene un impacto significativo $V_T = 4$ V sobre el nivel de I_D en esta región?

§ 5.10 VMOS

41. a) Describa con sus propias palabras por qué el FET VMOS resiste unos valores mayores de corriente y potencia que la técnica estándar de construcción.
 b) ¿Por qué los FET VMOS tienen niveles reducidos de resistencia del canal?
 c) ¿Por qué se desea un coeficiente positivo de temperatura?

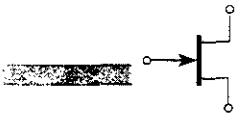
§ 5.11 CMOS

- * 42. a) Describa con sus propias palabras la operación de la red de la figura 5.44 con $V_i = 0$ V.
 b) Si el MOSFET "encendido" de la figura 5.44 (con $V_i = 0$ V) tiene una corriente de drenaje de 4 mA con $V_{DS} = 0.1$ V, ¿cuál es el nivel aproximado de resistencia del dispositivo? Si $I_D = 0.5$ μ A para el transistor "apagado", ¿cuál es la resistencia aproximada del dispositivo? ¿Sugieren los niveles de resistencia que sucederá el nivel deseado de voltaje de salida?
43. Investigue en su biblioteca escolar la lógica CMOS y describa el rango de operaciones y de ventajas básicas de esta tecnología.

*Los asteriscos indican problemas más difíciles.

6

Polarización del FET



6.1 INTRODUCCIÓN

En el capítulo 5 se estudió que para una configuración de transistor de silicio se pueden obtener los niveles de polarización al utilizar las ecuaciones características $V_{BE} = 0.7 \text{ V}$, $I_C = \beta_{IB}$ e $I_C \cong I_E$. La relación entre las variables de entrada y de salida la proporciona β , la cual asumió una magnitud fija para el análisis que se llevó a cabo. El hecho de que beta sea una constante establece una relación *lineal* entre I_C e I_B . El duplicar el valor de I_B duplicará el nivel de I_C , y así sucesivamente.

Para el transistor de efecto de campo la relación entre las cantidades de entrada y de salida es *no lineal*, debido al término cuadrático en la ecuación de Shockley. Las relaciones lineales resultan en líneas rectas cuando se dibujan en una gráfica de una variable en función de la otra, mientras que las relaciones no lineales dan por resultado curvas como las que se obtuvieron para las características de transferencia de un JFET. La relación no lineal entre I_D y V_{GS} puede complicar el método matemático del análisis de dc de las configuraciones a FET. Una solución gráfica limita las soluciones a una precisión de décimas, pero resulta un método más rápido para la mayoría de los amplificadores. Debido a que el sistema gráfico es por lo general el más común, el análisis de este capítulo tendrá una orientación más gráfica en vez de técnicas matemáticas directas.

Otra diferencia distintiva entre el análisis de los transistores BJT y FET es que la variable de entrada que controla un transistor BJT es el nivel de la corriente, mientras que para el FET la variable de control es un voltaje. Sin embargo, en ambos casos la variable de salida controlada es un nivel de corriente que también define los niveles importantes de voltaje del circuito de salida.

Las relaciones generales que pueden aplicarse al análisis en dc de todos los amplificadores a FET son

$$I_G \cong 0 \text{ A} \quad (6.1)$$

e

$$I_D = I_S \quad (6.2)$$

La ecuación de Shockley se aplica con objeto de relacionar las cantidades de entrada y de salida para los JFET y los MOSFET de tipo decremental:

$$I_D = I_{DSS} \left(1 - \frac{V_{GS}}{V_P} \right)^2 \quad (6.3)$$

Para los MOSFET de tipo incremental puede aplicarse la siguiente ecuación:

$$I_D = k(V_{GS} - V_T)^2 \quad (6.4)$$

Es particularmente importante observar que todas las ecuaciones anteriores son *sólo para el dispositivo*! Éstas no cambian con cada configuración de red, siempre y cuando el dispositivo se encuentre en la región activa. La red sólo define el nivel de corriente y el voltaje asociado con el punto de operación por medio de su propio conjunto de ecuaciones. En realidad, la solución de las redes de BJT y de FET es la solución de ecuaciones simultáneas establecidas por el dispositivo y la red. La solución puede determinarse con el uso de un método matemático o gráfico, hecho que se demostrará en las primeras redes a analizar. Como se mencionó anteriormente, el método gráfico es el más popular para las redes FET y es el que utilizamos en este libro.

Las primeras secciones de este capítulo están limitadas a los JFET y al sistema gráfico con objeto de analizarlos. El MOSFET de tipo decremental se examinará después con su rango aumentado de puntos de operación seguido por el MOSFET de tipo incremental. Finalmente, se investigarán los problemas de diseño para probar los conceptos y procedimientos presentados en el capítulo.

6.2 CONFIGURACIÓN DE POLARIZACIÓN FIJA

En la figura 6.1 aparece el arreglo de polarización más simple para el JFET de canal-*n*. Conocido como la configuración de polarización fija, la cual es una de las pocas configuraciones a FET que pueden resolverse directamente tanto con un método matemático como con uno gráfico. Ambos métodos están incluidos en esta sección con dos objetivos: para demostrar la diferencia entre ambas filosofías y para establecer el hecho de que puede obtenerse la misma solución utilizando cualquier método.

La configuración de la figura 6.1 incluye los niveles de ac V_i y V_o y los capacitores de acoplamiento (C_1 y C_2). Recuerde que los capacitores de acoplamiento son "circuitos abiertos" para el análisis en dc e impedancias bajas (esencialmente cortos circuitos) para el análisis en ac. El resistor R_G está presente para asegurar que V_i aparezca en la entrada del amplificador a FET, para el análisis en ac (capítulo 9). Para el análisis en dc,

$$I_G \cong 0 \text{ A}$$

$$\text{y} \quad V_{R_G} = I_G R_G = (0 \text{ A}) R_G = 0 \text{ V}$$

La caída de cero volts a través de R_G permite reemplazar V_G por un corto circuito equivalente, como el que aparece en la red de la figura 6.2 redibujado de manera específica para el análisis en dc.

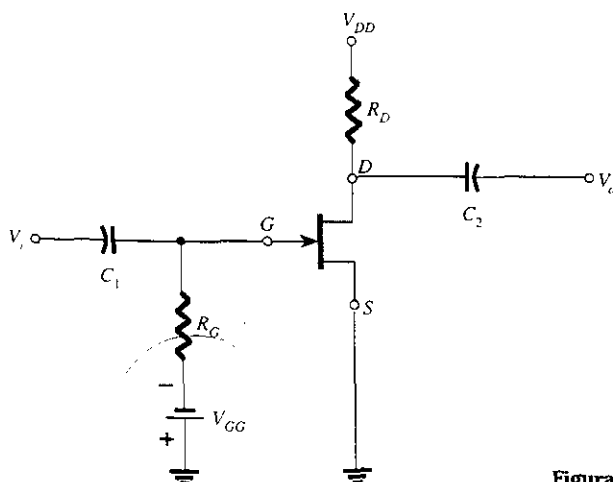


Figura 6.1 Configuración de polarización fija.

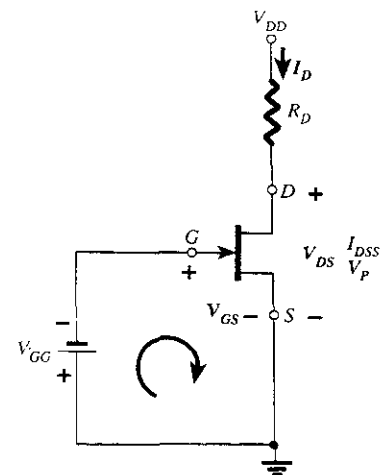


Figura 6.2 Red para el análisis en dc.



El hecho de que la terminal negativa de la batería esté conectada en forma directa al potencial positivo definido V_{GS} refleja bien que la polarización de V_{GS} está colocada de manera opuesta y directamente a la de V_{GG} . Al aplicar la ley de voltaje de Kirchhoff en la dirección de las manecillas del reloj en la malla indicada en la figura 6.2 se tiene

$$-V_{GG} - V_{GS} = 0$$

y

$$V_{GS} = -V_{GG} \quad (6.5)$$

Debido a que V_{GG} es una fuente fija de dc, el voltaje V_{GS} es de una magnitud fija, lo que da por resultado la notación “configuración de polarización fija”.

Ahora, el nivel resultante de corriente de drenaje I_D lo controla la ecuación de Shockley:

$$I_D = I_{DSS} \left(1 - \frac{V_{GS}}{V_P} \right)^2$$

Ya que V_{GS} resulta una cantidad fija para esta configuración, su magnitud y signo pueden sustituirse con facilidad en la ecuación de Shockley, además de calcular el nivel resultante de V_D . Este es uno de los pocos casos en que una solución matemática es muy directa para una configuración a FET.

En la figura 6.3 se muestra un análisis gráfico que hubiera requerido una gráfica de la ecuación de Shockley. Es importante recordar que la elección de $V_{GS} = V_P / 2$ dará por resultado una corriente de drenaje de $I_{DSS} / 4$ cuando se grafique la ecuación. Para el análisis de este capítulo serán suficientes los tres puntos definidos por I_{DSS} , V_P y la intersección recién descrita con objeto de graficar la curva.

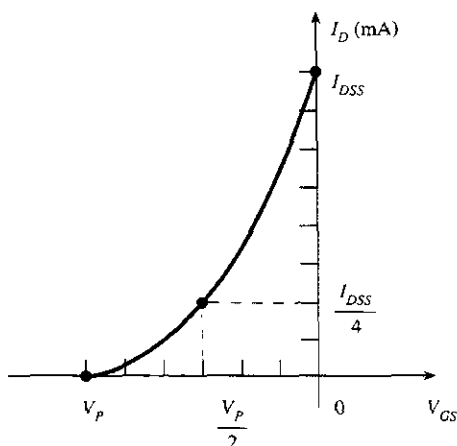


Figura 6.3 Gráfica de la ecuación de Shockley.

En la figura 6.4 se ha sobrepuesto el nivel fijo de V_{GS} como una línea vertical en $V_{GS} = -V_{GG}$. En cualquier punto de la línea vertical el nivel de V_{GS} es de $-V_{GG}$; el nivel de I_D simplemente debe estar determinado en esta línea vertical. El punto donde se intersecan ambas curvas

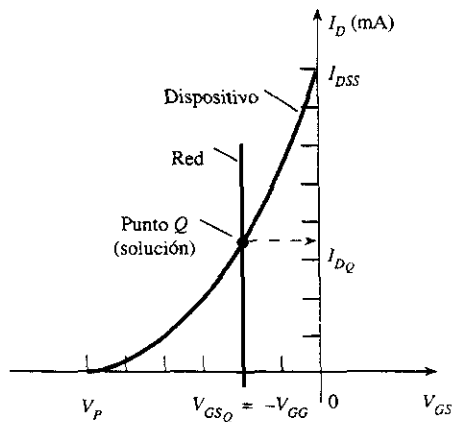


Figura 6.4 Búsqueda de la solución para la configuración de polarización fija.



es la solución común para la configuración, y se conoce como el *punto de operación estable*. La literal Q será aplicada a la corriente de drenaje, y el voltaje de la compuerta a la fuente con objeto de identificar sus niveles en el punto Q . Se observa en la figura 6.4 que el nivel estable de I_D puede determinarse al dibujar una línea horizontal desde el punto Q al eje vertical I_D igual que en la figura 6.4. Es necesario mencionar que una vez que la red de la figura 6.1 esté construida y operando, los niveles de dc de I_D y de V_{GS} que serán medidos por los instrumentos de la figura 6.5 son los valores estables que se definen en la figura 6.4.

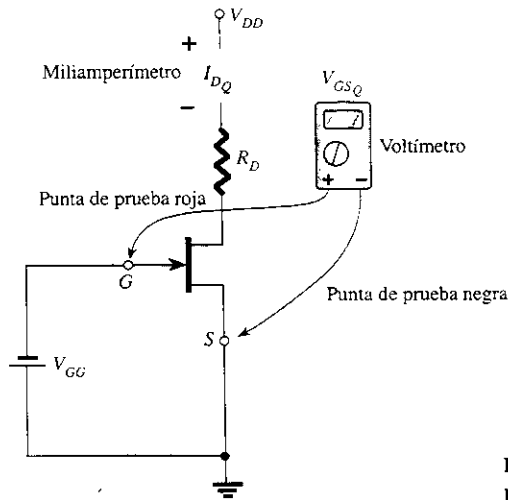


Figura 6.5 Medición de los valores del punto de operación estable I_D y V_{GS} .

El voltaje del drenaje a la fuente de la sección de salida puede calcularse si se aplica la ley de voltaje de Kirchhoff de la siguiente manera:

$$+V_{DS} = I_D R_D - V_{DD} = 0$$

y

$$\boxed{V_{DS} = V_{DD} - I_D R_D} \quad (6.6)$$

Recuerde que los voltajes de un solo subíndice se refieren al voltaje en un punto respecto a la tierra. Para la configuración de la figura 6.2.

$$\boxed{V_S = 0 \text{ V}} \quad (6.7)$$

Con una notación de doble subíndice:

$$V_{DS} = V_D - V_S$$

o

$$V_D = V_{DS} + V_S = V_{DS} + 0 \text{ V}$$

y

$$\boxed{V_D = V_{DS}} \quad (6.8)$$

Además,

$$V_{GS} = V_G - V_S$$

o

$$V_G = V_{GS} + V_S = V_{GS} + 0 \text{ V}$$

y

$$\boxed{V_G = V_{GS}} \quad (6.9)$$

El hecho de que $V_D = V_{DS}$ y que $V_G = V_{GS}$ parece obvio a partir del hecho de que $V_S = 0 \text{ V}$, pero también se incluyeron las derivaciones anteriores con objeto de enfatizar la relación que existe entre la notación de doble subíndice y de un solo subíndice. Ya que la configuración necesita de dos fuentes de dc, su empleo está limitado, y no podrá incluirse en la siguiente lista de configuraciones FET más comunes.

EJEMPLO 6.1

Calcular lo siguiente para la red de la figura 6.6.

- V_{GS_Q}
- I_{D_Q}
- V_{DS}
- V_D
- V_G
- V_S

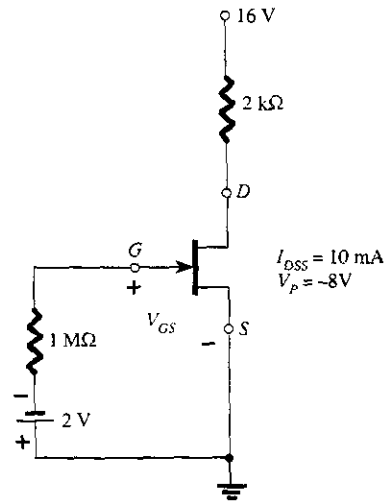


Figura 6.6 Ejemplo 6.1.

Solución

Método matemático:

- $V_{GS_Q} = -V_{GG} = -2 \text{ V}$
- $$I_{D_Q} = I_{DSS} \left(1 - \frac{V_{GS}}{V_P} \right)^2 = 10 \text{ mA} \left(1 - \frac{-2 \text{ V}}{-8 \text{ V}} \right)^2$$

$$= 10 \text{ mA} (1 - 0.25)^2 = 10 \text{ mA} (0.75)^2 = 10 \text{ mA} (0.5625)$$

$$= 5.625 \text{ mA}$$
- $$V_{DS} = V_{DD} - I_D R_D = 16 \text{ V} - (5.625 \text{ mA})(2 \text{ k}\Omega)$$

$$= 16 \text{ V} - 11.25 \text{ V} = 4.75 \text{ V}$$
- $V_D = V_{DS} = 4.75 \text{ V}$
- $V_G = V_{GS} = -2 \text{ V}$
- $V_S = 0 \text{ V}$

Método gráfico: La curva de Shockley resultante y la línea vertical en $V_{GS} = -2 \text{ V}$ se proporcionan en la figura 6.7. Es verdad que es difícil leer más allá del segundo decimal sin aumentar

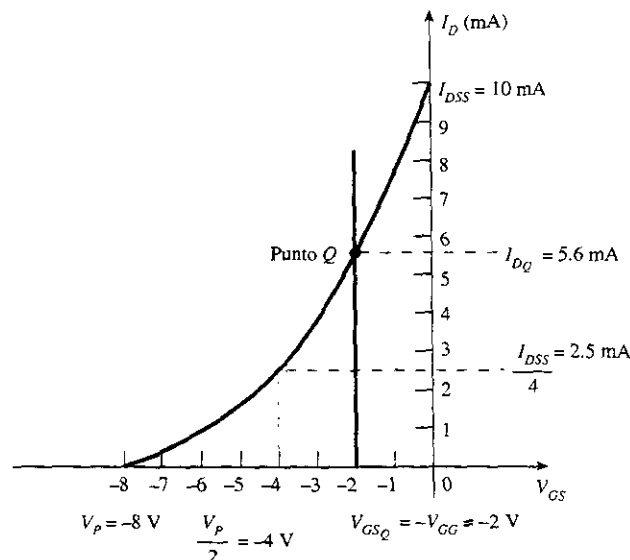


Figura 6.7 Solución gráfica para la red de la figura 6.6.

significativamente el tamaño de la figura, pero a partir de la gráfica de la figura 6.7 es bastante aceptable una solución de 5.6 mA. Por tanto, para el inciso a,

$$V_{GS_Q} = -V_{GG} = -2 \text{ V}$$

b) $I_D = 5.6 \text{ mA}$

c) $V_{DS}^Q = V_{DD} - I_D R_D = 16 \text{ V} - (5.6 \text{ mA})(2 \text{ k}\Omega)$
 $= 16 \text{ V} - 11.2 \text{ V} = 4.8 \text{ V}$

d) $V_D = V_{DS} = 4.8 \text{ V}$

e) $V_G = V_{GS} = -2 \text{ V}$

f) $V_S = 0 \text{ V}$

Los resultados confirman con claridad el hecho de que los sistemas matemático y gráfico generan soluciones muy cercanas.

6.3 CONFIGURACIÓN DE AUTOPOLARIZACIÓN

La configuración de autopolarización elimina la necesidad de dos fuentes de dc. El voltaje de control de la compuerta a la fuente ahora lo determina el voltaje a través del resistor R_S , que se conecta en la terminal de la fuente de la configuración como se muestra en la figura 6.8.

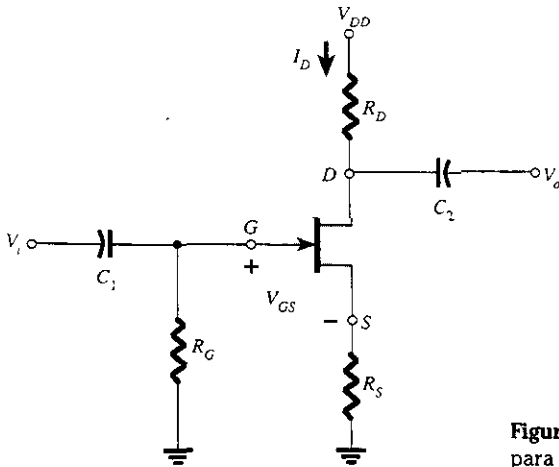


Figura 6.8 Configuración de autopolarización para JFET.

Para el análisis en dc los capacitores pueden reemplazarse una vez más por “circuitos abiertos”, y el resistor R_G puede cambiarse por un corto circuito equivalente dado que $I_G = 0 \text{ A}$. El resultado es la red de la figura 6.9 para el análisis en dc.

La corriente a través de R_S es la corriente de la fuente I_S , pero $I_S = I_D$ y

$$V_{R_S} = I_D R_S$$

Para el lazo cerrado que se indicó en la figura 6.9 se tiene que

$$-V_{GS} - V_{R_S} = 0$$

$$V_{GS} = -V_{R_S}$$

$$V_{GS} = -I_D R_S$$

(6.10)

En este caso podemos ver que V_{GS} es una función de la corriente de salida I_D , y no fija en magnitud, como ocurrió para la configuración de polarización fija.

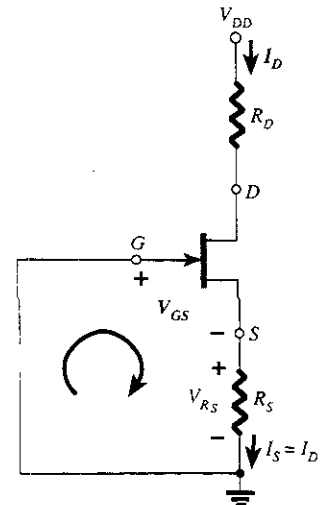


Figura 6.9 Análisis en dc de la configuración de autopolarización.



La ecuación (6.10) está definida por la configuración de la red, y la ecuación de Shockley relaciona las cantidades de entrada y de salida del dispositivo. Ambas ecuaciones relacionan las mismas dos variables, y permiten tanto una solución matemática como una gráfica.

Puede conseguirse una solución matemática mediante la simple sustitución de la ecuación (6.10) en la ecuación de Shockley como mostramos a continuación:

$$\begin{aligned}
 I_D &= I_{DSS} \left(1 - \frac{V_{GS}}{V_P} \right)^2 \\
 &= I_{DSS} \left(1 - \frac{-I_D R_S}{V_P} \right)^2 \\
 \text{o} \quad I_D &= I_{DSS} \left(1 + \frac{I_D R_S}{V_P} \right)^2
 \end{aligned}$$

Al desarrollar el término cuadrático que se indica y al reorganizar los términos, puede lograrse una ecuación de la siguiente forma:

$$I_D^2 + K_1 I_D + K_2 = 0$$

Puede resolverse la ecuación cuadrática para la solución adecuada de I_D .

La secuencia anterior define el método matemático. El método gráfico requiere que primero se establezcan las características de transferencia del dispositivo como se muestra en la figura 6.10. Debido a que la ecuación (6.10) define una línea recta en la misma gráfica, primero se identifican dos puntos sobre la gráfica que se localizan sobre la línea y simplemente se dibuja una línea recta entre ambos puntos. La condición más obvia de aplicación es $I_D = 0$ A, ya que da por resultado $V_{GS} = -I_D R_S = (0 \text{ A}) R_S = 0$ V. Por tanto, para la ecuación (6.10) se define un punto sobre la línea recta mediante $I_D = 0$ A y $V_{GS} = 0$ V, tal como aparece en la figura 6.10.

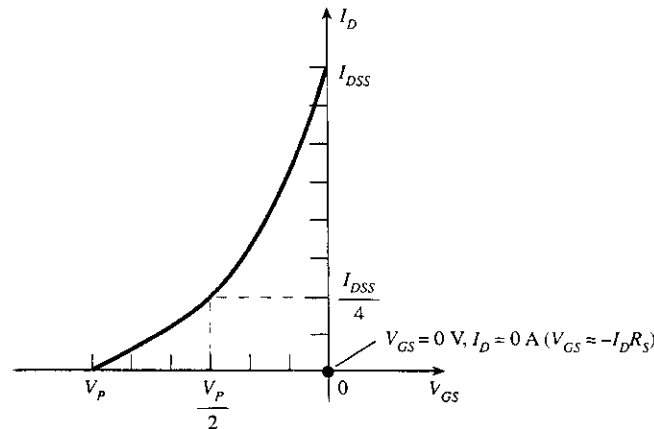


Figura 6.10 Definición de un punto sobre la recta de autopolarización.

El segundo punto para la ecuación (6.10) requiere de la selección de un nivel de V_{GS} o de I_D y calcular el valor correspondiente de la otra cantidad con la ayuda de la ecuación (6.10). Los niveles resultantes de I_D y de V_{GS} después definirán otro punto sobre la línea recta y permitirán un dibujo real de dicha línea. Se supone, por ejemplo, que se selecciona un nivel de I_D igual a la mitad del nivel de saturación, esto es,

$$I_D = \frac{I_{DSS}}{2}$$

luego

$$V_{GS} = -I_D R_S = -\frac{I_{DSS} R_S}{2}$$

El resultado es un segundo punto con el objeto de dibujar la línea recta como se muestra en la figura 6.11. Luego se dibuja la línea recta por medio de la ecuación (6.10) y se obtiene el punto

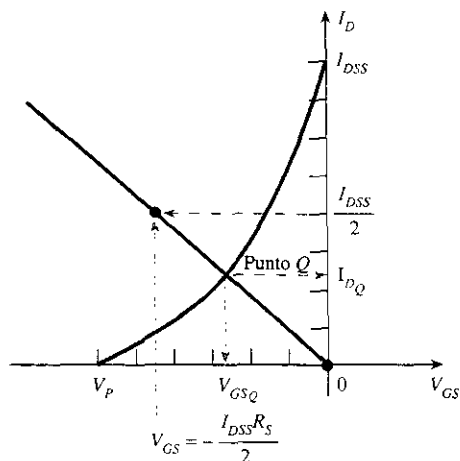


Figura 6.11 Trazo de la recta de autopolarización.

estable en la intersección de la línea recta y la curva característica del dispositivo. Los valores estables de I_D y de V_{GS} pueden determinarse y utilizarse para encontrar las otras cantidades de interés.

Puede calcularse el valor de V_{DS} si aplicamos la ley de voltaje de Kirchhoff al circuito de salida, lo que da por resultado

$$V_{R_S} + V_{DS} + V_{R_D} - V_{DD} = 0$$

y
$$V_{DS} = V_{DD} - V_{R_S} - V_{R_D} = V_{DD} - I_S R_S - I_D R_D$$

pero
$$I_D = I_S$$

y
$$V_{DS} = V_{DD} - I_D(R_S + R_D) \quad (6.11)$$

Además:

$$V_S = I_D R_S \quad (6.12)$$

$$V_G = 0 \text{ V} \quad (6.13)$$

y
$$V_D = V_{DS} + V_S = V_{DD} - V_{R_D} \quad (6.14)$$

Calcular lo siguiente para la red de la figura 6.12.

EJEMPLO 6.2

- V_{GSQ} .
- I_{DQ} .
- V_{DS} .
- V_S .
- V_G .
- V_D .

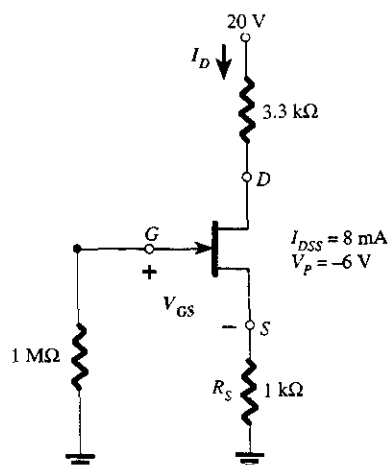


Figura 6.12 Ejemplo 6.2.



Solución

a) El voltaje compuerta-fuente se determina por

$$V_{GS} = -I_D R_S$$

Si se elige $I_D = 4 \text{ mA}$, se obtiene

$$V_{GS} = -(4 \text{ mA})(1 \text{ k}\Omega) = -4 \text{ V}$$

El resultado es la gráfica de la figura 6.13 como se definió mediante la red.

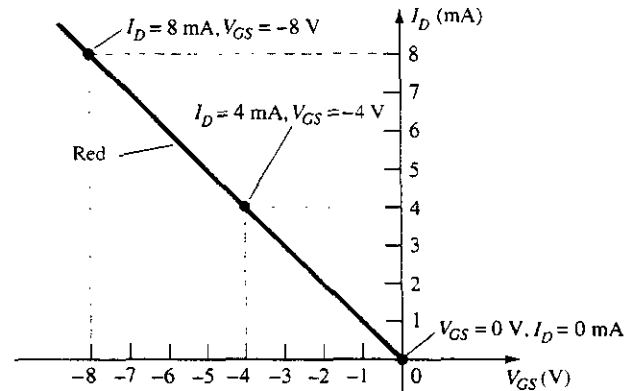


Figura 6.13 Trazo de la recta de autopolarización para la red de la figura 6.12.

En caso de elegir $I_D = 8 \text{ mA}$, el valor de V_{GS} resultante sería de -8 V , como se muestra en la misma gráfica. En cualquier caso se obtendrá la misma línea recta, demostrando que puede seleccionarse cualquier valor adecuado de I_D , siempre y cuando se utilice el valor determinado por la ecuación (6.10) para V_{GS} . Además, debe tenerse en cuenta que puede seleccionarse el valor de V_{GS} , y calcular el valor de I_D , para obtener el mismo resultado.

Si se selecciona $V_{GS} = V_P / 2 = -3 \text{ V}$ para la ecuación de Shockley, se tiene que $I_D = I_{DSS} / 4 = 8 \text{ mA} / 4 = 2 \text{ mA}$, y resultará la gráfica de la figura 6.14, la cual representa las características del dispositivo. La solución se encuentra al sobreponer las características de la red definidas mediante la figura 6.13 sobre las características del dispositivo de la figura 6.14, y encontrando el punto de intersección de ambas como se indica en la figura 6.15. El punto de operación resultante está en un valor del voltaje compuerta-fuente estable de

$$V_{GS_Q} = -2.6 \text{ V}$$

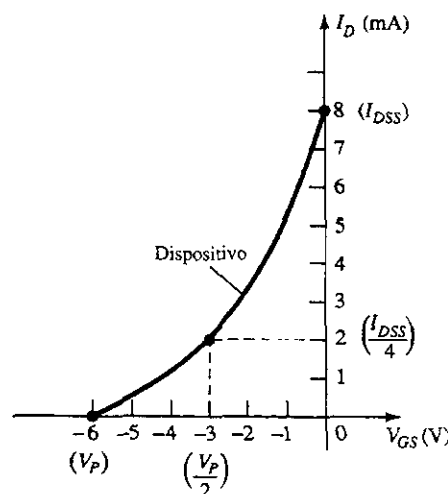


Figura 6.14 Trazo de las características del dispositivo para el JFET de la figura 6.12.

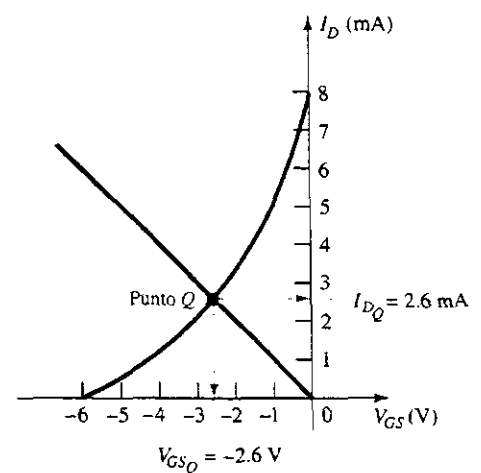


Figura 6.15 Cálculo del punto Q para la red de la figura 6.12.

b) En el punto estable:

$$I_{D_Q} = 2.6 \text{ mA}$$

c) La ecuación (6.11): $V_{DS} = V_{DD} - I_D(R_S + R_D)$
 $= 20 \text{ V} - (2.6 \text{ mA})(1 \text{ k}\Omega + 3.3 \text{ k}\Omega)$
 $= 20 \text{ V} - 11.18 \text{ V}$
 $= 8.82 \text{ V}$

d) La ecuación (6.12): $V_S = I_D R_S$
 $= (2.6 \text{ mA})(1 \text{ k}\Omega)$
 $= 2.6 \text{ V}$

e) La ecuación (6.13): $V_G = 0 \text{ V}$

f) La ecuación (6.14): $V_D = V_{DS} + V_S = 8.82 \text{ V} + 2.6 \text{ V} = 11.42 \text{ V}$
o $V_D = V_{DD} - I_D R_D = 20 \text{ V} - (2.6 \text{ mA})(3.3 \text{ k}\Omega) = 11.42 \text{ V}$

Encontrar el punto de operación para la red de la figura 6.12 si:

EJEMPLO 6.3

a) $R_S = 100 \Omega$.

b) $R_S = 10 \text{ k}\Omega$.

Solución

Obsérvese la figura 6.16.

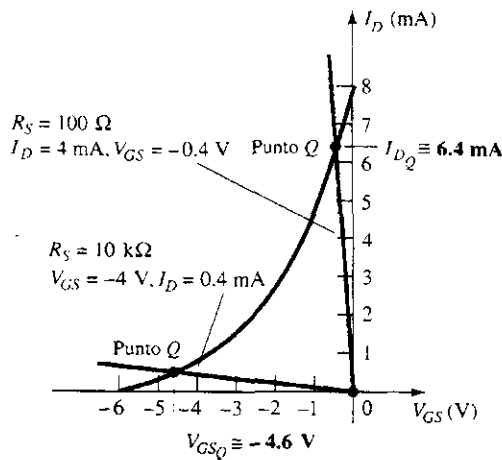


Figura 6.16 Ejemplo 6.3.

a) En el eje de I_D .

$$I_{D_Q} \cong 6.4 \text{ mA}$$

De la ecuación (6.10),

$$V_{GS_Q} \cong -0.64 \text{ V}$$

b) En el eje de V_{GS} .

$$V_{GS_Q} \cong -4.6 \text{ V}$$

De la ecuación (6.10),

$$I_{D_Q} \cong 0.46 \text{ mA}$$

Podemos observar cómo los niveles más bajos de R_S acercan la recta de carga de la red hacia el eje I_D , mientras que los niveles más altos de R_S acercan la recta de carga de la red hacia el eje V_{GS} .

EJEMPLO 6.4

Determine lo siguiente para la configuración de entrada común de la figura 6.17.

- V_{GSQ} .
- I_{DQ} .
- V_D .
- V_G .
- V_S .
- V_{DS} .

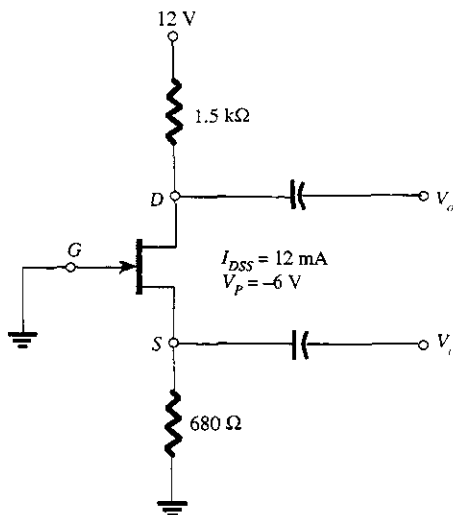


Figura 6.17 Ejemplo 6.4.

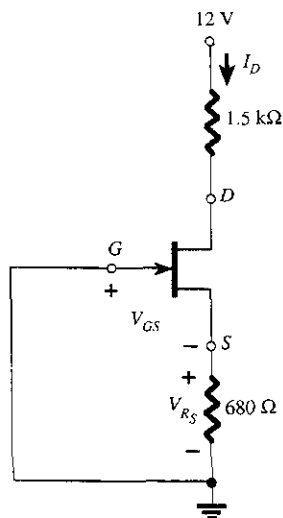


Figura 6.18 Trazo del equivalente de dc de la red de la figura 6.17.

Solución

La terminal de la compuerta conectada a tierra y la ubicación de la entrada establecen fuertes similitudes con el amplificador a BJT de base común. Aunque es diferente en apariencia, en relación con la estructura básica de la figura 6.8, la red de dc que resultó de la figura 6.18 posee la misma estructura básica que la figura 6.9. Por tanto, puede proceder el análisis en dc de la misma forma que en los ejemplos recientes.

a) Las características de transferencia y la recta de carga aparecen en la figura 6.19. En este caso se determinó el segundo punto para el trazo de la recta de carga seleccionando (en forma arbitraria) $I_D = 6$ mA y resolviendo V_{GS} . Esto es,

$$V_{GS} = I_D R_S = -(6 \text{ mA})(680 \Omega) = -4.08 \text{ V}$$

como se muestra en la figura 6.19. La curva de transferencia de dispositivo se trazó usando:

$$I_D = \frac{I_{DSS}}{4} = \frac{12 \text{ mA}}{4} = 3 \text{ mA}$$

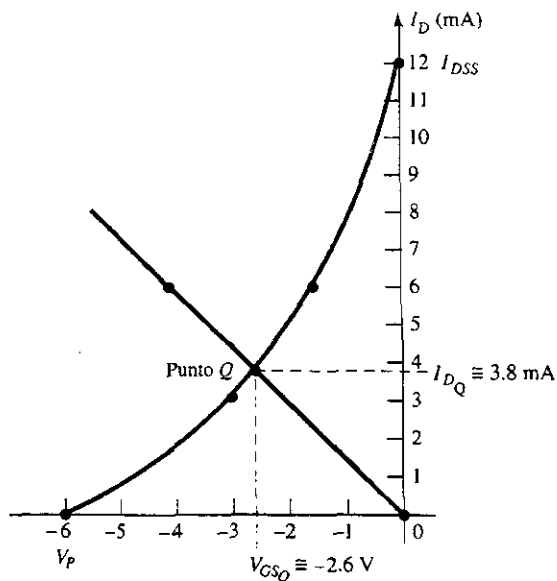


Figura 6.19 Determinación del punto Q de la red de la figura 6.17.

y el valor asociado de V_{GS} :

$$V_{GS} = \frac{V_P}{2} = -\frac{6 \text{ V}}{2} = -3 \text{ V}$$

como se muestra en la figura 6.19. Al utilizar el punto de operación de la figura 6.19 se obtiene

$$V_{GS_Q} \cong -2.6 \text{ V}$$

b) De la figura 6.19,

$$I_{D_Q} \cong 3.8 \text{ mA}$$

$$\begin{aligned} \text{c) } V_D &= V_{DD} - I_D R_D \\ &= 12 \text{ V} - (3.8 \text{ mA})(1.5 \text{ k}\Omega) = 12 \text{ V} - 5.7 \text{ V} \\ &= 6.3 \text{ V} \end{aligned}$$

$$\text{d) } V_G = 0 \text{ V}$$

$$\begin{aligned} \text{e) } V_S &= I_D R_S = (3.8 \text{ mA})(680 \Omega) \\ &= 2.58 \text{ V} \end{aligned}$$

$$\begin{aligned} \text{f) } V_{DS} &= V_D - V_S \\ &= 6.3 \text{ V} - 2.58 \text{ V} \\ &= 3.72 \text{ V} \end{aligned}$$

6.4 POLARIZACIÓN MEDIANTE DIVISOR DE VOLTAJE

El arreglo de polarización mediante divisor de voltaje que se aplicó a los amplificadores a transistor BJT también puede aplicarse a los amplificadores a FET, como lo muestra la figura 6.20. La construcción básica es exactamente la misma, pero el análisis en dc de cada una es muy diferente. Para los amplificadores FET $I_G = 0 \text{ A}$, pero la magnitud de I_B para los amplificadores de emisor común puede afectar los niveles de corriente y voltaje de dc, tanto en los circuitos de entrada como en los de salida. Recuerde que I_B proporcionó la relación entre los circuitos de entrada y de salida para la configuración de divisor de voltaje para el BJT, mientras que V_{GS} hará lo mismo en la configuración a FET.

Para el análisis en dc se redibuja la red de la figura 6.20 como se muestra en la figura 6.21. Vemos que todos los capacitores, incluyendo el capacitor de desvío C_S , han sido reemplazados por un “circuito abierto” equivalente. Además, se separó la fuente V_{DD} en dos fuentes equiva-

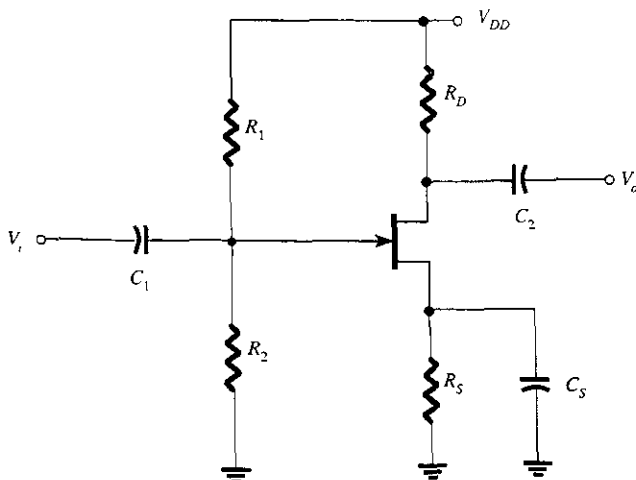


Figura 6.20 Arreglo de polarización mediante divisor de voltaje.

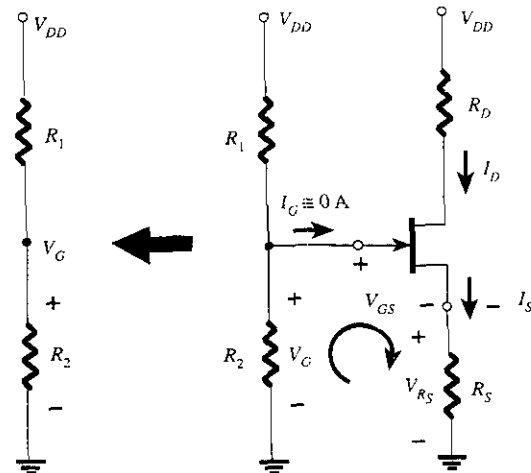


Figura 6.21 Redibujo de la red de la figura 6.20 para el análisis en dc.



lentes con objeto de permitir una separación mayor de las regiones de entrada y salida de la red. Debido a que $I_G = 0$ A, la ley de corriente de Kirchhoff requiere que $I_{R_1} = I_{R_2}$ y que el circuito equivalente en serie que aparece a la izquierda de la figura pueda utilizarse para encontrar el nivel de V_G . El voltaje V_G , igual que el voltaje a través de R_2 , puede encontrarse si se utiliza la regla del divisor de voltaje de la siguiente manera:

$$V_G = \frac{R_2 V_{DD}}{R_1 + R_2} \quad (6.15)$$

Si aplicamos la ley de voltaje de Kirchhoff en el sentido de las manecillas del reloj en el lazo indicado en la figura 6.21, se obtiene

$$V_G - V_{GS} - V_{R_S} = 0$$

y

$$V_{GS} = V_G - V_{R_S}$$

Sustituyendo $V_{R_S} = I_S R_S = I_D R_S$, se tiene

$$V_{GS} = V_G - I_D R_S \quad (6.16)$$

El resultado es una ecuación que todavía incluye las mismas dos variables que aparecen en la ecuación de Shockley: V_{GS} e I_D . Las cantidades V_G y R_S están fijas por la construcción de la red. La ecuación (6.16) es aún la ecuación para una línea recta, pero el origen ya no es un punto de la recta. No es difícil el procedimiento para dibujar la ecuación (6.16) si se procede como se indica a continuación. Debido a que cualquier línea recta requiere la definición de dos puntos, primero está el hecho de que *en cualquier punto a lo largo del eje horizontal* de la figura 6.22 la corriente $I_D = 0$ mA. Entonces, si se *selecciona* I_D para ser igual a 0 mA, en esencia se está estableciendo en algún lugar sobre el eje horizontal. Puede calcularse la localización exacta mediante la simple sustitución de $I_D = 0$ mA en la ecuación (6.16) y encontrando el valor resultante de V_{GS} de la siguiente manera:

$$\begin{aligned} V_{GS} &= V_G - I_D R_S \\ &= V_G - (0 \text{ mA}) R_S \end{aligned}$$

y

$$V_{GS} = V_G \big|_{I_D = 0 \text{ mA}} \quad (6.17)$$

El resultado especifica que siempre que se grafique la ecuación (6.16), en caso de haber seleccionado $I_D = 0$ mA, el valor de V_{GS} para el dibujo será de V_G volts. El punto que se acaba de determinar aparece en la figura 6.22.

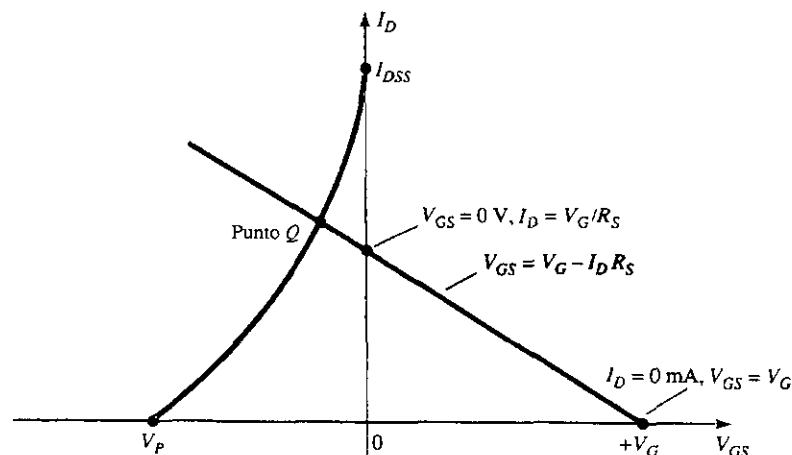


Figura 6.22 Trazo de la ecuación de la red para la configuración mediante divisor de voltaje.

Para el otro punto se utiliza el hecho de que en cualquier punto sobre el eje vertical $V_{GS} = 0$ V, y se resuelve para el valor calculado de I_D :

$$V_{GS} = V_G - I_D R_S$$

$$0 \text{ V} = V_G - I_D R_S$$

e

$$I_D = \frac{V_G}{R_S} \Big|_{V_{GS}=0 \text{ V}} \quad (6.18)$$

El resultado especifica que las veces que se grafique la ecuación (6.16), siempre que $V_{GS} = 0$, el nivel de I_D está determinado por la ecuación (6.18). Esta intersección aparece también en la figura 6.22.

Los dos puntos definidos arriba permiten dibujar una línea recta con objeto de representar la ecuación (6.16). La intersección de la línea recta con la curva de transferencia en la región a la izquierda del eje vertical definirá el punto de operación y los niveles correspondientes de I_D y de V_{GS} .

Debido a que la intersección sobre el eje vertical se calcula mediante $I_D = V_G / R_S$ y V_G está fijo debido a la red de entrada, los valores mayores de R_S reducirán el nivel de la intersección I_D como se muestra en la figura 6.23. Parece muy obvio a partir de la figura 6.23 que:

Cuando aumentan los valores de R_S dan por resultado valores menores estables de I_D , así como valores más negativos de V_{GS} .

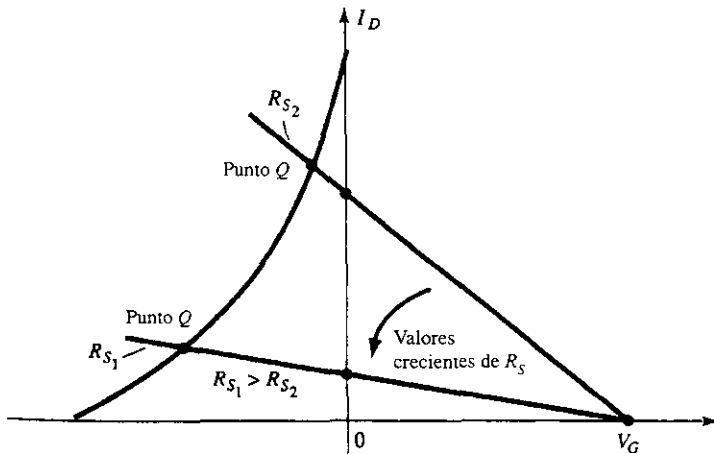


Figura 6.23 Efecto de R_S sobre el punto Q obtenido.

Una vez que se han calculado los valores estables de I_{D_Q} y de V_{GS_Q} , el análisis restante de la red puede desarrollarse de la manera usual. Esto es,

$$V_{DS} = V_{DD} - I_D(R_D + R_S) \quad (6.19)$$

$$V_D = V_{DD} - I_D R_D \quad (6.20)$$

$$V_S = I_D R_S \quad (6.21)$$

$$I_{R_1} = I_{R_2} = \frac{V_{DD}}{R_1 + R_2} \quad (6.22)$$



EJEMPLO 6.5

Determinar lo siguiente para la red de la figura 6.24.

- I_{DQ} y V_{GSQ} .
- V_D .
- V_S .
- V_{DS} .
- V_{DG} .

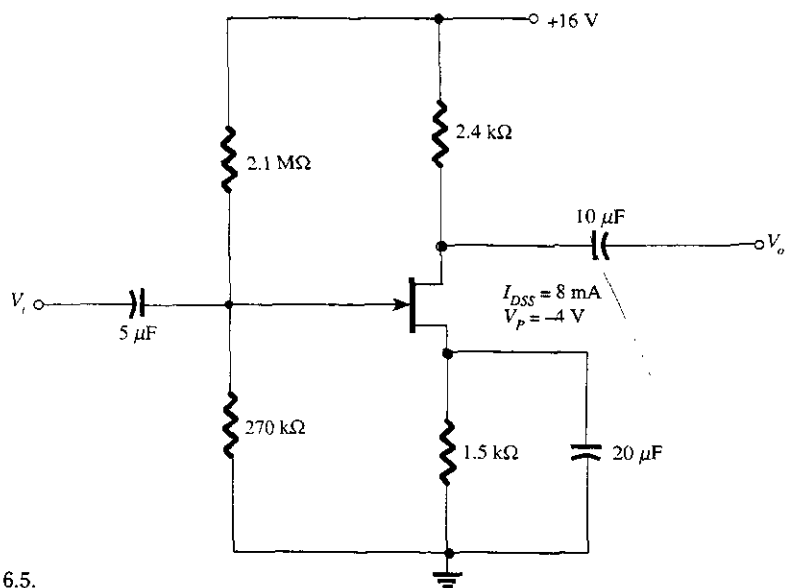


Figura 6.24 Ejemplo 6.5.

Solución

a) Para las características de transferencia, si $I_D = I_{DSS} / 4 = 8 \text{ mA} / 4 = 2 \text{ mA}$, entonces $V_{GS} = V_p / 2 = -4 \text{ V} / 2 = -2 \text{ V}$. La curva resultante que representa la ecuación de Shockley aparece en la figura 6.25. La ecuación de la red está definida por

$$\begin{aligned} V_G &= \frac{R_2 V_{DD}}{R_1 + R_2} \\ &= \frac{(270 \text{ k}\Omega)(16 \text{ V})}{2.1 \text{ M}\Omega + 0.27 \text{ M}\Omega} \\ &= 1.82 \text{ V} \end{aligned}$$

y

$$\begin{aligned} V_{GS} &= V_G - I_D R_S \\ &= 1.82 \text{ V} - I_D (1.5 \text{ k}\Omega) \end{aligned}$$

$$I_D = 0 \text{ mA:}$$

$$V_{GS} = +1.82 \text{ V}$$

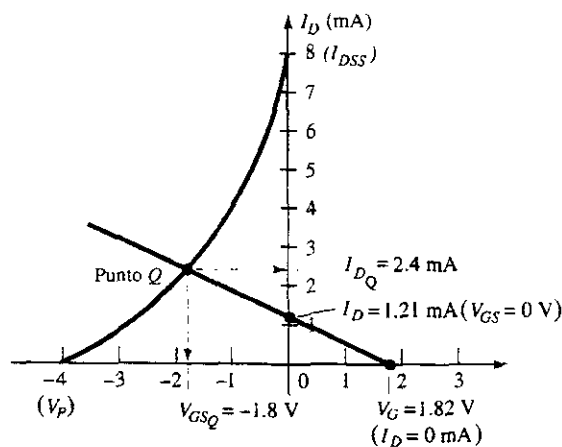


Figura 6.25 Cálculo del punto Q para la red de la figura 6.24.

$$V_{GS} = 0 \text{ V:}$$

$$I_D = \frac{1.82 \text{ V}}{1.5 \text{ k}\Omega} = 1.21 \text{ mA}$$

La recta de polarización que se obtuvo aparece en la figura 6.25 con los valores del punto de operación

$$I_{DQ} = 2.4 \text{ mA}$$

y

$$V_{GSQ} = -1.8 \text{ V}$$

$$\begin{aligned} \text{b) } V_D &= V_{DD} - I_D R_D \\ &= 16 \text{ V} - (2.4 \text{ mA})(2.4 \text{ k}\Omega) \\ &= 10.24 \text{ V} \end{aligned}$$

$$\begin{aligned} \text{c) } V_S &= I_D R_S = (2.4 \text{ mA})(1.5 \text{ k}\Omega) \\ &= 3.6 \text{ V} \end{aligned}$$

$$\begin{aligned} \text{d) } V_{DS} &= V_{DD} - I_D (R_D + R_S) \\ &= 16 \text{ V} - (2.4 \text{ mA})(2.4 \text{ k}\Omega + 1.5 \text{ k}\Omega) \\ &= 6.64 \text{ V} \end{aligned}$$

$$\begin{aligned} \text{e) } V_{DS} &= V_D - V_S = 10.24 \text{ V} - 3.6 \text{ V} \\ &= 6.64 \text{ V} \end{aligned}$$

e) Aunque raras veces se solicita, el voltaje V_{DG} puede determinarse así

$$\begin{aligned} V_{DG} &= V_D - V_G \\ &= 10.24 \text{ V} - 1.82 \text{ V} \\ &= 8.42 \text{ V} \end{aligned}$$

Independientemente de que la construcción básica de la red en el siguiente ejemplo es muy diferente del arreglo de polarización mediante divisor de voltaje, las ecuaciones obtenidas requieren de una solución muy similar a la que se describió. Se observa que la red utiliza una fuente en el drenaje y en la fuente.

Determinar lo siguiente para la red de la figura 6.26.

EJEMPLO 6.6

- I_{DQ} y V_{GSQ} .
- V_{DS} .
- V_D .
- V_S .

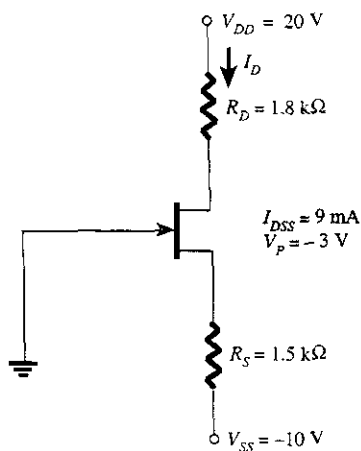


Figura 6.26 Ejemplo 6.6.

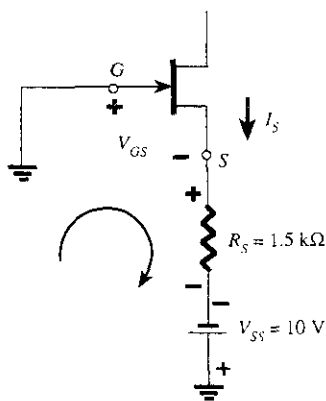


Figura 6.27 Cálculo de la ecuación de la red para la configuración de la figura 6.26.

Solución

a) Se obtiene una ecuación para V_{GS} en términos de I_D al aplicar la ley de voltaje de Kirchhoff a la sección de entrada de la red como está redibujada en la figura 6.27.

$$-V_{GS} - I_S R_S + V_{SS} = 0$$

o
pero

$$V_{GS} = V_{SS} - I_S R_S$$

$$I_S = I_D$$

y

$$\boxed{V_{GS} = V_{SS} - I_D R_S} \quad (6.23)$$

El resultado es una ecuación muy similar en su formato a la ecuación (6.16) que puede sobreponerse a las características de transferencia, empleando el mismo procedimiento de la ecuación (6.16). Para este ejemplo,

$$V_{GS} = 10 \text{ V} - I_D (1.5 \text{ k}\Omega)$$

Para $I_D = 0 \text{ mA}$,

$$V_{GS} = V_{SS} = 10 \text{ V}$$

Para $V_{GS} = 0 \text{ V}$,

$$0 = 10 \text{ V} - I_D (1.5 \text{ k}\Omega)$$

e

$$I_D = \frac{10 \text{ V}}{1.5 \text{ k}\Omega} = 6.67 \text{ mA}$$

Los puntos que se obtienen para la gráfica están identificados en la figura 6.28.

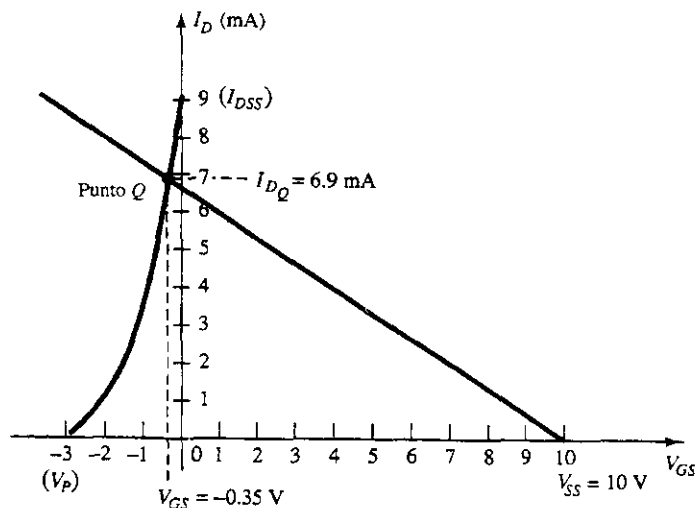


Figura 6.28 Determinación del punto Q para la red de la figura 6.26.

Se graficaron las características de transferencia utilizando el punto de la gráfica establecido por $V_{GS} = V_P/2 = -3 \text{ V}/2 = -1.5 \text{ V}$ e $I_D = I_{DSS}/4 = 9 \text{ mA}/4 = 2.25 \text{ mA}$, que también aparece en la figura 6.28. El punto de operación establece los siguientes niveles de estabilidad:

$$I_{DQ} = 6.9 \text{ mA}$$

$$V_{GSQ} = -0.35 \text{ V}$$

b) Al aplicar la ley de voltaje de Kirchhoff al lado de la salida de la figura 6.26 se obtiene

$$-V_{SS} + I_S R_S + V_{DS} + I_D R_D - V_{DD} = 0$$

Sustituyendo $I_S = I_D$ y reorganizando se obtiene

$$V_{DS} = V_{DD} + V_{SS} - I_D(R_D + R_S) \quad (6.24)$$

el cual para este ejemplo resulta

$$\begin{aligned} V_{DS} &= 20 \text{ V} + 10 \text{ V} - (6.9 \text{ mA})(1.8 \text{ k}\Omega + 1.5 \text{ k}\Omega) \\ &= 30 \text{ V} - 22.77 \text{ V} \\ &= 7.23 \text{ V} \end{aligned}$$

$$\begin{aligned} \text{c) } V_D &= V_{DD} - I_D R_D \\ &= 20 \text{ V} - (6.9 \text{ mA})(1.8 \text{ k}\Omega) = 20 \text{ V} - 12.42 \text{ V} \\ &= 7.58 \text{ V} \end{aligned}$$

$$\begin{aligned} \text{d) } V_{DS} &= V_D - V_S \\ \text{o } V_S &= V_D - V_{DS} \\ &= 7.58 \text{ V} - 7.23 \text{ V} \\ &= 0.35 \text{ V} \end{aligned}$$

6.5 MOSFET DE TIPO DECREMENTAL

Las similitudes que hay en la apariencia entre las curvas de transferencia de los JFET y de los MOSFET de tipo decremental permiten un análisis similar de cada uno en el dominio de dc. La diferencia más importante entre los dos es el hecho de que el MOSFET de tipo decremental permite puntos de operación con valores positivos de V_{GS} y niveles de I_D que excedan I_{DSS} . De hecho, para todas las configuraciones realizadas hasta ahora, el análisis es el mismo si el JFET se reemplaza por un MOSFET de tipo decremental.

La única parte sin definir en el análisis consiste en la forma de graficar la ecuación de Shockley para los valores positivos de V_{GS} . ¿Qué tan lejos debe extenderse la curva de transferencia en la región de valores positivos de V_{GS} y valores de I_D mayores que I_{DSS} ? Para la mayoría de las situaciones este rango necesario estará bien definido por los parámetros del MOSFET y por la recta de polarización que se obtuvo de la red. Unos cuantos ejemplos indicarán el impacto del cambio de dispositivo en el análisis obtenido.

Para el MOSFET de tipo decremental de canal- n de la figura 6.29, determinar:

EJEMPLO 6.7

- I_{DQ} y V_{GSQ} .
- V_{DS} .

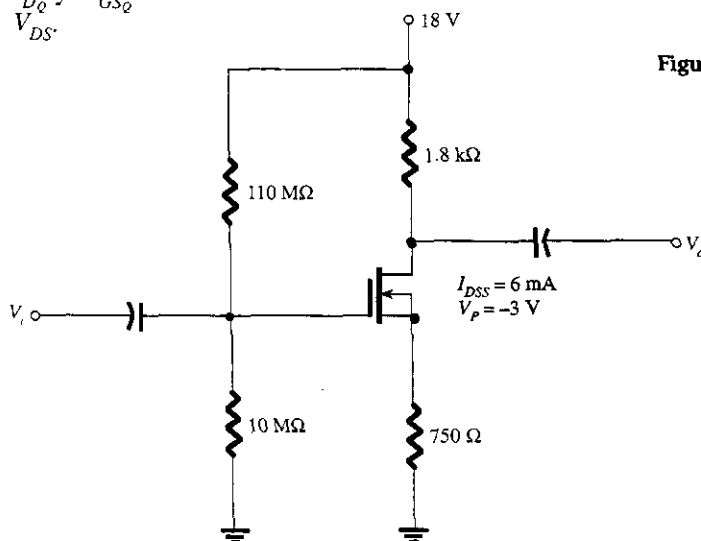


Figura 6.29 Ejemplo 6.7.



Solución

a) Para las características de transferencia se define un punto de la gráfica de $I_D = I_{DSS}/4 = 6 \text{ mA}/4 = 1.5 \text{ mA}$ y $V_{GS} = V_p/4 = -3 \text{ V}/2 = -1.5 \text{ V}$. Al considerar el nivel de V_p y el hecho de que la ecuación de Shockley define una curva que se eleva con mayor rapidez a medida que V_{GS} se hace más positivo, se detalla un punto de la gráfica en $V_{GS} = +1 \text{ V}$. Sustituyendo la ecuación de Shockley

$$\begin{aligned} I_D &= I_{DSS} \left(1 - \frac{V_{GS}}{V_p} \right)^2 \\ &= 6 \text{ mA} \left(1 - \frac{+1 \text{ V}}{-3 \text{ V}} \right)^2 = 6 \text{ mA} \left(1 + \frac{1}{3} \right)^2 = 6 \text{ mA} (1.778) \\ &= 10.67 \text{ mA} \end{aligned}$$

La curva de transferencia que resultó aparece en la figura 6.30. Si seguimos de acuerdo con la manera que se describió para los JFET, se tiene:

$$\text{Ecuación (6.15): } V_G = \frac{10 \text{ M}\Omega (18 \text{ V})}{10 \text{ M}\Omega + 110 \text{ M}\Omega} = 1.5 \text{ V}$$

$$\text{Ecuación (6.16): } V_{GS} = V_G - I_D R_S = 1.5 \text{ V} - I_D (750 \Omega)$$

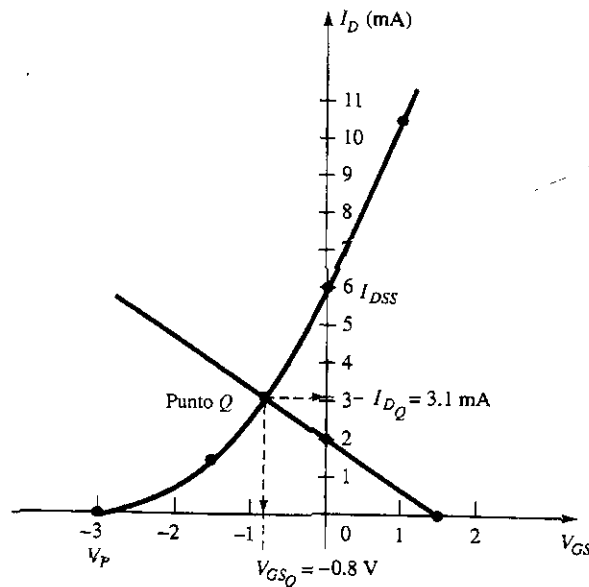


Figura 6.30 Cálculo del punto Q para la red de la figura 6.29.

Haciendo $I_D = 0 \text{ mA}$, se obtiene

$$V_{GS} = V_G = 1.5 \text{ V}$$

Haciendo $V_{GS} = 0 \text{ V}$, se obtiene

$$I_D = \frac{V_G}{R_S} = \frac{1.5 \text{ V}}{750 \Omega} = 2 \text{ mA}$$

En la figura 6.30 aparecen tanto los puntos de la gráfica como la recta de polarización obtenida. El punto de operación resultante:

$$I_{DQ} \approx 3.1 \text{ mA}$$

$$V_{GSQ} = -0.8 \text{ V}$$

b) La ecuación (6.19): $V_{DS} = V_{DD} - I_D(R_D + R_S)$
 $= 18 \text{ V} - (3.1 \text{ mA})(1.8 \text{ k}\Omega + 750 \text{ }\Omega)$
 $\cong 10.1 \text{ V}$

Repetir el ejemplo 6.7 con $R_S = 150 \text{ }\Omega$.

EJEMPLO 6.8

Solución

- a) Los puntos de la gráfica son los mismos para la curva de transferencia como se muestra en la figura 6.31. Para la recta de polarización,

$$V_{GS} = V_G - I_D R_S = 1.5 \text{ V} - I_D(150 \text{ }\Omega)$$

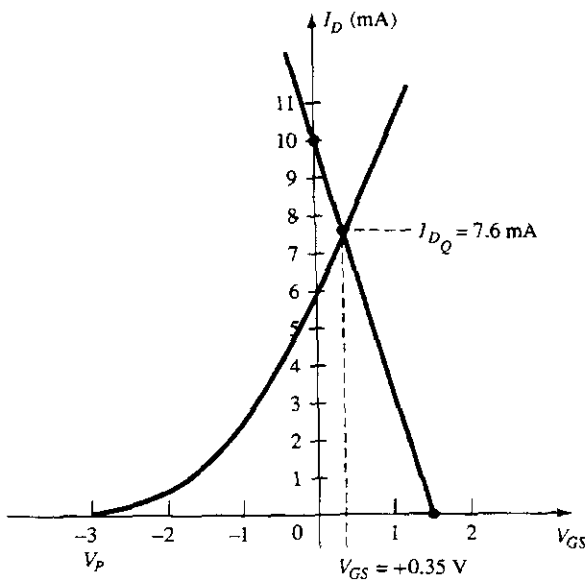


Figura 6.31 Ejemplo 6.8.

Haciendo $I_D = 0 \text{ mA}$, se obtiene

$$V_{GS} = 1.5 \text{ V}$$

Haciendo $V_{GS} = 0 \text{ V}$, se obtiene

$$I_D = \frac{V_G}{R_S} = \frac{1.5 \text{ V}}{150 \text{ }\Omega} = 10 \text{ mA}$$

La recta de polarización está incluida en la figura 6.31. Notamos en este caso que el punto de operación estable da por resultado una corriente de drenaje que excede I_{DSS} con un valor positivo para V_{GS} . El resultado:

$$I_{DQ} = 7.6 \text{ mA}$$

$$V_{GSQ} = +0.35 \text{ V}$$

b) La ecuación (6.19): $V_{DS} = V_{DD} - I_D(R_D + R_S)$
 $= 18 \text{ V} - (7.6 \text{ mA})(1.8 \text{ k}\Omega + 150 \text{ }\Omega)$
 $= 3.18 \text{ V}$

EJEMPLO 6.9

Determinar lo siguiente para la red de la figura 6.32.

- I_{DQ} y V_{GSQ} .
- V_D .

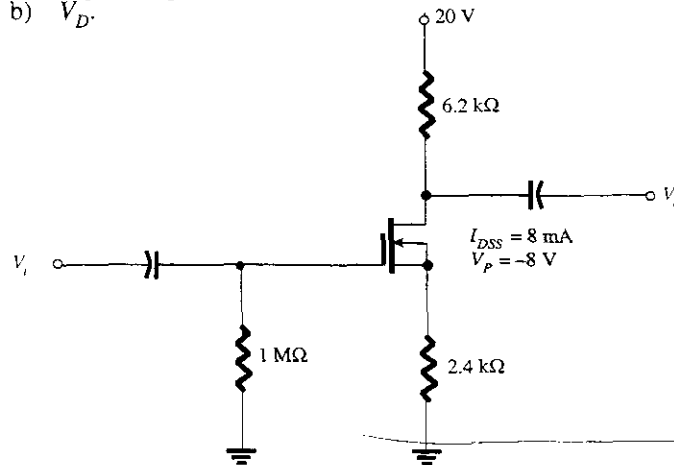


Figura 6.32 Ejemplo 6.9.

Solución

- La configuración de autopolarización da por resultado

$$V_{GS} = -I_D R_S$$

como la que se obtuvo para la configuración JFET, estableciendo el hecho que V_{GS} debe ser menor que cero volts. Por tanto, no existe la necesidad de graficar la curva de transferencia para los valores positivos de V_{GS} , aunque en esta ocasión se hizo para completar las características de transferencia. Un punto de la gráfica para las características de transferencia de $V_{GS} < 0$ V es

$$I_D = \frac{I_{DSS}}{4} = \frac{8 \text{ mA}}{4} = 2 \text{ mA}$$

$$y \quad V_{GS} = \frac{V_P}{2} = \frac{-8 \text{ V}}{2} = -4 \text{ V}$$

y dado $V_P = -8 \text{ V}$, para $V_{GS} > 0 \text{ V}$ se seleccionará

$$V_{GS} = +2 \text{ V}$$

$$e \quad I_D = I_{DSS} \left(1 - \frac{V_{GS}}{V_P} \right)^2 = 8 \text{ mA} \left(1 - \frac{+2 \text{ V}}{-8 \text{ V}} \right)^2 = 12.5 \text{ mA}$$

En la figura 6.33 aparece la curva de transferencia que se obtuvo. Para la recta de polarización, en $V_{GS} = 0 \text{ V}$, $I_D = 0 \text{ mA}$. Al elegir $V_{GS} = -6 \text{ V}$ se obtiene

$$I_D = -\frac{V_{GS}}{R_S} = -\frac{-6 \text{ V}}{2.4 \text{ k}\Omega} = 2.5 \text{ mA}$$

El punto Q resultante:

$$I_{DQ} = 1.7 \text{ mA}$$

$$V_{GSQ} = -4.3 \text{ V}$$

$$\begin{aligned} b) \quad V_D &= V_{DD} - I_D R_D \\ &= 20 \text{ V} - (1.7 \text{ mA})(6.2 \text{ k}\Omega) \\ &= 9.46 \text{ V} \end{aligned}$$

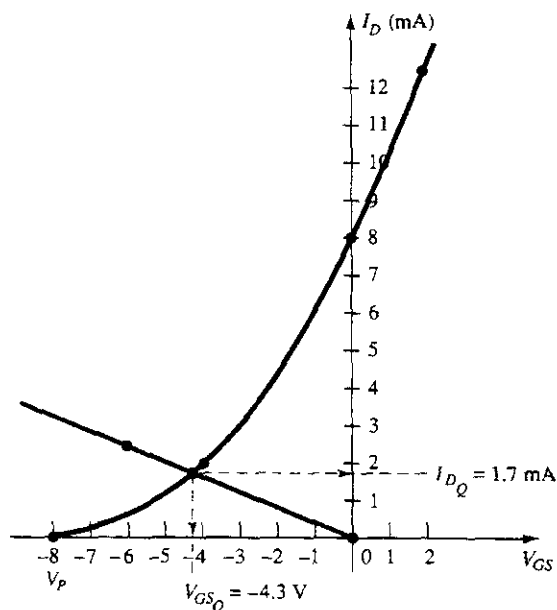


Figura 6.33 Cálculo del punto Q para la red de la figura 6.32.

El siguiente ejemplo utiliza un diseño que también puede aplicarse a los transistores JFET. A primera vista aparece algo simple, pero a menudo causa cierta confusión cuando se analiza por primera vez debido al punto de operación especial.

Determinar V_{DS} para la red de la figura 6.34.

EJEMPLO 6.10

Solución

La conexión directa entre las terminales de la compuerta y la fuente requiere que

$$V_{GS} = 0 \text{ V}$$

Debido a que V_{GS} está fija en 0 V, la corriente de drenaje debe ser I_{DSS} (por definición). En otras palabras,

$$V_{GS_Q} = 0 \text{ V}$$

e

$$I_{D_Q} = 10 \text{ mA}$$

Por tanto, no existe la necesidad de dibujar la curva de transferencia y

$$\begin{aligned} V_D &= V_{DD} - I_D R_D = 20 \text{ V} - (10 \text{ mA})(1.5 \text{ k}\Omega) \\ &= 20 \text{ V} - 15 \text{ V} \\ &= 5 \text{ V} \end{aligned}$$

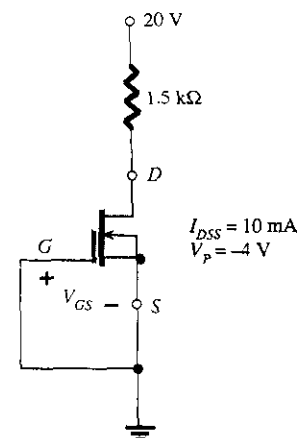


Figura 6.34 Ejemplo 6.10.

6.6 MOSFET DE TIPO INCREMENTAL

Las características de transferencia del MOSFET de tipo incremental son muy diferentes de las encontradas para el JFET y los MOSFET de tipo decremental, pero se obtiene una solución gráfica muy diferente a las encontradas en secciones precedentes. Lo primero y quizá más importante es recordar que para el MOSFET de tipo incremental de canal- n , la corriente de drenaje es cero para aquellos niveles de voltaje compuerta-fuente, menores que el nivel del umbral $V_{GS(Th)}$, como lo muestra la figura 6.35. Para los niveles de V_{GS} mayores que $V_{GS(Th)}$, la corriente de drenaje se define mediante

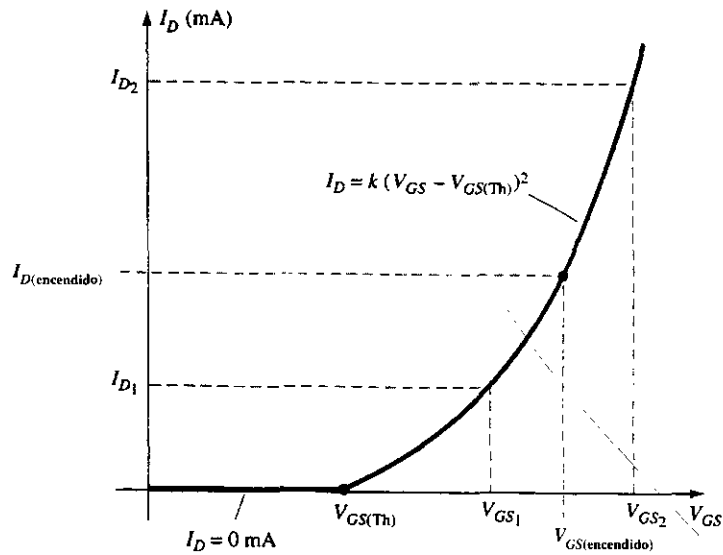


Figura 6.35 Características de transferencia de un MOSFET de tipo incremental de canal-*n*.

$$I_D = k(V_{GS} - V_{GS(Th)})^2 \quad (6.25)$$

Ya que las hojas de especificaciones por lo general proporcionan el voltaje del umbral y un nivel de corriente de drenaje ($I_{D(encendido)}$), así como su nivel correspondiente de $V_{GS(encendido)}$, pueden definirse dos puntos de inmediato como lo muestra la figura 6.35. Para completar la curva, primero tiene que determinar la constante k de la ecuación (6.25) a partir de los datos de las hojas de especificaciones mediante la sustitución en la ecuación (6.25) y resolviendo para k de la siguiente manera:

$$I_D = k(V_{GS} - V_{GS(Th)})^2$$

$$I_{D(encendido)} = k(V_{GS(encendido)} - V_{GS(Th)})^2$$

y

$$k = \frac{I_{D(encendido)}}{(V_{GS(encendido)} - V_{GS(Th)})^2} \quad (6.26)$$

Una vez que k está definida, pueden calcularse otros niveles de I_D para los valores seleccionados de V_{GS} . Por lo general, un punto entre $V_{GS(Th)}$ y $V_{GS(encendido)}$ y uno un poco mayor que $V_{GS(encendido)}$ ofrecerán una cantidad suficiente de puntos para graficar la ecuación (6.25) (obsérvense I_{D1} e I_{D2} en la figura 6.35).

Arreglo de polarización por retroalimentación

En la figura 6.36 se proporciona un arreglo común de polarización para los MOSFET de tipo incremental. El resistor R_G proporciona un voltaje suficientemente grande a la compuerta para “encender” el MOSFET. Debido a que $I_G = 0$ mA y $V_{R_G} = 0$ V, la red equivalente de dc aparece como se muestra en la figura 6.37.

Existe ahora una conexión directa entre el drenaje y la compuerta, y tenemos

$$V_D = V_G$$

y

$$V_{DS} = V_{GS} \quad (6.27)$$

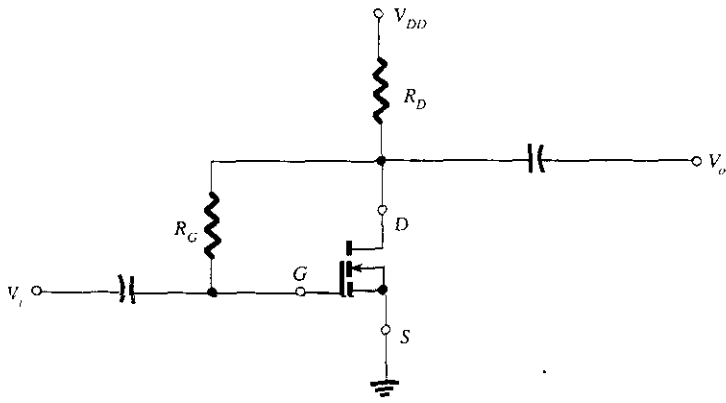


Figura 6.36 Arreglo de polarización por retroalimentación.

Para el circuito de salida,

$$V_{DS} = V_{DD} - I_D R_D$$

la cual se convierte en la siguiente ecuación después de sustituir la ecuación (6.27):

$$V_{GS} = V_{DD} - I_D R_D \quad (6.28)$$

Se obtiene una ecuación que relaciona las mismas dos variables como la ecuación (6.25), permitiendo graficar cada una en el mismo conjunto de ejes.

Debido a que la ecuación (6.28) es la de una línea recta, puede emplearse el mismo procedimiento que se describió con anterioridad, para calcular los dos puntos que definirán el trazo sobre la gráfica. Sustituyendo $I_D = 0$ mA en la ecuación (6.28) se obtiene

$$V_{GS} = V_{DD} \big|_{I_D = 0 \text{ mA}} \quad (6.29)$$

Sustituyendo $V_{GS} = 0$ V en la ecuación (6.28), se tiene

$$I_D = \frac{V_{DD}}{R_D} \big|_{V_{GS} = 0 \text{ V}} \quad (6.30)$$

Las gráficas definidas por las ecuaciones (6.25) y (6.28) aparecen en la figura 6.38 con el punto de operación resultante.

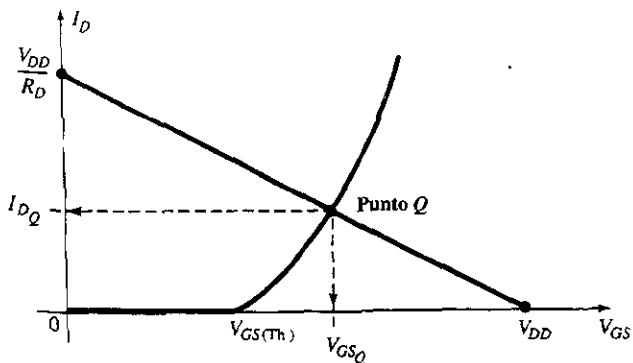


Figura 6.38 Cálculo del punto Q para la red de la figura 6.36.

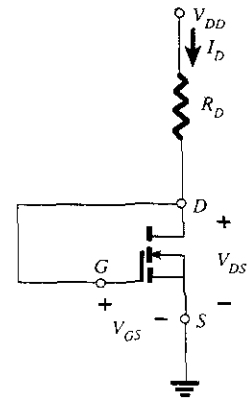


Figura 6.37 Equivalente de dc de la red de la figura 6.36.



EJEMPLO 6.11

Determinar I_{DQ} y V_{DSQ} para el MOSFET de tipo incremental de la figura 6.39.

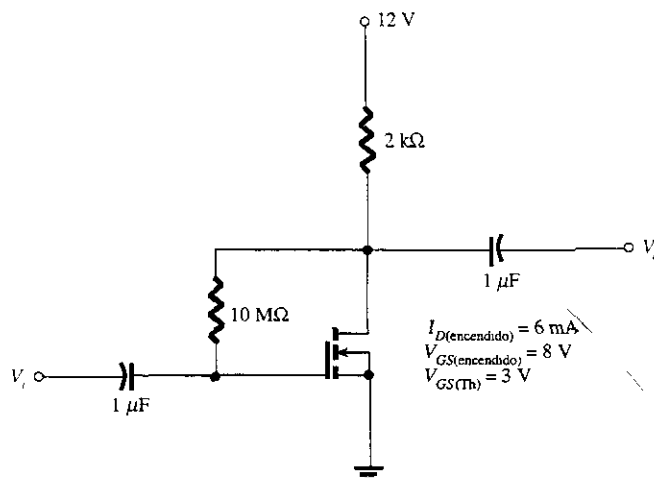


Figura 6.39 Ejemplo 6.11.

Solución

Gráfica de la curva de transferencia: Se definen de inmediato dos puntos como se muestra en la figura 6.40. Resolviendo para k :

$$\begin{aligned} \text{Ecuación (6.26): } k &= \frac{I_{D(\text{encendido})}}{(V_{GS(\text{encendido})} - V_{GS(\text{Th})})^2} \\ &= \frac{6 \text{ mA}}{(8 \text{ V} - 3 \text{ V})^2} = \frac{6 \times 10^{-3}}{25} \text{ A/V}^2 \\ &= 0.24 \times 10^{-3} \text{ A/V}^2 \end{aligned}$$

Para $V_{GS} = 6 \text{ V}$ (entre 3 y 8 V):

$$\begin{aligned} I_D &= 0.24 \times 10^{-3} (6 \text{ V} - 3 \text{ V})^2 = 0.24 \times 10^{-3} (9) \\ &= 2.16 \text{ mA} \end{aligned}$$

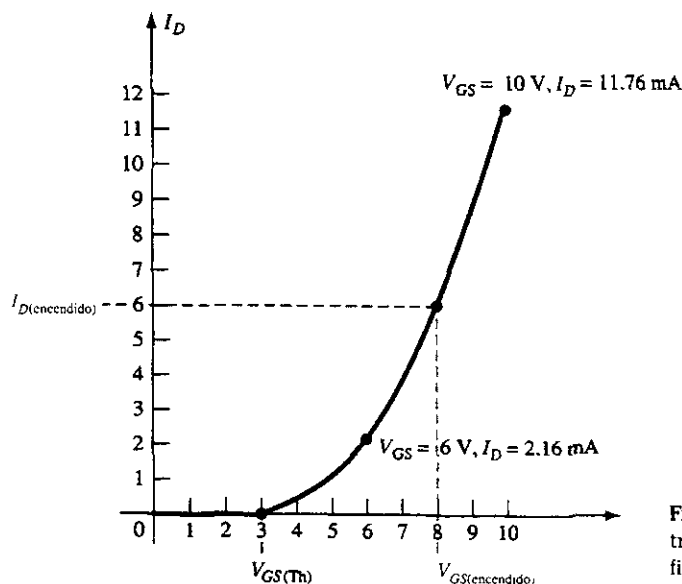


Figura 6.40 Gráfica de la curva de transferencia para el MOSFET de la figura 6.39.

como se muestra en la figura 6.40. Para $V_{GS} = 10 \text{ V}$ (ligeramente mayor que $V_{GS(Th)}$):

$$\begin{aligned} I_D &= 0.24 \times 10^{-3} (10 \text{ V} - 3 \text{ V})^2 = 0.24 \times 10^{-3} (49) \\ &= 11.76 \text{ mA} \end{aligned}$$

como aparece también en la figura 6.40. Los cuatro puntos son suficientes para graficar la curva total para el rango de interés como se muestra en la figura 6.40.

Para la red de la recta de polarización:

$$\begin{aligned} V_{GS} &= V_{DD} - I_D R_D \\ &= 12 \text{ V} - I_D (2 \text{ k}\Omega) \end{aligned}$$

La ecuación (6.29): $V_{GS} = V_{DD} = 12 \text{ V} \mid I_D = 0 \text{ mA}$

La ecuación (6.30): $I_D = \frac{V_{DD}}{R_D} = \frac{12 \text{ V}}{2 \text{ k}\Omega} = 6 \text{ mA} \mid V_{GS} = 0 \text{ V}$

La recta de polarización que resultó aparece en la figura 6.41. El punto de operación:

$$I_{DQ} = 2.75 \text{ mA}$$

y $V_{GSQ} = 6.4 \text{ V}$

con $V_{DSQ} = V_{GSQ} = 6.4 \text{ V}$

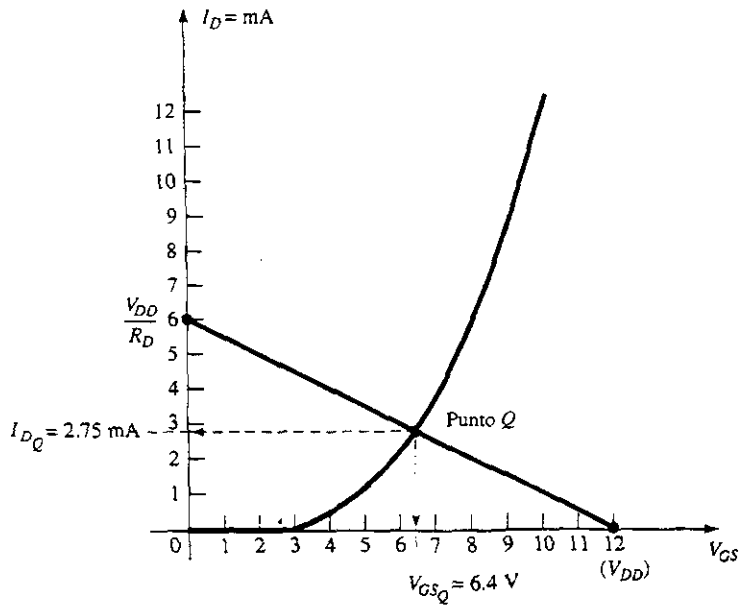


Figura 6.41 Cálculo del punto Q para la red de la figura 6.39.

Arreglo de polarización mediante divisor de voltaje

En la figura 6.42 aparece un segundo arreglo de polarización común para el MOSFET de tipo incremental. El hecho de que $I_G = 0 \text{ mA}$ da por resultado la siguiente ecuación para V_{GG} como se deriva a partir de una aplicación de la regla del divisor de voltaje:

$$V_G = \frac{R_2 V_{DD}}{R_1 + R_2} \quad (6.31)$$

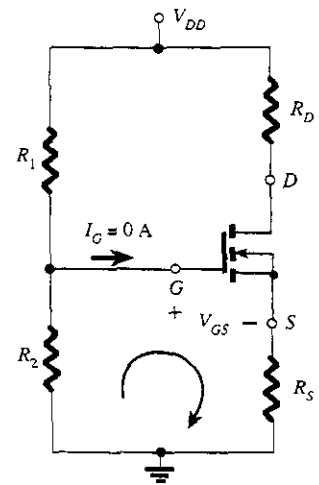


Figura 6.42 Arreglo de polarización mediante divisor de voltaje para un MOSFET de tipo incremental de canal-n.



Cuando se aplica la ley de voltaje de Kirchhoff alrededor de la malla indicada en la figura 6.42 resulta

$$+V_G - V_{GS} - V_{R_S} = 0$$

y

$$V_{GS} = V_G - V_{R_S}$$

o

$$V_{GS} = V_G - I_D R_S \quad (6.32)$$

Para la sección de salida:

$$V_{R_S} + V_{DS} + V_{R_D} - V_{DD} = 0$$

y

$$V_{DS} = V_{DD} - V_{R_S} - V_{R_D}$$

o

$$V_{DS} = V_{DD} - I_D (R_S + R_D) \quad (6.33)$$

Debido a que las características son una gráfica de I_D en función V_{GS} , y que la ecuación (6.32) relaciona las mismas dos variables, pueden graficarse las dos curvas en la misma gráfica y hacer el cálculo de la solución en la intersección de ambas. Una vez que se conocen I_{D_Q} y V_{GS_Q} , pueden entonces calcularse todas las cantidades restantes de la red, tales como V_{DS} , V_D y V_S .

EJEMPLO 6.12

Determinar I_{D_Q} , V_{GS_Q} , así como V_{DS} para la red de la figura 6.43.

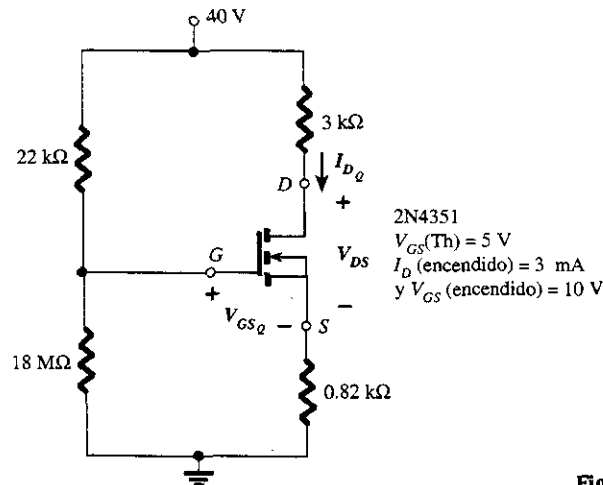


Figura 6.43 Ejemplo 6.12.

Solución

Red:

$$\text{La ecuación (6.31): } V_G = \frac{R_2 V_{DD}}{R_1 + R_2} = \frac{(18 \text{ M}\Omega)(40 \text{ V})}{22 \text{ M}\Omega + 18 \text{ M}\Omega} = 18 \text{ V}$$

$$\text{La ecuación (6.32): } V_{GS} = V_G - I_D R_S = 18 \text{ V} - I_D (0.82 \text{ k}\Omega)$$

Cuando $I_D = 0 \text{ mA}$,

$$V_{GS} = 18 \text{ V} - (0 \text{ mA})(0.82 \text{ k}\Omega) = 18 \text{ V}$$

tal como aparece en la figura 6.44. Cuando $V_{GS} = 0 \text{ V}$,

$$V_{GS} = 18 \text{ V} - I_D (0.82 \text{ k}\Omega)$$

$$0 = 18 \text{ V} - I_D (0.82 \text{ k}\Omega)$$

$$I_D = \frac{18 \text{ V}}{0.82 \text{ k}\Omega} = 21.95 \text{ mA}$$

tal como aparece en la figura 6.44.

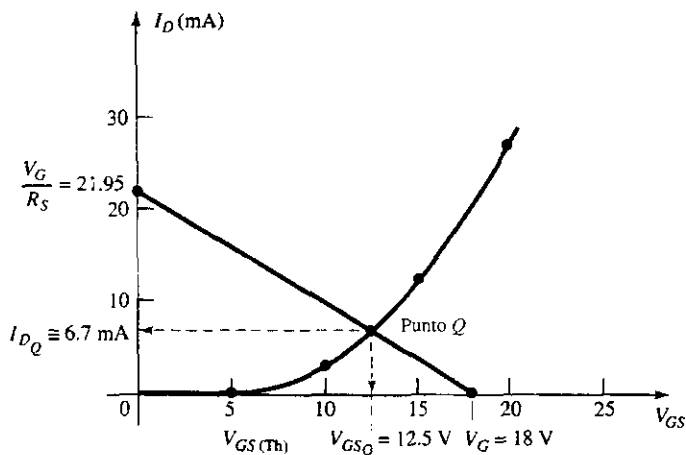


Figura 6.44 Determinación del punto Q para la red del ejemplo 6.12.

Dispositivo:

$$V_{GS(Th)} = 5 \text{ V}, \quad I_{D(\text{encendido})} = 3 \text{ mA con } V_{GS(\text{encendido})} = 10 \text{ V}$$

La ecuación (6.26):

$$k = \frac{I_{D(\text{encendido})}}{(V_{GS(\text{encendido})} - V_{GS(Th)})^2}$$

$$= \frac{3 \text{ mA}}{(10 \text{ V} - 5 \text{ V})^2} = 0.12 \times 10^{-3} \text{ A/V}^2$$

e

$$I_D = k(V_{GS} - V_{GS(Th)})^2$$

$$= 0.12 \times 10^{-3}(V_{GS} - 5)^2$$

la cual se traza sobre la misma gráfica (figura 6.44). De la figura 6.44,

$$I_{D_Q} \approx 6.7 \text{ mA}$$

$$V_{GS_Q} = 12.5 \text{ V}$$

La ecuación (6.33):

$$V_{DS} = V_{DD} - I_D(R_S + R_D)$$

$$= 40 \text{ V} - (6.7 \text{ mA})(0.82 \text{ k}\Omega + 3.0 \text{ k}\Omega)$$

$$= 40 \text{ V} - 25.6 \text{ V}$$

$$= 14.4 \text{ V}$$

6.7 TABLA RESUMEN

Ahora que se han presentado los arreglos de polarización más comunes para los diferentes FET, se desarrolló la tabla 6.1 para revisar los resultados básicos, y para demostrar la similitud del método para una cierta cantidad de configuraciones. También indica que el análisis general de las configuraciones de dc para los FET no es demasiado complejo. Una vez que se han establecido las características de transferencia, entonces puede determinarse la recta de autopolarización de la red y el punto Q en la intersección de la característica de transferencia del dispositivo, y la curva de la red de polarización. El análisis restante sólo consiste en la aplicación de las leyes básicas del análisis de circuitos.

TABLA 6.1 Configuraciones polarización de FET

Tipo	Configuración	Ecuaciones pertinentes	Solución gráfica
JFET con polarización fija		$V_{GSQ} = -V_{GG}$ $V_{DS} = V_{DD} - I_D R_D$	
JFET con autopolarización		$V_{GS} = -I_D R_S$ $V_{DS} = V_{DD} - I_D (R_D + R_S)$	
JFET con polarización mediante divisor de voltaje		$V_G = \frac{R_2 V_{DD}}{R_1 + R_2}$ $V_{GS} = V_G - I_D R_S$ $V_{DS} = V_{DD} - I_D (R_D + R_S)$	
Compuerta común JFET		$V_{GS} = V_{SS} - I_D R_S$ $V_{DS} = V_{DD} + V_{SS} - I_D (R_D + R_S)$	
JFET ($V_{GSQ} = 0 \text{ V}$)		$V_{GSQ} = 0 \text{ V}$ $I_{DQ} = I_{DSS}$	
JFET ($R_D = 0 \Omega$)		$V_{GS} = -I_D R_S$ $V_D = V_{DD}$ $V_S = I_D R_S$ $V_{DS} = V_{DD} - I_D R_S$	
MOSFET de tipo decremental (Todas las configuraciones arriba de los casos positivos donde $V_{GSQ} = + \text{ voltaje}$) Polarización fija		$V_{GSQ} = +V_{GG}$ $V_{DS} = V_{DD} - I_D R_D$	
MOSFET de tipo decremental Polarización mediante divisor de voltaje		$V_G = \frac{R_2 V_{DD}}{R_1 + R_2}$ $V_{GS} = V_G - I_D R_S$ $V_{DS} = V_{DD} - I_D (R_D + R_S)$	
MOSFET de tipo incremental Configuración por retroalimentación		$V_{GS} = V_{DS}$ $V_{GS} = V_{DD} - I_D R_D$	
MOSFET de tipo incremental Polarización mediante divisor de voltaje		$V_G = \frac{R_2 V_{DD}}{R_1 + R_2}$ $V_{GS} = V_G - I_D R_S$	

6.8 REDES COMBINADAS

Ahora que se estableció el análisis en dc para una variedad de configuraciones a BJT y FET, se presenta por sí misma la oportunidad de analizar las redes con ambos tipos de dispositivos. Es fundamental entender que el análisis sólo requiere que *primero* se estudie el dispositivo que proporcionará un voltaje o un nivel de corriente en la terminal. Luego, la puerta se encuentra abierta para calcular otras cantidades y concentrarse en las incógnitas restantes. Estos son, por lo general, problemas que resultan interesantes, debido al reto que implica encontrar la entrada, y luego utilizar los resultados de las últimas secciones y el capítulo 5 para hallar las cantidades importantes de cada dispositivo. Las ecuaciones y relaciones que se necesitan sólo son las que hasta ahora se han utilizado en más de una ocasión, así que no existe la necesidad de desarrollar nuevos métodos de análisis.

Determinar los niveles de V_D y V_C para la red de la figura 6.45.

EJEMPLO 6.13

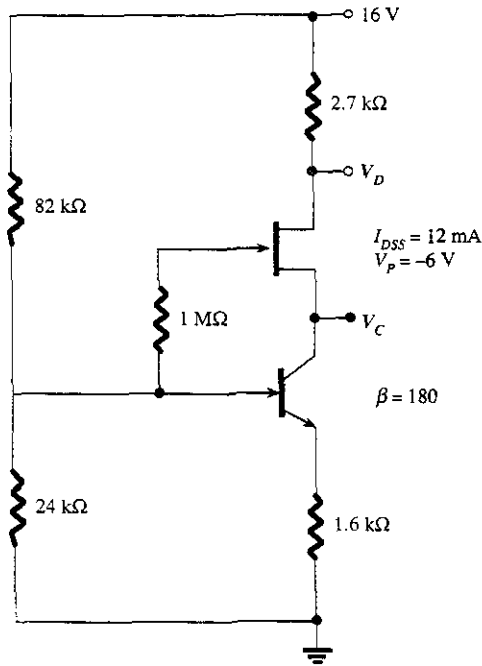


Figura 6.45 Ejemplo 6.13.

Solución

A partir de la experiencia pasada, ahora se sabe que V_{GS} es, por lo general, una cantidad importante para determinar o escribir una ecuación con objeto de analizar las redes con JFET. Debido a que V_{GS} es un valor para el cual no es obvia una solución inmediata, se dará énfasis a la configuración del transistor bipolar. La configuración mediante divisor de voltaje es una donde puede aplicarse la técnica aproximada ($\beta R_E = (180 \times 1.6 \text{ k}\Omega) = 288 \text{ k}\Omega > 10R_2 = 240 \text{ k}\Omega$), lo cual permite un cálculo de V_B utilizando la regla del divisor de voltaje en el circuito de entrada.

Para V_B :

$$V_B = \frac{24 \text{ k}\Omega (16 \text{ V})}{82 \text{ k}\Omega + 24 \text{ k}\Omega} = 3.62 \text{ V}$$

Con el hecho que $V_{BE} = 0.7 \text{ V}$ se obtiene

$$\begin{aligned} V_E &= V_B - V_{BE} = 3.62 \text{ V} - 0.7 \text{ V} \\ &= 2.92 \text{ V} \end{aligned}$$



$$e \quad I_E = \frac{V_{R_E}}{R_E} = \frac{V_E}{R_E} = \frac{2.92 \text{ V}}{1.6 \text{ k}\Omega} = 1.825 \text{ mA}$$

$$\text{con} \quad I_C \cong I_E = 1.825 \text{ mA}$$

A continuación, se encuentra que para esta configuración

$$I_D = I_S = I_C$$

$$\begin{aligned} y \quad V_D &= 16 \text{ V} - I_D(2.7 \text{ k}\Omega) \\ &= 16 \text{ V} - (1.825 \text{ mA})(2.7 \text{ k}\Omega) = 16 \text{ V} - 4.93 \text{ V} \\ &= \mathbf{11.07 \text{ V}} \end{aligned}$$

La pregunta sobre cómo calcular V_C no es tan obvia. Tanto V_{CE} como V_{DS} son cantidades desconocidas que evitan que se establezca una relación entre V_D y V_C o de V_E y V_D . Un examen más cuidadoso de la figura 6.45 indica que V_C está relacionado a V_B mediante V_{GS} (suponiendo que $V_{R_G} = 0 \text{ V}$). Si puede encontrarse V_{GS} , se podrá conocer V_B , y calcularse V_C a partir de

$$V_C = V_B - V_{GS}$$

Luego surge la pregunta acerca de cómo encontrar el valor de V_{GS_Q} a partir del valor estable de I_D . Los dos valores se encuentran relacionados mediante la ecuación de Shockley:

$$I_{D_Q} = I_{DSS} \left(1 - \frac{V_{GS_Q}}{V_P} \right)^2$$

y V_{GS_Q} puede determinarse bajo un esquema matemático al resolver V_{GS_Q} y sustituir los valores numéricos. Sin embargo, se regresa al método gráfico para trabajar sólo en el orden inverso que se utilizó en las secciones precedentes. Primero se trazan las características de transferencia del JFET como se muestra en la figura 6.46. Luego se establece el nivel de I_{D_Q} por medio de una línea horizontal como se muestra en la misma figura. Luego se determina V_{GS_Q} al dibujar una línea desde el punto de operación hacia el eje horizontal, dando por resultado

$$V_{GS_Q} = \mathbf{-3.7 \text{ V}}$$

El nivel de V_C :

$$\begin{aligned} V_C &= V_B - V_{GS_Q} = 3.62 \text{ V} - (-3.7 \text{ V}) \\ &= \mathbf{7.32 \text{ V}} \end{aligned}$$

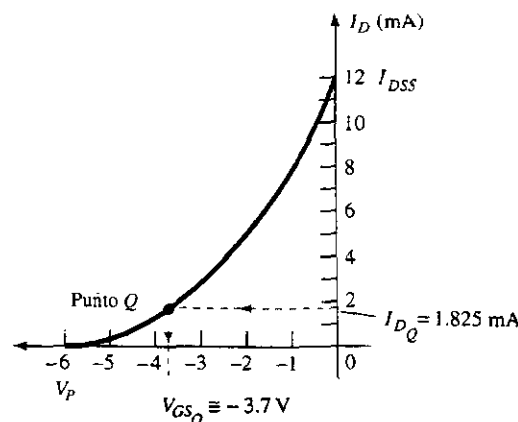


Figura 6.46 Cálculo del punto Q para la red de la figura 6.45.

Calcular V_D para la red de la figura 6.47.

EJEMPLO 6.14

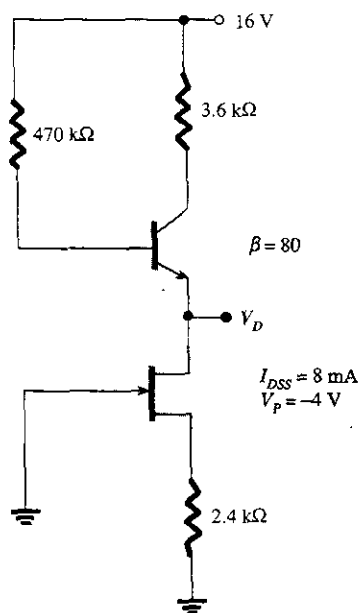


Figura 6.47 Ejemplo 6.14.

Solución

En este caso no existe una trayectoria obvia para determinar un valor de voltaje o de corriente para la configuración a transistores. Sin embargo, al revisar el JFET con autopolarización, puede derivarse una ecuación para V_{GS} y así calcular el punto de operación estable resultante con la ayuda de técnicas gráficas. Esto es,

$$V_{GS} = -I_D R_S = -I_D (2.4 \text{ k}\Omega)$$

con la cual se logra la recta de autopolarización que aparece en la figura 6.48 en

$$V_{GS_Q} = -2.6 \text{ V}$$

$$I_{D_Q} = 1 \text{ mA}$$

Para el transistor bipolar,

$$I_E \cong I_C = I_D = 1 \text{ mA}$$

$$e \quad I_B = \frac{I_C}{\beta} = \frac{1 \text{ mA}}{80} = 12.5 \text{ }\mu\text{A}$$

$$\begin{aligned} V_B &= 16 \text{ V} - I_B (470 \text{ k}\Omega) \\ &= 16 \text{ V} - (12.5 \text{ }\mu\text{A})(470 \text{ k}\Omega) = 16 \text{ V} - 5.875 \text{ V} \\ &= 10.125 \text{ V} \end{aligned}$$

$$\begin{aligned} y \quad V_E &= V_D = V_B - V_{BE} \\ &= 10.125 \text{ V} - 0.7 \text{ V} \\ &= 9.425 \text{ V} \end{aligned}$$

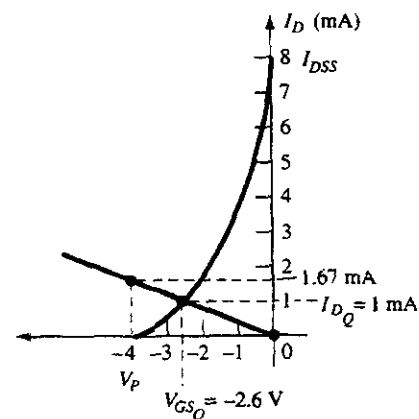


Figura 6.48 Cálculo del punto Q para la red de la figura 6.47.

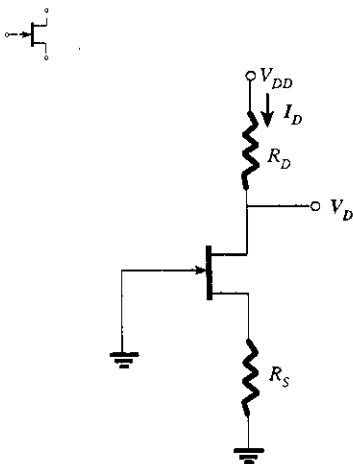


Figura 6.49 Configuración de autopolarización que se diseñará.

6.9 DISEÑO

El proceso de diseño no está limitado sólo a las condiciones de dc. En el proceso del diseño total entran el área de aplicación, el nivel de amplificación deseado, la potencia de la señal y las condiciones de operación como unas cuantas de las condiciones existentes. Sin embargo, primero tiene que concentrarse en el establecimiento de las condiciones de dc que se eligieron.

Por ejemplo, si están especificados los niveles de V_D e I_D para la red de la figura 6.49, puede determinarse el nivel de V_{GSQ} mediante una curva de transferencia y también se puede calcular R_S a partir de $V_{GS} = -I_D R_S$. Si está especificado V_{DD} , puede calcularse el valor de R_D a partir de $R_D = (V_{DD} - V_D)/I_D$. Desde luego, es posible que los valores de R_S y de R_D no sean valores estándar disponibles en el mercado, y que requieran del uso del valor comercial más cercano. Sin embargo, junto con las tolerancias (rangos de valores) que normalmente se especifican para los parámetros de una red, rara vez causará un problema real en el proceso de diseño la pequeña variación debida a la selección de valores estándares.

La anterior es sólo una posibilidad durante la fase de diseño que involucra la red de la figura 6.49. Es posible que sólo se hayan especificado V_{DD} y R_D junto con el valor de V_{DS} . Pero debe especificarse el dispositivo que se va a utilizar junto con el nivel de R_S . Parece lógico que el dispositivo deba tener un valor máximo de V_{DS} mayor que el valor de diseño especificado con cierto margen de seguridad.

Por lo general, para los amplificadores lineales es una buena práctica elegir los puntos de operación que no alcancen los valores de saturación (I_{DSS}), o las regiones de corte (V_P). Es verdad que durante el diseño son razonables unos puntos iniciales, para V_{GSQ} los valores cercanos a $V_P/2$ o de $I_{DSS}/2$ para I_{DQ} . Desde luego, en cualquier proceso de diseño no deben excederse los valores máximos de I_D ni de V_{DS} que aparecen en las hojas de especificaciones.

Los ejemplos que siguen a continuación tienen un diseño u orientación hacia la síntesis, de tal forma que se proporcionan los valores específicos, y deben calcularse los parámetros de la red como R_D , R_S , V_{DD} , y así sucesivamente. En cualquier caso, el enfoque es en muchos casos opuesto al descrito en secciones anteriores. En algunos ejemplos, se trata sólo de aplicar la ley de Ohm de una forma adecuada. En particular, si se solicitan valores de resistencias, el resultado se logra mediante la simple aplicación de la ley de Ohm de la siguiente manera:

$$R_{\text{desconocida}} = \frac{V_R}{I_R} \quad (6.34)$$

donde V_R e I_R a menudo son parámetros que se localizan en forma directa a partir de los valores de voltaje y corriente especificados.

EJEMPLO 6.15

Para la red de la figura 6.50 están especificados los niveles de V_{DQ} y de I_{DQ} . Calcular los valores necesarios de R_D y de R_S . ¿Cuáles son los valores estándar más cercanos disponibles en el mercado?

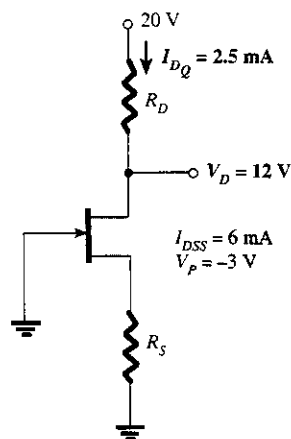


Figura 6.50 Ejemplo 6.15.

Solución

Por la definición de la ecuación (6.34),

$$R_D = \frac{V_{R_D}}{I_{D_Q}} = \frac{V_{DD} - V_{D_Q}}{I_{D_Q}}$$

$$= \frac{20 \text{ V} - 12 \text{ V}}{2.5 \text{ mA}} = \frac{8 \text{ V}}{2.5 \text{ mA}} = 3.2 \text{ k}\Omega$$

y

Al graficar la curva de transferencia de la figura 6.51 y dibujar la línea horizontal en $I_{D_Q} = 2.5 \text{ mA}$ se obtiene $V_{GS_Q} = -1 \text{ V}$, y la aplicación de $V_{GS} = -I_{D_Q}R_S$ establecerá el nivel de R_S .

$$R_S = \frac{-(V_{GS_Q})}{I_{D_Q}} = \frac{-(-1 \text{ V})}{2.5 \text{ mA}} = 0.4 \text{ k}\Omega$$

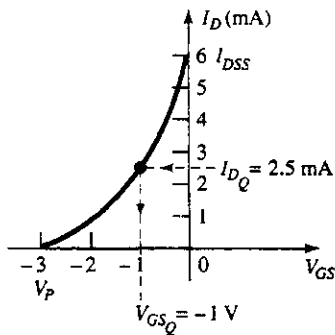


Figura 6.51 Determinación de V_{GS_Q} para la red de la figura 6.50.

Los valores más cercanos disponibles en el mercado son

$$R_D = 3.2 \text{ k}\Omega \Rightarrow 3.3 \text{ k}\Omega$$

$$R_S = 0.4 \text{ k}\Omega \Rightarrow 0.39 \text{ k}\Omega$$

Para la configuración de polarización mediante divisor de voltaje de la figura 6.52, calcular el valor de R_S si $V_D = 12 \text{ V}$ y $V_{GS_Q} = -2 \text{ V}$.

EJEMPLO 6.16

Solución

El nivel de V_G se determina de la siguiente forma:

$$V_G = \frac{47 \text{ k}\Omega(16 \text{ V})}{47 \text{ k}\Omega + 91 \text{ k}\Omega} = 5.44 \text{ V}$$

con

$$I_D = \frac{V_{DD} - V_D}{R_D}$$

$$= \frac{16 \text{ V} - 12 \text{ V}}{1.8 \text{ k}\Omega} = 2.22 \text{ mA}$$

Luego se escribe la ecuación para V_{GS} y se sustituyen los valores conocidos:

$$V_{GS} = V_G - I_D R_S$$

$$-2 \text{ V} = 5.44 \text{ V} - (2.22 \text{ mA})R_S$$

$$-7.44 \text{ V} = -(2.22 \text{ mA})R_S$$

y

$$R_S = \frac{7.44 \text{ V}}{2.22 \text{ mA}} = 3.35 \text{ k}\Omega$$

El valor más cercano que está disponible en el mercado es de $3.3 \text{ k}\Omega$.

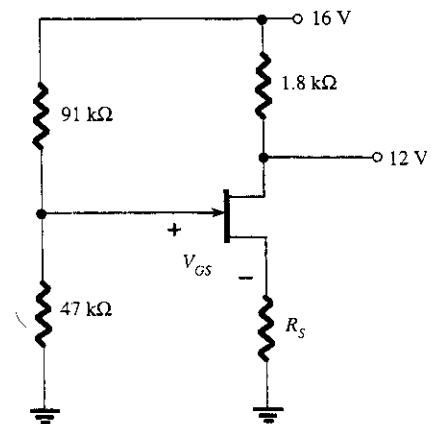


Figura 6.52 Ejemplo 6.16.



EJEMPLO 6.17

Para la red de la figura 6.53 están especificados los niveles de V_{DS} e I_D como $V_{DS} = \frac{1}{2}V_{DD}$ e $I_D = I_{D(\text{encendido})}$. Determine los valores de V_{DD} y de R_D .

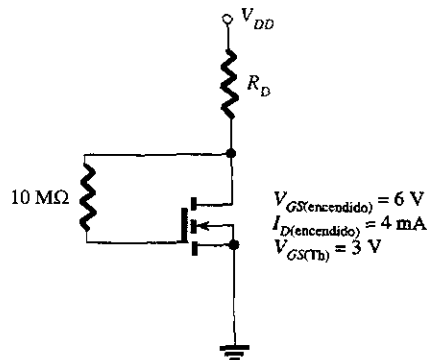


Figura 6.53 Ejemplo 6.17.

Solución

Con $I_D = I_{D(\text{encendido})} = 4 \text{ mA}$ y $V_{GS} = V_{GS(\text{encendido})} = 6 \text{ V}$, para esta configuración,

$$V_{DS} = V_{GS} = \frac{1}{2}V_{DD}$$

y

$$6 \text{ V} = \frac{1}{2}V_{DD}$$

de tal forma que

$$V_{DD} = 12 \text{ V}$$

Con la aplicación de la ecuación (6.34) se obtiene

$$R_D = \frac{V_{R_D}}{I_D} = \frac{V_{DD} - V_{DS}}{I_{D(\text{encendido})}} = \frac{V_{DD} - \frac{1}{2}V_{DD}}{I_{D(\text{encendido})}} = \frac{\frac{1}{2}V_{DD}}{I_{D(\text{encendido})}}$$

y

$$R_D = \frac{6 \text{ V}}{4 \text{ mA}} = 1.5 \text{ k}\Omega$$

que es un valor estándar disponible en el mercado.

6.10 LOCALIZACIÓN DE FALLAS

¿Cuántas veces se ha construido una red con cuidado sólo para encontrar que cuando se aplica la potencia, la respuesta es totalmente inesperada y no cumple con los cálculos teóricos? ¿Cuál es el siguiente paso? ¿Se trata de una mala conexión? ¿Se trata de una mala lectura en el código de color de un elemento resistivo o simplemente de un error en el proceso constructivo? Parece muy vasto y a menudo es frustrante el rango de posibilidades. El proceso de localización de fallas que se describió al principio del análisis de las configuraciones a BJT debe cerrar la lista de posibilidades y aislar el área del problema siguiendo un plan de ataque preciso. Por lo general, el proceso se inicia mediante una verificación de la construcción de la red y de las conexiones de las terminales. Luego, se sigue con la verificación de los niveles de voltaje entre las terminales específicas y la tierra, o entre las terminales de la red. Rara vez se miden los niveles de corriente porque estos manejos obligan a modificar la estructura de la red con objeto de insertar el medidor de corriente. Desde luego, una vez obtenidos los niveles de voltaje, pueden calcularse los niveles de la corriente empleando la ley de Ohm. En cualquier caso, debe tenerse una idea del nivel esperado del voltaje o la corriente para que la medición tenga cierta importancia. Por tanto, el proceso de localización de fallas puede iniciar con cierta esperanza de éxito si se entiende la operación

básica de la red junto con algunos valores esperados del voltaje o la corriente. Para el amplificador a JFET de canal- n está entendido con claridad que el valor estable de V_{GS_Q} está limitado a 0 V o a un voltaje negativo. Para la red de la figura 6.54, V_{GS_Q} está restringido a los valores negativos en el rango desde 0 V hasta V_p . Si se conecta un voltímetro como lo muestra la figura 6.54, con la punta de prueba positiva (normalmente roja) a la entrada y la punta de prueba negativa (normalmente negra) a la fuente, la lectura debe tener un signo negativo y una magnitud de unos cuantos volts. Cualquier otra respuesta tiene que considerarse como sospechosa y debe investigarse.

El nivel de V_{DS} normalmente se encuentra entre el 25 y el 75% de V_{DD} . Una lectura de 0 V para V_{DS} indica que o bien el circuito está “abierto” o el JFET tiene un corto circuito interno entre el drenaje y la fuente. Si V_D tiene V_{DD} volts, resulta obvio que no existe una caída a través de R_D debido a la falta de corriente a través de R_D y deben verificarse las conexiones para revisar su continuidad.

Si el nivel de V_{DS} parece inadecuado, puede verificarse sin problemas la continuidad del circuito de salida al conectar a tierra la punta de prueba negativa del voltímetro, y tomando la medición de los niveles de voltaje desde V_{DD} a tierra con la ayuda de la terminal positiva. Si $V_D = V_{DD}$, puede que la corriente a través de R_D sea cero, pero existe continuidad entre V_D y V_{DD} . Si $V_S = V_{DD}$, el dispositivo no está abierto entre el drenaje y la fuente, pero tampoco “encendido”. Sin embargo, se confirma la continuidad de V_S . En este caso es posible que exista una conexión pobre entre R_S y la tierra que puede no ser muy obvia. También es posible que la conexión interna entre el cable de la punta de prueba y el conector de la terminal se encuentren separados. También existen otras posibilidades como un dispositivo en corto del drenaje a la fuente, pero la persona que se encuentre localizando la falla simplemente tendrá que concentrar las causas posibles del funcionamiento erróneo.

Puede verificarse la continuidad de una red midiendo sólo el voltaje a través de cualquier resistencia de la red (excepto para R_G en la configuración JFET). La indicación de una de 0 V revela de inmediato la falta de corriente a través del elemento debido a un circuito abierto en la red.

El elemento más sensible en las configuraciones a BJT y JFET es el amplificador en sí mismo. La aplicación de un voltaje excesivo durante las fases constructiva o de prueba, o el uso indebido de valores incorrectos de resistores que ocasionan altos niveles de corriente, pueden destruir el dispositivo. Si se cuestiona la situación del amplificador, la mejor prueba para el FET es el trazador de curvas, ya que no sólo revela si el dispositivo es operable, sino también sus rangos de valores de corriente y voltaje. Algunos probadores pueden indicar que el dispositivo aún se encuentra básicamente en buen estado, pero no indican que su rango de operación se ha reducido de manera severa.

El desarrollo de buenas técnicas de localización de fallas proviene en gran medida de la experiencia y el nivel de confianza en cuanto a qué esperar y por qué. Desde luego, existen ciertas ocasiones en que parecen desaparecer misteriosamente las razones de las causas de una respuesta extraña cuando se verifica una red. En estos casos, lo mejor es no confiarse y continuar con la construcción. Debe encontrarse la causa de tal situación “buena o mala” muy sensible o de lo contrario puede volver a ocurrir en el momento más inoportuno.

6.11 FET DE CANAL-P

Hasta ahora el análisis se ha limitado sólo a los FET de canal- n . Para los FET de canal- p se necesita una imagen de espejo de las curvas de transferencia y se invierten las direcciones definidas de corriente, como se muestra en la figura 6.55 para los diversos tipos de FET.

Se observa en todas las configuraciones de la figura 6.55 que cada voltaje de la fuente de alimentación es un voltaje negativo que consume corriente en la dirección indicada. En particular, se observa que continúa la notación de doble subíndice para los voltajes tal como se definió para el dispositivo de canal- n : V_{GS} , V_{DS} , y así sucesivamente. Sin embargo, en este caso V_{GS} es positivo (positivo o negativo para el MOSFET de tipo decremental) y V_{DS} negativo.

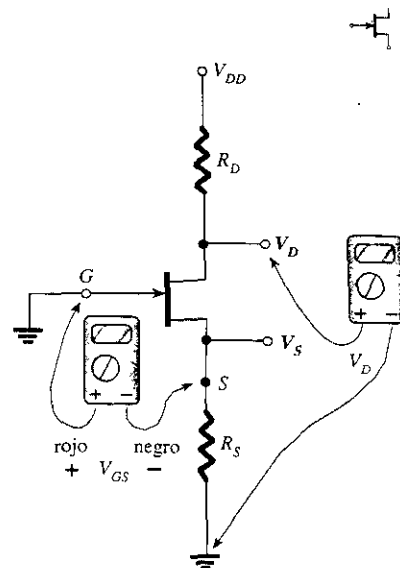


Figura 6.54 Verificación de la operación en dc de la configuración del JFET con autopolarización.

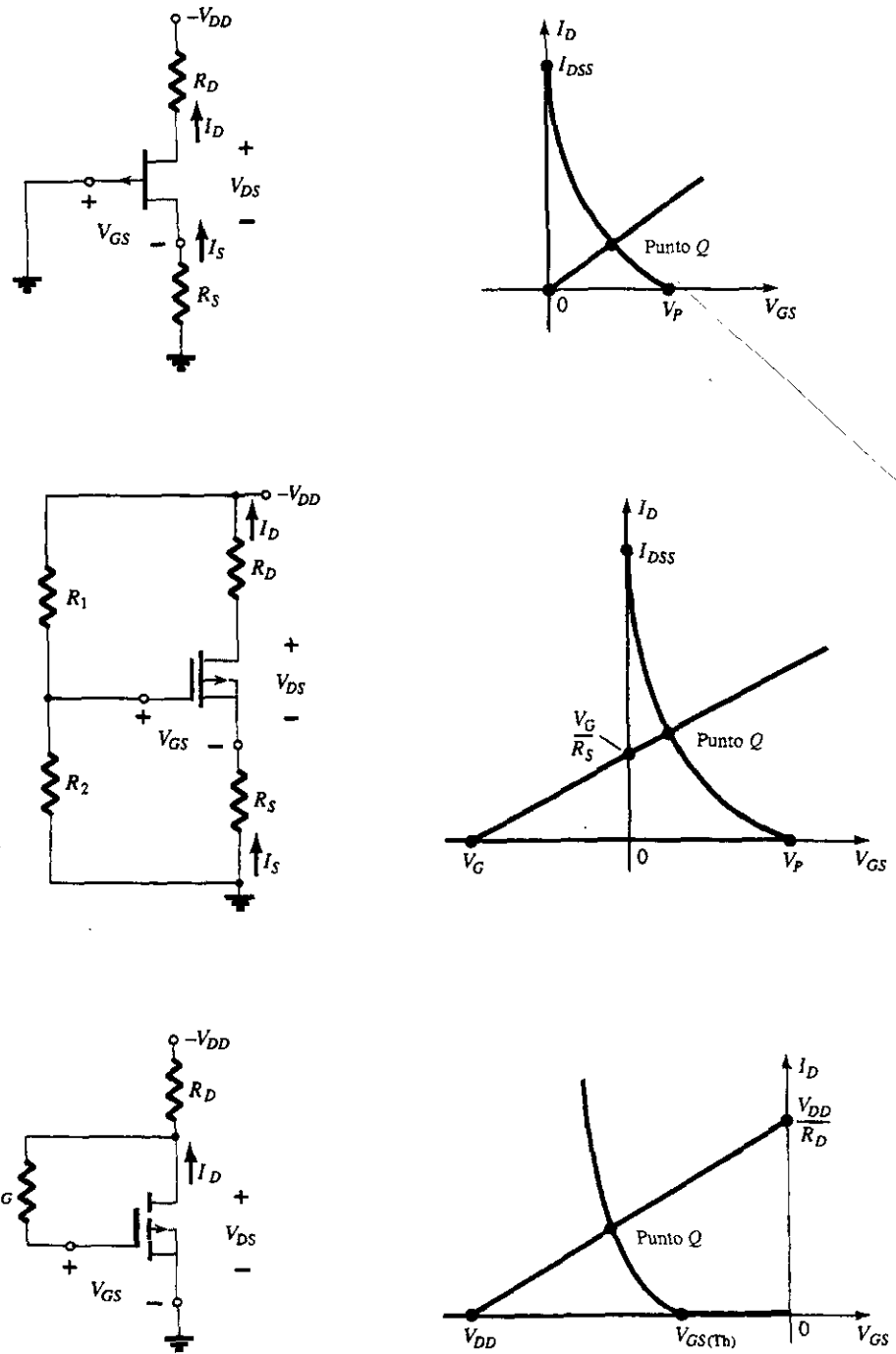


Figura 6.55 Configuraciones de canal-*p*.

Debido a las similitudes entre el análisis de los dispositivos de canal-*n* y de canal-*p*, en realidad puede asumirse como un dispositivo de canal-*n* con una fuente inversa de voltaje y desarrollar el análisis completo. Cuando se obtienen los resultados, estará correcta la magnitud de cada cantidad, aunque la dirección de la corriente y la polarización del voltaje tendrán que invertirse. Sin embargo, el siguiente ejemplo demostrará que con la experiencia que se ha logrado a través de los dispositivos de canal-*n* es bastante directo el análisis de los dispositivos de canal-*p*.



Calcular I_{DQ} , V_{GSQ} y V_{DS} para el JFET de canal- p de la figura 6.56.

EJEMPLO 6.18

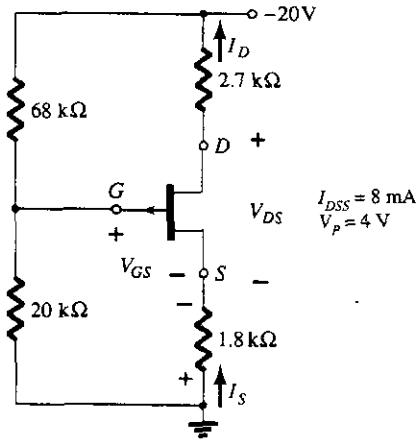


Figura 6.56 Ejemplo 6.18.

Solución

$$V_G = \frac{20 \text{ k}\Omega(-20 \text{ V})}{20 \text{ k}\Omega + 68 \text{ k}\Omega} = -4.55 \text{ V}$$

Con la aplicación de la ley de voltaje de Kirchhoff se obtiene

$$V_G - V_{GS} + I_D R_S = 0$$

y

$$V_{GS} = V_G + I_D R_S$$

Seleccionando $I_D = 0 \text{ mA}$ se tiene

$$V_{GS} = V_G = -4.55 \text{ V}$$

tal como aparece en la figura 6.57.

Cuando se elige $V_{GS} = 0 \text{ V}$, se obtiene

$$I_D = -\frac{V_G}{R_S} = -\frac{-4.55 \text{ V}}{1.8 \text{ k}\Omega} = 2.53 \text{ mA}$$

que también aparece en la figura 6.57. El punto de operación estable que se obtiene a partir de la figura 6.57:

$$I_{DQ} = 3.4 \text{ mA}$$

$$V_{GSQ} = 1.4 \text{ V}$$

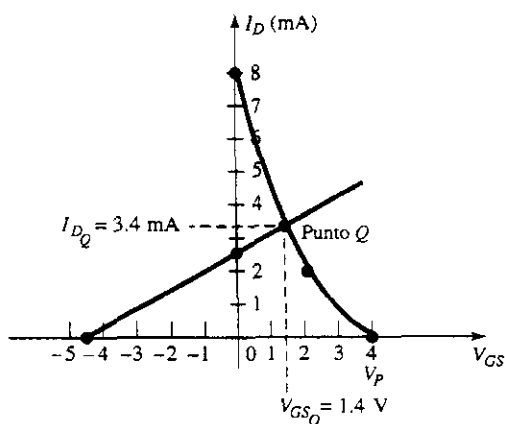


Figura 6.57 Cálculo del punto Q para la configuración de JFET de la figura 6.56.



Para V_{DS} , con la ley de voltaje de Kirchhoff se obtiene

$$-I_D R_S + V_{DS} - I_D R_D + V_{DD} = 0$$

$$\begin{aligned} y \quad V_{DS} &= -V_{DD} + I_D(R_D + R_S) \\ &= -20 \text{ V} + (3.4 \text{ mA})(2.7 \text{ k}\Omega + 1.8 \text{ k}\Omega) \\ &= -20 \text{ V} + 15.3 \text{ V} \\ &= -4.7 \text{ V} \end{aligned}$$

6.12 CURVA UNIVERSAL DE POLARIZACIÓN PARA JFET

Debido a que la solución de una configuración a FET necesita que se dibuje la curva de transferencia en cada análisis, se desarrolló una curva universal útil para cualquier nivel de I_{DSS} y de V_p . En la figura 6.58 se proporciona la curva universal de un JFET de canal- n o el MOSFET de tipo decremental (para los valores negativos de V_{GSQ}). Se observa que el eje horizontal no es el de V_{GS} , sino el de un nivel normalizado definido por $V_{GS}/|V_p|$, con la indicación $|V_p|$, lo que significa que sólo debe tomarse en cuenta su magnitud, mas no su signo. Para el eje vertical la escala también es un valor normalizado de I_D/I_{DSS} . El resultado es tal que cuando $I_D = I_{DSS}$ el cociente es 1, y cuando $V_{GS} = V_p$ el cociente $V_{GS}/|V_p|$ es de -1. Se observa también que la escala para I_D/I_{DSS} se encuentra a la izquierda en lugar de la derecha como se encontró para I_D en los ejercicios anteriores. Las dos escalas adicionales a la derecha necesitan presentarse. La escala vertical llamada m puede utilizarse por sí misma para encontrar la solución a las configuraciones de polarización fija. La otra escala, llamada M , se utiliza junto con la escala m

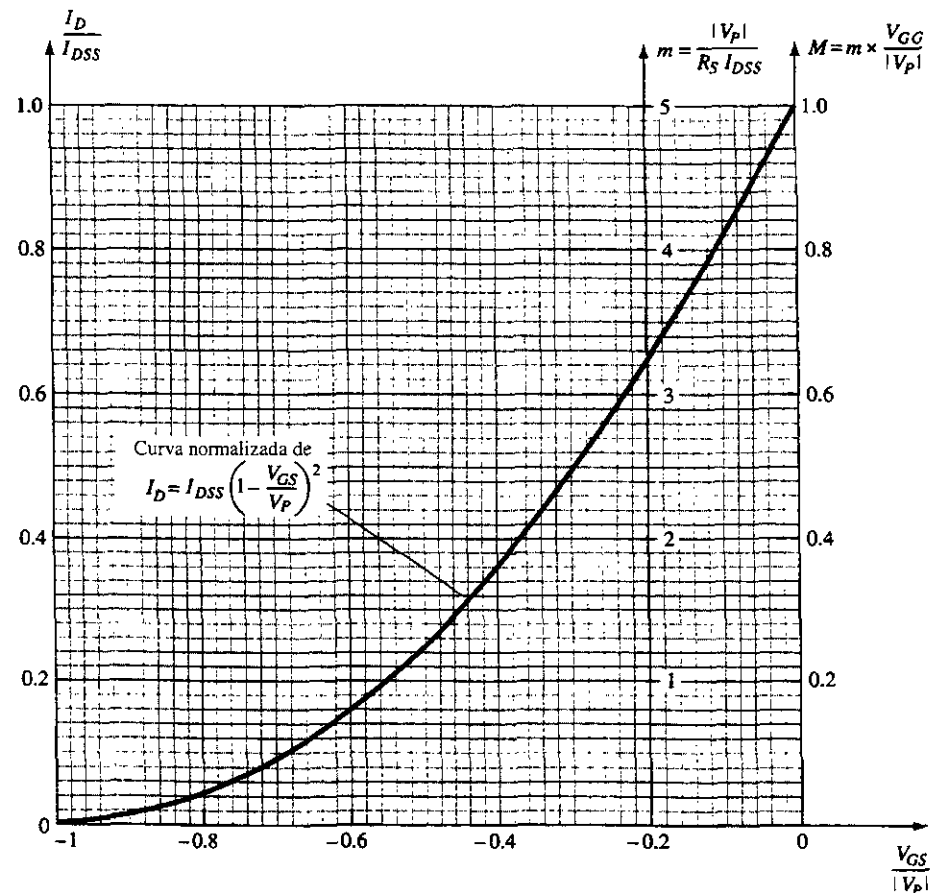


Figura 6.58 Curva universal de polarización para el JFET.



para encontrar la solución para la configuración mediante divisor de voltaje. Las escalas para m y M provienen de un desarrollo matemático que involucra las ecuaciones de la red y la escala normalizada recién presentada. La siguiente descripción no se concentra sobre el motivo por el cual la escala m se extiende desde 0 a 5 cuando $V_{GS}/|V_P| = -0.2$, y la escala M desde 0 a 1 cuando $V_{GS}/|V_P| = 0$, sino en la forma de usar las escalas resultantes para obtener una solución para las configuraciones. Las ecuaciones de m y de M son las siguientes, con V_G tal como se definió por medio de la ecuación (6.15).

$$m = \frac{|V_P|}{I_{DSS}R_S} \quad (6.35)$$

$$M = m \times \frac{V_G}{|V_P|} \quad (6.36)$$

con

$$V_G = \frac{R_2 V_{DD}}{R_1 + R_2}$$

Es importante tener en cuenta que la belleza de este método se debe a que ya no es necesario trazar la curva de transferencia para cada análisis, a que la sobreposición de la recta de polarización resulta mucho más sencilla y a que son menos los cálculos. El uso de los ejes m y M se explica mejor mediante unos ejemplos que utilicen dichas escalas. Una vez que ha quedado claro el procedimiento, es mucho más rápido el análisis y más preciso también.

Calcular los valores del punto de operación estable tanto de I_D como de V_{GS} para la red de la figura 6.59.

EJEMPLO 6.19

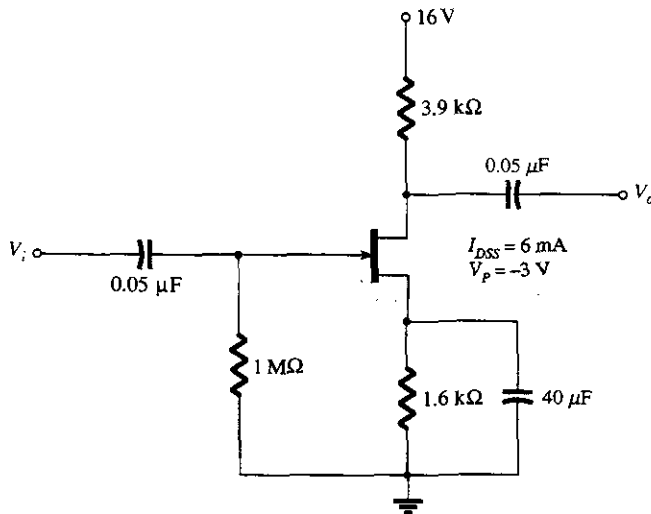


Figura 6.59 Ejemplo 6.19.

Solución

Calculando el valor de m , se obtiene

$$m = \frac{|V_P|}{I_{DSS}R_S} = \frac{|-3 \text{ V}|}{(6 \text{ mA})(1.6 \text{ k}\Omega)} = 0.31$$

La recta de autopolarización definida por R_S se grafica al dibujar una línea recta desde el origen y a través del punto definido por $m = 0.31$, así como se muestra en la figura 6.60.

El punto Q obtenido:

$$\frac{I_D}{I_{DSS}} = 0.18 \quad \text{y} \quad \frac{V_{GS}}{|V_P|} = -0.575$$

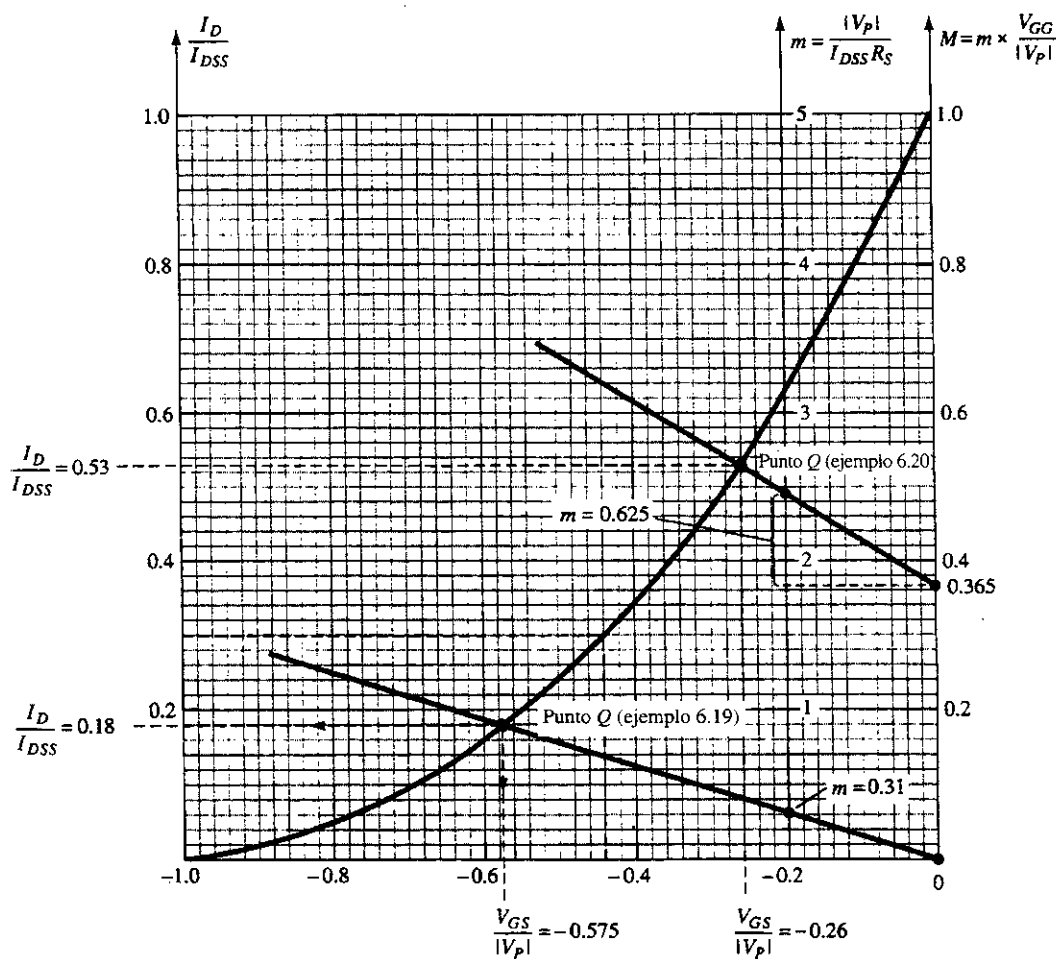


Figura 6.60 Curva universal para los ejemplos 6.19 y 6.20.

Los valores del punto de operación estable de I_D y de V_{GS} pueden calcularse después de la siguiente manera:

$$I_{D_Q} = 0.18 I_{DSS} = 0.18(6 \text{ mA}) = \mathbf{1.08 \text{ mA}}$$

y

$$V_{GS_Q} = -0.575 |V_P| = -0.575(3 \text{ V}) = \mathbf{-1.73 \text{ V}}$$

EJEMPLO 6.20

Calcule los valores en el punto de operación de I_D y V_{GS} para la red de la figura 6.61.

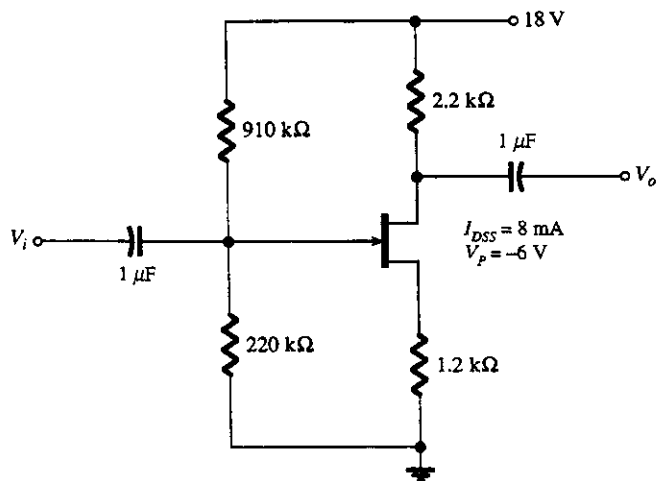


Figura 6.61 Ejemplo 6.20.



Solución

El cálculo de m da

$$m = \frac{|V_p|}{I_{DSS}R_S} = \frac{|-6 \text{ V}|}{(8 \text{ mA})(1.2 \text{ k}\Omega)} = 0.625$$

La determinación de V_G

$$V_G = \frac{R_2 V_{DD}}{R_1 + R_2} = \frac{(220 \text{ k}\Omega)(18 \text{ V})}{910 \text{ k}\Omega + 220 \text{ k}\Omega} = 3.5 \text{ V}$$

Al encontrar M se tiene

$$M = m \times \frac{V_G}{|V_p|} = 0.625 \left(\frac{3.5 \text{ V}}{6 \text{ V}} \right) = 0.365$$

Ahora que se conocen m y M , puede dibujarse la recta de polarización sobre la figura 6.60. Entonces, se observa que aunque los valores de I_{DSS} y V_p son diferentes para las dos redes, puede utilizarse la misma curva universal. Primero se encuentra M sobre el eje M como se indica en la figura 6.60. Después se dibuja una línea horizontal hacia el eje m , y en el punto de intersección con el eje se añade entonces la magnitud de m , como lo muestra la figura. Con el punto que se obtuvo sobre el eje m y la intersección sobre M , se dibuja una línea recta para intersecar la curva de transferencia y así definir el punto Q .

Esto es, $\frac{I_D}{I_{DSS}} = 0.53$ y $\frac{V_{GS}}{|V_p|} = -0.26$

e $I_{DQ} = 0.53 I_{DSS} = 0.53(8 \text{ mA}) = 4.24 \text{ mA}$

con $V_{GSQ} = -0.26 |V_p| = -0.26(6 \text{ V}) = -1.56 \text{ V}$

6.13 ANÁLISIS POR COMPUTADORA

En esta sección se desarrolla el análisis por computadora de una configuración a JFET mediante un divisor de voltaje usando los programas tanto BASIC como PSpice. El enfoque de PSpice es muy similar cuando empleamos la configuración a BJT del capítulo 4. Si se elige BASIC se necesitará de un método matemático que incluirá encontrar la solución de una ecuación cuadrática.

PSpice (versión DOS)

En la figura 6.62 se redibuja la configuración mediante divisor de voltaje de la figura 6.61 usando los nodos y parámetros del dispositivo que se definieron de acuerdo al capítulo 5. Los

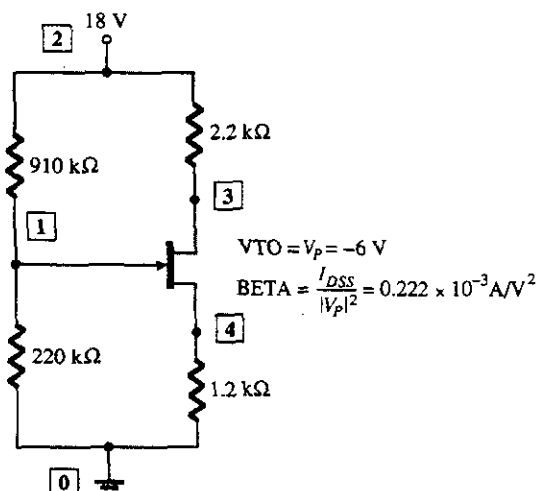


Figura 6.62 Red de la figura 6.61 con nodos definidos para un análisis mediante PSpice.



DC Bias of JFET configuration in Fig. 6.61

**** CIRCUIT DESCRIPTION

```
VDD 2 0 18V
R1 2 1 910K
R2 1 0 220K
RD 2 3 2.2K
RS 4 0 1.2K
J1 3 1 4 JN
.MODEL JN NJF(VTO=-6V BETA=.222E-3)
.DC VDD 18 18 1
.PRINT DC V(1,4) I(RD)
.OPTIONS NOPAGE
.END
```

**** Junction FET MODEL PARAMETERS

```
JN
NJF
VTO -6
BETA 222.000000E-06
```

**** DC TRANSFER CURVES

TEMPERATURE = 27.000 DEG C

```
VDD      V(1,4)      I(RD)
1.800E+01 -1.565E+00  4.225E-03
```

Figura 6.63 Análisis mediante PSpice de la configuración de la figura 6.61.

parámetros son capturados, según aparecen en la figura 6.63, de igual forma que en los capítulos previos con el JFET introducido, usando los formatos descritos también en el capítulo 5. El voltaje que se solicita como V(1,4) es V_{GS_Q} y la corriente I(RD) es I_{D_Q} . Se observa cómo son similares los resultados con los del ejemplo 6.20 con $I_{D_Q} = 4.24$ mA (ejemplo 6.20) e $I_{D_Q} = 4.23$ mA (PSpice), y $V_{GS_Q} = -1.56$ V (ejemplo 6.20) y $V_{GS_Q} = -1.57$ V (PSpice).

Análisis del centro de diseño de PSpice para Windows

La red de la figura 6.62 aparecerá como se muestra en la figura 6.64 cuando se aplique la versión para Windows de PSpice. Excepto por el JFET, se ha descrito en capítulos anteriores el

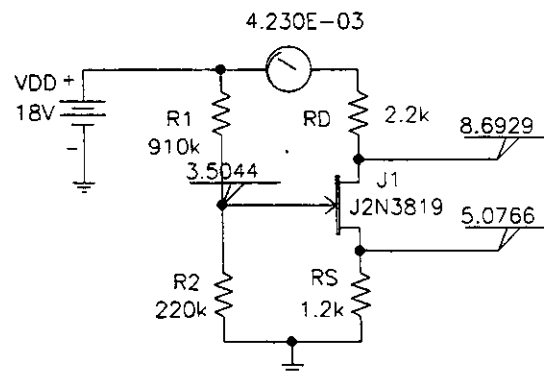


Figura 6.64 Representación esquemática de la red de la figura 6.62.

procedimiento para inicializar la red con los enunciados **VIEWPOINTS** e **IPROBE**. El JFET **J2N3819** aparece dentro de la biblioteca **eval.slb** de la caja de diálogo **Get Part**, la cual se seleccionó mediante la secuencia **Draw - Get New Part - Browse**. Cuando se elige en la biblioteca, la Descripción (**Description**) que aparece sobre la lista en la caja de diálogo, se

indica como un JFET de tipo decremental de canal-*n* (**n-channel jfet-depletion**). Si se selecciona **OK**, aparecerá el símbolo JFET para su ubicación en la pantalla. Se coloca el JFET sobre la localización deseada y se oprime el botón derecho del apuntador (mouse) para terminar el proceso. Para los valores iniciales de **VTO** y **BETA**, sólo se selecciona el símbolo JFET que está sobre el dibujo una vez (pero sólo una vez) y se opta por la selección **Edit** en la barra de menús. Siguiendo la secuencia **Edit - Model - Edit Instance Model**, el Editor de Modelo (**Model Editor**) aparecerá y se podrá inicializar **VTO** en -6V y **BETA** en 0.222E-3. Una vez inicializados, se elige **OK** para asignar estos valores en la aplicación.

En este ejemplo, **VIEWPOINTS** e **IProbe** tendrán toda la información necesaria. Para acelerar la ejecución, se selecciona **Analysis** seguido por **Probe Setup** y se elige **Do Not Auto-Run Probe**. Una vez que se termina, la secuencia **OK - Analysis - Simulation** proporcionará los resultados que aparecen en la figura 6.64.

La corriente de drenaje igual a 4.23 mA es una réplica exacta de la solución con DOS así como el voltaje $V_{GS} = V(1,4) = 3.5044 \text{ V} - 5.076 \text{ V} = -1.57 \text{ V}$.

BASIC

Si se utiliza un lenguaje como BASIC, entonces es necesario encontrar una solución común mediante el empleo de técnicas matemáticas para las ecuaciones que se definieron por la red y el dispositivo. Para la red de la figura 6.65a, se observa que el dispositivo está descrito por la ecuación de Shockley (6.65b):

$$I_D = I_{DSS} \left(1 - \frac{V_{GS}}{V_P} \right)^2 \quad (6.37)$$

mientras que la red está definida por (figura 6.65b)

$$V_{GS} = V_G - I_D R_S \quad (6.38)$$

con

$$V_G = \frac{R_2 V_{DD}}{R_1 + R_2} \quad (6.39)$$

Si se inserta la ecuación para I_D [ecuación (6.37)] en la ecuación (6.38), se obtiene

$$V_{GS} = V_G - I_{DSS} R_S \left(1 - \frac{V_{GS}}{V_P} \right)^2$$

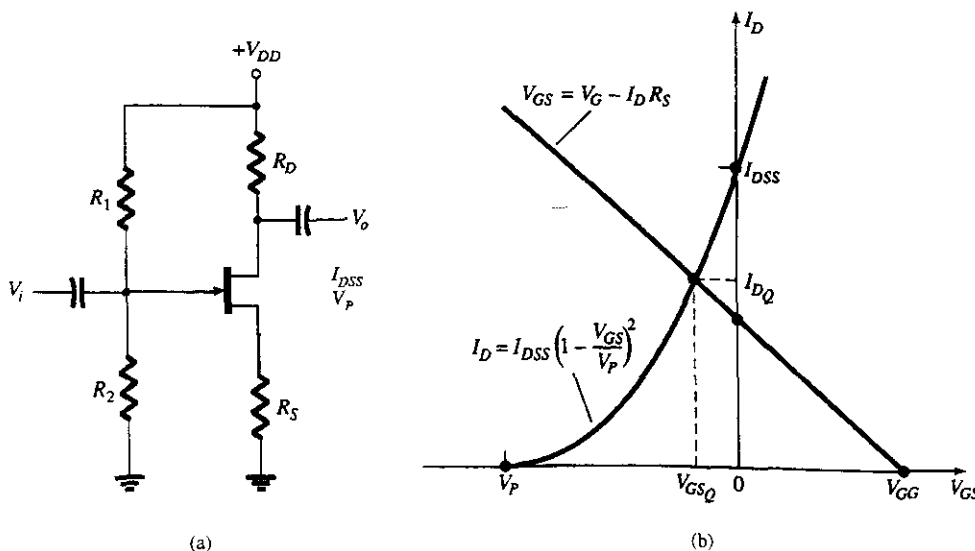


Figura 6.65 Configuración mediante divisor de voltaje que se analizará mediante el empleo de BASIC.



la cual, cuando se expande, genera la siguiente ecuación cuadrática

$$\underbrace{\frac{I_{DSS}R_S}{V_P^2}V_{GS}^2}_a + \underbrace{\left(1 - \frac{2I_{DSS}R_S}{V_P}\right)V_{GS}}_b + \underbrace{(I_{DSS}R_S - V_G)}_c = 0$$

Las soluciones a la ecuación cuadrática están determinadas por

$$V_{GS1,2} = \frac{-b \pm \sqrt{b^2 - 4ac}}{2a}$$

siendo la solución real aquel valor de V_{GS} que caiga dentro del rango entre 0 y V_P . El programa probará desde luego, el valor de $b^2 - 4ac$, indicando que no existe solución en caso de tener un valor negativo. Luego, los voltajes del drenaje y la fuente son

$$V_D = V_{DD} - I_D R_D \quad (6.40)$$

$$V_S = I_D R_S \quad (6.41)$$

y
$$V_{DS} = V_D - V_S \quad (6.42)$$

En las tablas 6.2 y 6.3 se proporciona un resumen de las variables y las ecuaciones que se utilizan en el módulo 11000. En la figura 6.66 aparece el listado del programa junto con una ejecución con los mismos valores utilizados en el análisis PSpice. Una vez más es importante notar la correspondencia tan cercana entre los resultados.

TABLA 6.2 Ecuaciones y enunciados para el módulo 11000

Ecuación	Enunciado para computadora
$V_G = \frac{R_2}{R_1 + R_2} V_{DD}$	GG = (R2/(R1 + R2)) * DD
$V_S = I_D R_S$	VS = ID * RS
$V_{GS} = V_G - V_S$	GS = VG - VS
$I_D = I_{DSS} \left(1 - \frac{V_{GS}}{V_P}\right)^2$	ID = SS * (1 - GS/VP) ↑ 2
$A = \frac{I_{DSS} R_S}{V_P^2}$	A = SS * RS/VP ↑ 2
$B = 1 - \frac{2I_{DSS} R_S}{V_P}$	B = 1 - 2 * SS * RS/VP
$C = I_{DSS} R_S - V_G$	C = SS * RS - GG
$D = B^2 - 4AC$	D = B ↑ 2 - 4 * A * C
$V_1 = \frac{-B + \sqrt{D}}{2A}$	V1 = (-B + SQR(D))/(2 * A)
$V_2 = \frac{-B - \sqrt{D}}{2A}$	V2 = (-B - SQR(D))/(2 * A)
$V_D = V_{DD} - I_D R_D$	VD = DD - ID * RD
$V_S = I_D R_S$	VS = ID * RS
$V_{DS} = V_D - V_S$	DS = VD - VS

TABLA 6.3 Ecuaciones y variables del programa para el módulo 11000

Variable de la ecuación	Variable del programa
V_G	VG
V_S	VS
V_D	VD
V_G	GG
V_{DD}	DD
V_{GS}	GS
V_{DS}	DS
V_P	VP
I_D	ID
I_{DSS}	SS
R_1	R1
R_2	R2
R_S	RS
R_D	RD

```

10 REM *****
20 REM
30 REM Module for FET dc Bias Calculations
40 REM
50 REM *****
60 REM
100 PRINT "This program provides the dc bias calculations"
110 PRINT "for a JFET or depletion MOSFET"
120 PRINT "voltage-divider configuration."
130 PRINT
140 PRINT "Enter the following circuit data:"
150 PRINT
160 INPUT "R1 (use 1E30 if open)=";R1
170 INPUT "R2" "=";R2
180 INPUT "RS=";RS
190 INPUT "RD=";RD
200 PRINT
210 INPUT "Supply voltage, VDD=";DD
220 PRINT
230 PRINT "Enter the following device data:"
240 INPUT "Drain-source saturation current, IDSS=";SS
250 INPUT "Gate-source pinchoff voltage, VP=";VP
260 PRINT :PRINT
270 REM Now do bias calculations
280 GOSUB 11000
290 PRINT "Bias current is, ID=";ID*1000;"mA"
300 PRINT "Bias voltages are:"
310 PRINT "VGS=";GS;"volts"
320 PRINT "VD=";VD;"volts"
330 PRINT "VS=";VS;"volts"
340 PRINT "VDS=";DS;"volts"
350 END

```

```

11000 REM Module for FET dc bias calculations
11010 GG=(R2/(R1+R2))*DD
11020 A=SS*RS/VP^2
11030 B=1-2*SS*RS/VP
11040 C=SS*RS-GG
11050 D=B^2-4*A*C
11060 IF D<0 THEN PRINT "No Solution!!!" :STOP
11070 V1=(-B+SQR(D))/(2*A)
11080 V2=(-B-SQR(D))/(2*A)
11090 IF ABS(V1)>ABS(VP) THEN GS=V2
11100 IF ABS(V2)>ABS(VP) THEN GS=V1
11110 ID=SS*(1-GS/VP)^2
11120 VS=ID*RS
11130 VG=GG
11140 VD=DD-ID*RD
11150 DS=VD-VS
11160 RETURN

```

RUN

This program provides the dc bias calculations
for a JFET or depletion MOSFET
voltage-divider configuration.

Enter the following circuit data:

```

R1 (use 1E30 if open)=? 910E3
R2                =? 220E3
RS=? 1.2E3
RD=? 2.2E3

```

Supply voltage, VDD=? 18

Enter the following device data:

```

Drain-source saturation current, IDSS=? 8E-3
Gate-source pinchoff voltage, VP=? -6

```

```

Bias current is, ID= 4.26821 mA
Bias voltages are:
VGS=-1.617427 volts
VD= 8.609939 volts
VS= 5.121852 volts
VDS= 3.488087 volts

```

Figura 6.66 Programa en BASIC para el análisis de la red de la figura 6.65.



PROBLEMAS

§ 6.2 Configuración de polarización fija

1. Para la configuración de polarización fija de la figura 6.67:
 - a) Trazar las características de transferencia del dispositivo.
 - b) Sobreponer la ecuación de la red en la misma gráfica.
 - c) Calcular I_{DQ} y V_{DSQ} .
 - d) Con la ecuación de Shockley, resuelva I_{DQ} y luego localice V_{DSQ} . Compárela con las soluciones del inciso c.

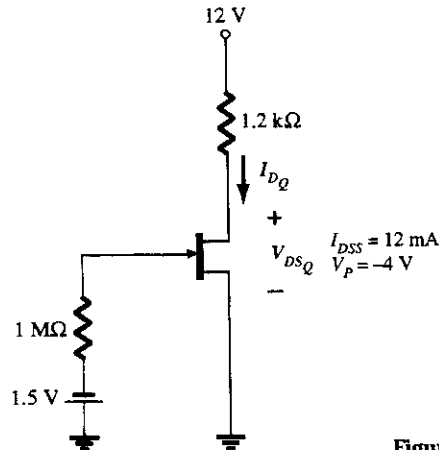


Figura 6.67 Problemas 1, 35, 38, 41.

2. Para la configuración de polarización fija de la figura 6.68, determine:
 - a) I_{DQ} y V_{GSQ} utilizando un método puramente matemático.
 - b) Repita el inciso a con un método gráfico y compare los resultados.
 - c) Encuentre V_{DS} , V_D , V_G y V_S utilizando los resultados del inciso a.

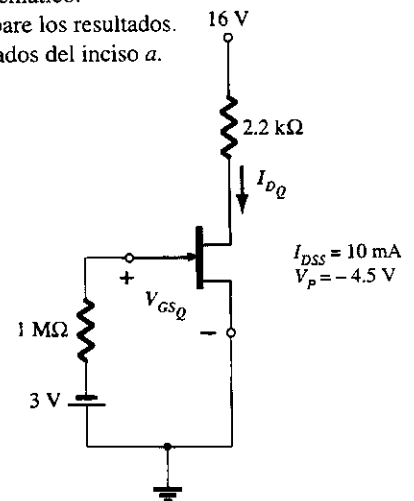


Figura 6.68 Problema 2.

3. Dado el valor de V_D medido en la figura 6.69, calcule:
 - a) I_D .
 - b) V_{DS} .
 - c) V_{GG} .

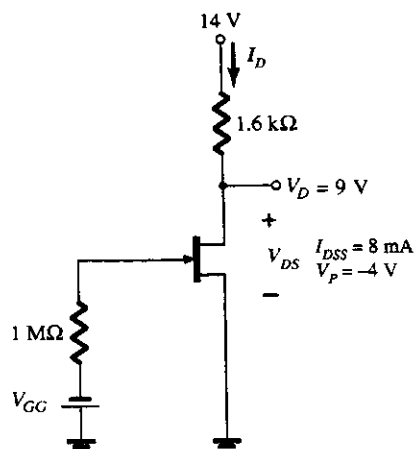


Figura 6.69 Problema 3.

4. Determine V_D para la configuración de polarización fija de la figura 6.70.
5. Determine V_D para la configuración de polarización fija de la figura 6.71.

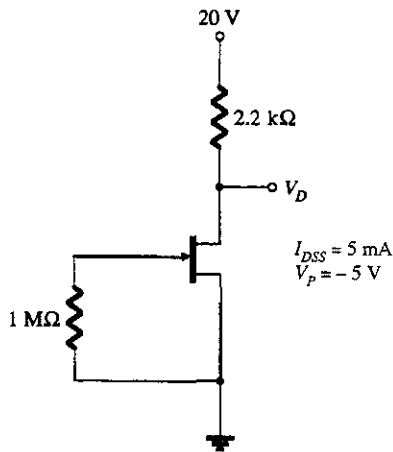


Figura 6.70 Problema 4.

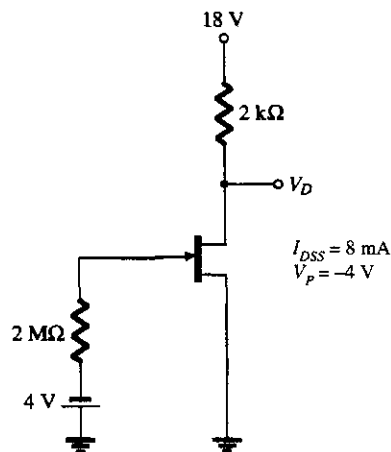


Figura 6.71 Problema 5.

§ 6.3 Configuración de autopolarización

6. Para la configuración de autopolarización de la figura 6.72:
 - a) Trace la curva de transferencia para el dispositivo.
 - b) Sobreponga la ecuación de la red en la misma gráfica.
 - c) Calcule I_{DQ} y V_{GSQ} .
 - d) Encuentre V_{DS} , V_D , V_G y V_S .

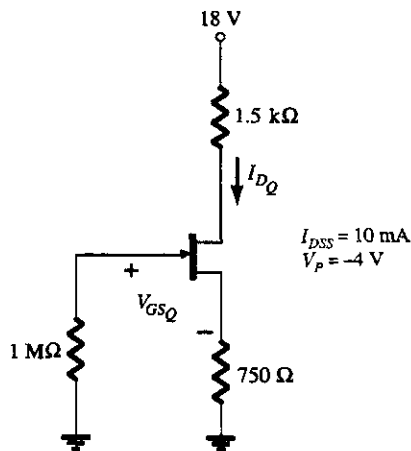


Figura 6.72 Problemas 6, 7, 36, 39, 42.

- * 7. Determine I_{DQ} para la red de la figura 6.72 utilizando un método puramente matemático. Esto es, establezca una ecuación cuadrática para I_D y seleccione la solución compatible con las características de la red. Compárela con la solución que se obtuvo en el problema 6.
8. Para la red de la figura 6.73, calcule:
 - a) V_{GSQ} e I_{DQ} .
 - b) V_{DS} , V_D , V_G y V_S .
9. Dada la medición $V_S = 1.7$ V para la red de la figura 6.74, calcule:
 - a) I_{DQ} .
 - b) V_{GSQ} .
 - c) I_{DSS} .
 - d) V_D .
 - e) V_{DS} .



* 10. Encuentre para la red de la figura 6.75:

- a) I_{DQ}
- b) V_{DS}
- c) V_D
- d) V_S

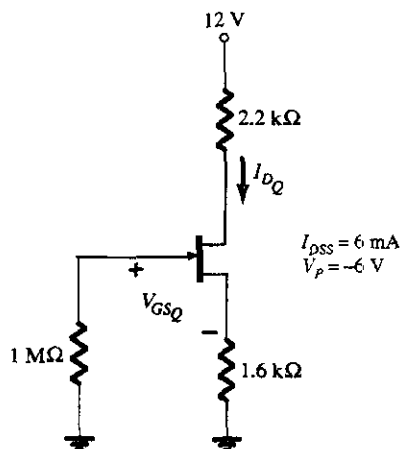


Figura 6.73 Problema 8.

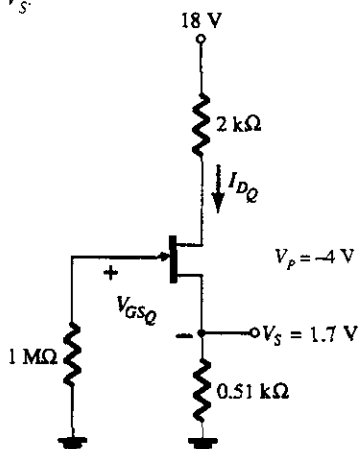


Figura 6.74 Problema 9.

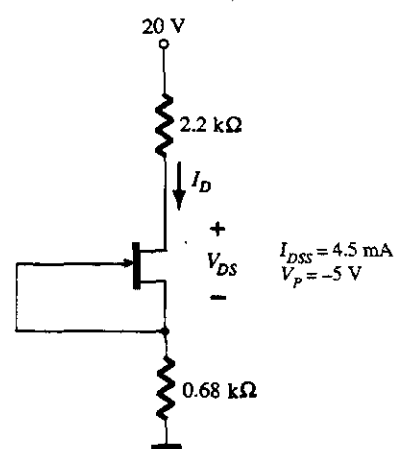


Figura 6.75 Problema 10.

* 11. Encuentre V_S para la red de la figura 6.76.

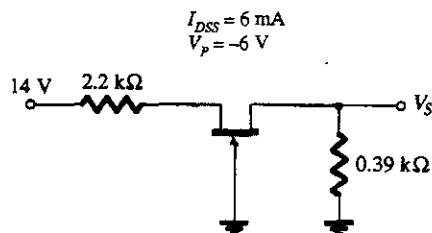


Figura 6.76 Problema 11.

§ 6.4 Polarización mediante divisor de voltaje

12. Determine para la red de la figura 6.77:

- a) V_G
- b) I_{DQ} y V_{GSQ}
- c) V_D y V_S
- d) V_{DSQ}

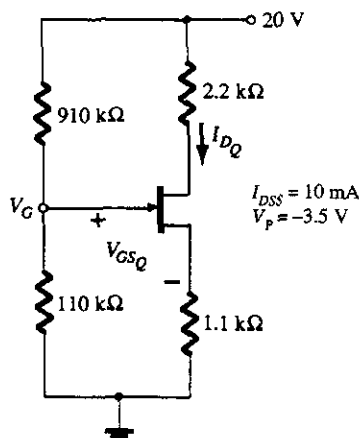


Figura 6.77 Problemas 12, 13, 43.

- 13. a) Repita el problema 12 con $R_S = 0.51 \text{ k}\Omega$ (aproximadamente el 50% del valor de 12). ¿Cuál es el efecto de un R_S menor sobre I_{DQ} y V_{GSQ} ?
- b) ¿Cuál es el menor valor posible de R_S para la red de la figura 6.77?

14. Para la red de la figura 6.78, $V_D = 9$ V. Calcular:

- I_D .
- V_S , V_{DS} .
- V_G , V_{GS} .
- V_P .

* 15. Especifique para la red de la figura 6.79:

- I_{DQ} y V_{GSQ} .
- V_{DS} y V_S .

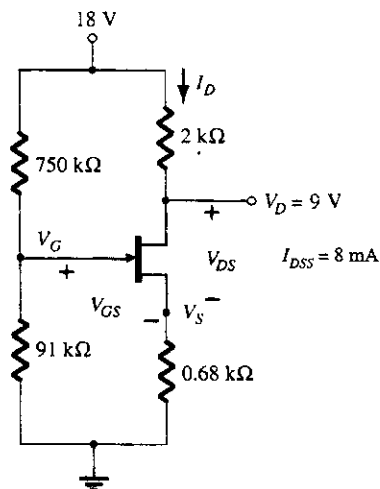


Figura 6.78 Problema 14.

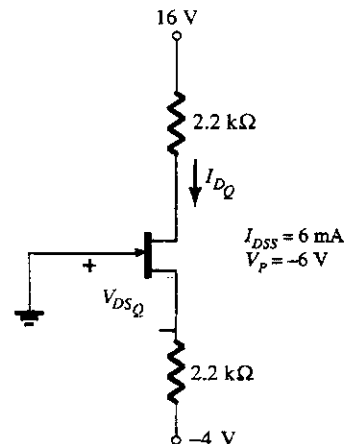


Figura 6.79 Problemas 15, 37, 40.

* 16. Dado $V_{DS} = 4$ V para la red de la figura 6.80, encuentre:

- I_D .
- V_D y V_S .
- V_{GS} .

§ 6.5 MOSFET de tipo decremental

17. Calcular para la configuración de autopolarización de la figura 6.81:

- I_{DQ} y V_{GSQ} .
- V_{DS} y V_D .

* 18. Calcule para la configuración de la figura 6.82:

- I_{DQ} y V_{GSQ} .
- V_{DS} y V_S .

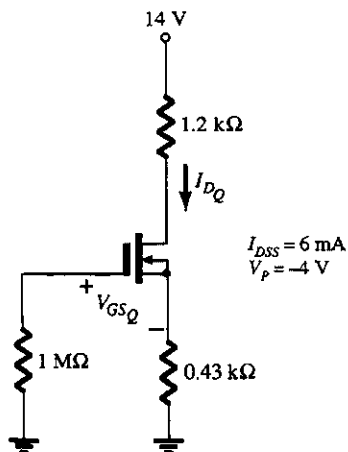


Figura 6.81 Problema 17.

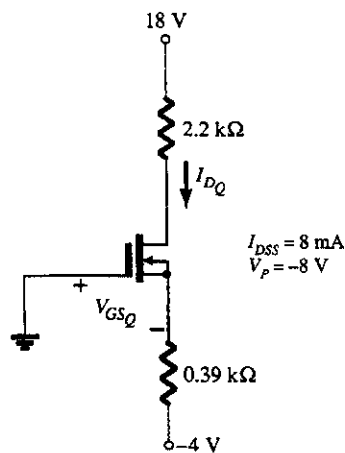


Figura 6.82 Problema 18.

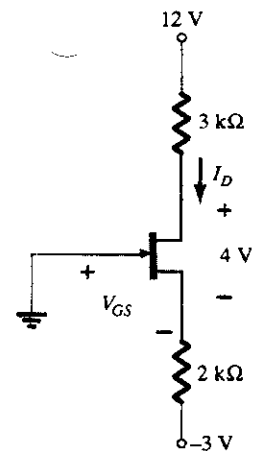


Figura 6.80 Problema 16.



§ 6.6 MOSFET de tipo incremental

19. Para la configuración de la figura 6.83 calcule:

- I_{DQ} .
- V_{GSQ} y V_{DSQ} .
- V_D y V_S .
- V_{DS} .

20. Calcular para la configuración mediante divisor de voltaje de la figura 6.84:

- I_{DQ} y V_{GSQ} .
- V_D y V_S .

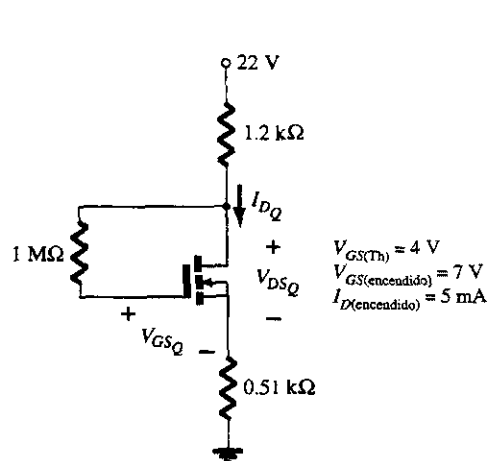


Figura 6.83 Problema 19.

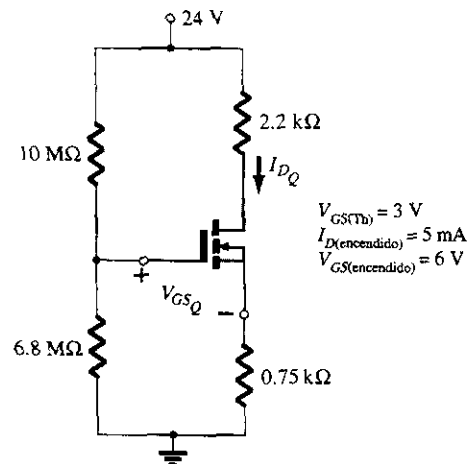


Figura 6.84 Problema 20.

§ 6.8 Redes combinadas

* 21. Calcular para la red de la figura 6.85:

- V_G .
- V_{GSQ} e I_{DQ} .
- I_E .
- I_B .
- V_D .
- V_C .

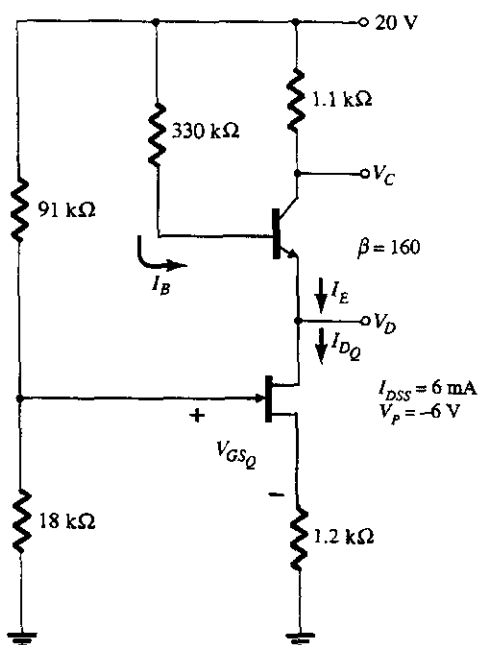


Figura 6.85 Problema 21.



* 22. Determine para la red combinada de la figura 6.86:

- V_B, V_G
- V_E
- I_E, I_C, I_D
- I_B
- V_C, V_S, V_D
- V_{CE}
- V_{DS}

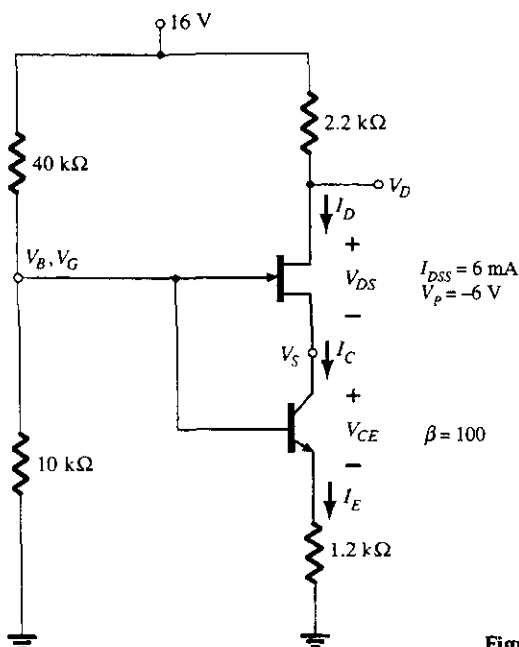


Figura 6.86 Problema 22.

§ 6.9 Diseño

- Diseñe una red de autopolarización empleando un transistor JFET con $I_{DSS} = 8 \text{ mA}$ y $V_P = -6 \text{ V}$ para obtener un punto Q en $I_{DQ} = 4 \text{ mA}$ utilizando una fuente de 14 V. Asuma que $R_D = 3R_S$ y use los valores estándar.
- Diseñe una red mediante divisor de voltaje empleando un MOSFET de tipo decremental con $I_{DSS} = 10 \text{ mA}$ y $V_P = -4 \text{ V}$ para obtener un punto Q en $I_{DQ} = 2.5 \text{ mA}$ utilizando una fuente de 24 V. Además, fije $V_G = 4 \text{ V}$ y utilice $R_D = 2.5R_S$ con $R_1 = 22 \text{ M}\Omega$. Utilice los valores estándar.
- Diseñe una red como la que aparece en la figura 6.39 empleando un MOSFET de tipo incremental con $V_{GS(Th)} = 4 \text{ V}$, $k = 0.5 \times 10^{-3} \text{ A/V}^2$ para obtener un punto Q en $I_{DQ} = 6 \text{ mA}$. Utilice una fuente de 16 V y valores estándar.

§ 6.10 Localización de fallas

- ¿Qué sugieren las lecturas de cada configuración de la figura 6.87 acerca de la operación de la red?

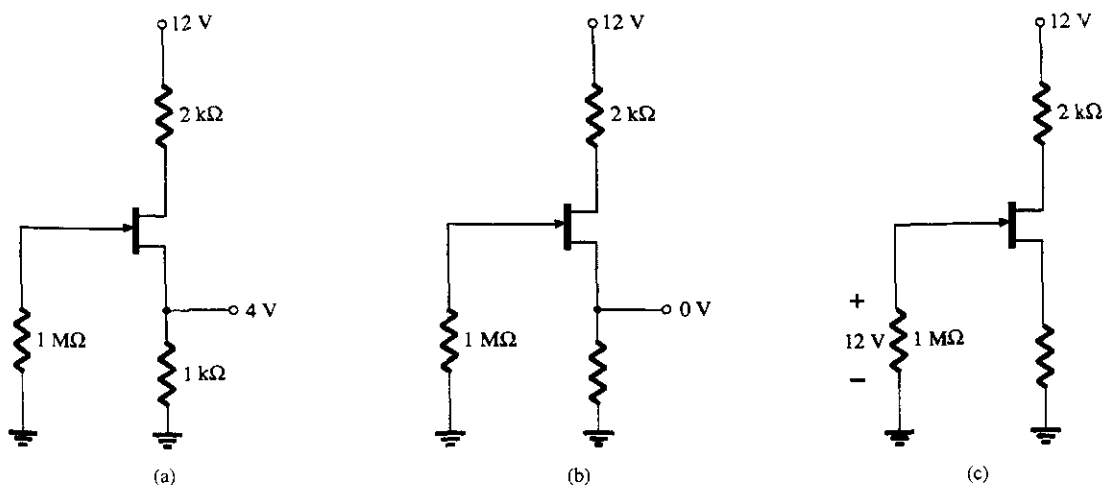


Figura 6.87 Problema 26.



- * 27. Aunque las lecturas de la figura 6.88 por principio sugieren que la red está comportándose de forma adecuada, determine una causa probable del estado indeseable de la red.
- * 28. La red de la figura 6.89 no está operando de manera adecuada. ¿Cuál es la causa específica de su falla?

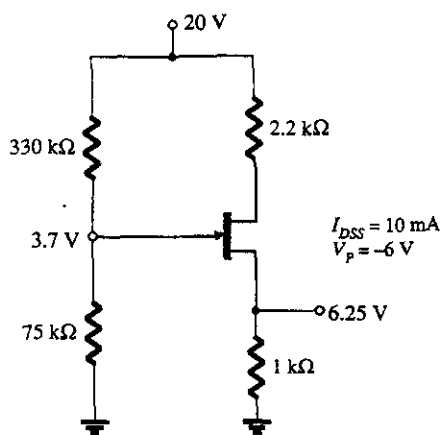


Figura 6.88 Problema 27.

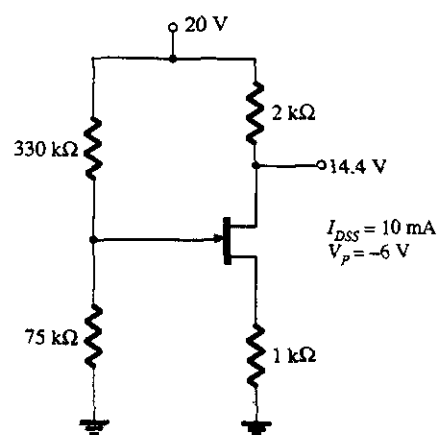


Figura 6.89 Problema 28.

§ 6.11 FET de canal-*p*

29. Para la red de la figura 6.90, calcule:
- I_{DQ} y V_{GSQ} .
 - V_{DS} .
 - V_D .
30. Para la red de la figura 6.91, determine:
- I_{DQ} y V_{GSQ} .
 - V_{DS} .
 - V_D .

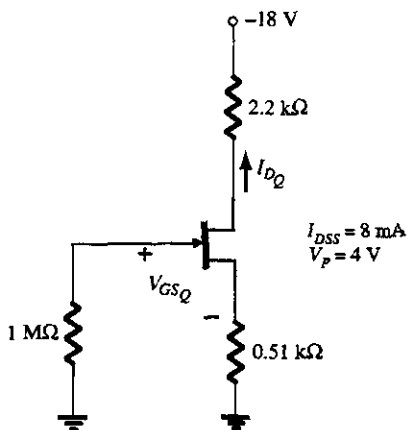


Figura 6.90 Problema 29.

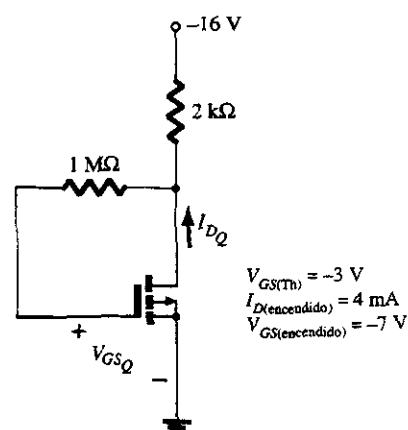


Figura 6.91 Problema 30.

§ 6.12 Curva universal de polarización para JFET

- Repita el problema 1 utilizando la curva universal de polarización para JFET.
- Repita el problema 6 usando la curva universal de polarización para JFET.
- Vuelva a hacer el problema 12 utilizando la curva universal de polarización para JFET.
- Repita el problema 15 ayudado con la curva universal de polarización para JFET.



§ 6.13 Análisis por computadora

35. Desarrolle un análisis con PSpice (DOS) de la red del problema 1. Calcule I_{DQ} y V_{GSQ} .
36. Desarrolle un análisis con PSpice (DOS) de la red del problema 6. Calcule I_{DQ} y V_{GSQ} .
37. Desarrolle un análisis con PSpice (DOS) de la red del problema 15. Calcule I_{DQ} , V_{GSQ} y V_{DSQ} .
38. Desarrolle un análisis con PSpice (Windows) de la red del problema 1.
39. Desarrolle un análisis con PSpice (Windows) de la red del problema 6.
40. Desarrolle un análisis con PSpice (Windows) de la red del problema 15.
41. Utilizando BASIC, calcule I_{DQ} y V_{GSQ} para la red del problema 1.
42. Utilizando BASIC, calcule I_{DQ} y V_{GSQ} para la red del problema 6.
43. Utilizando BASIC, calcule I_{DQ} , V_{GSQ} y V_{DSQ} para la red del problema 12.

*Los asteriscos indican problemas más difíciles.

Modelaje de transistores bipolares

7

 r_e

7.1 INTRODUCCIÓN

En el capítulo 3 se presentaron aspectos como la construcción básica, la apariencia y las características del transistor. En el capítulo 4 se examinó con detalle la polarización de dc. En este apartado se examinará la respuesta de ac *en pequeña señal* del amplificador a BJT mediante la revisión de los *modelos* que se utilizan con más frecuencia para representar al transistor en el dominio senoidal en ac.

Uno de los primeros intereses en el análisis senoidal en ac de las redes de transistores es la magnitud de la señal de entrada, porque ésta determinará si deben aplicarse las técnicas de *pequeña señal* o de *gran señal*. No existe una línea divisoria entre ambas, pero la aplicación y la magnitud de las variables de interés relacionadas con las escalas de las características del dispositivo, por lo general, establecen con claridad cuál método es el adecuado. La técnica de *pequeña señal* se presenta en este capítulo y las aplicaciones de *gran señal* se examinan en el capítulo 16.

Existen dos modelos que se utilizan con frecuencia en el análisis en ac de *pequeña señal* de redes de transistores: el modelo r_e y el *equivalente híbrido*. Este capítulo presenta no sólo ambos modelos, sino que define el papel de cada uno y la relación que hay entre ambos.

7.2 AMPLIFICACIÓN EN EL DOMINIO DE AC

En el capítulo 3 se demostró que se puede utilizar el transistor como un dispositivo amplificador. Esto es, la señal senoidal de salida es mayor que la señal de entrada o, dicho de otra manera, la potencia en ac de la salida es mayor que la potencia en ac de entrada. Luego surge la pregunta sobre la manera en que la potencia en ac de salida puede ser mayor que la potencia en ac de entrada. La conservación de la energía establece que a través del tiempo la potencia total de salida, P_o , de un sistema no puede ser mayor que su potencia de entrada, P_i , y que la eficiencia definida como $\eta = P_o/P_i$ no puede ser mayor que 1. El factor que falta en la presentación anterior que permite que la potencia en ac de salida sea mayor que la potencia en ac de entrada es la potencia aplicada de dc. Ésta es una contribución a la potencia total de salida, aunque parte de ella se disipe por medio del dispositivo y los elementos resistivos. En otras palabras, existe un "intercambio" de potencia de dc al dominio de ac que permite el establecimiento de una mayor potencia de ac de salida. De hecho, se define una *eficiencia de conversión* por medio de $\eta = P_{o(ac)}/P_{i(dc)}$, donde $P_{o(ac)}$ es la potencia en ac de la carga, y $P_{i(dc)}$ es la potencia de dc suministrada.

Quizá el papel de la fuente de dc pueda describirse mejor si se considera primero la red de dc simple de la figura 7.1. La dirección de flujo resultante está indicada en la figura junto con una gráfica de la corriente i en función del tiempo. Ahora se insertará un mecanismo de control como el que se muestra en la figura 7.2. El mecanismo de control es tal, que la aplicación de

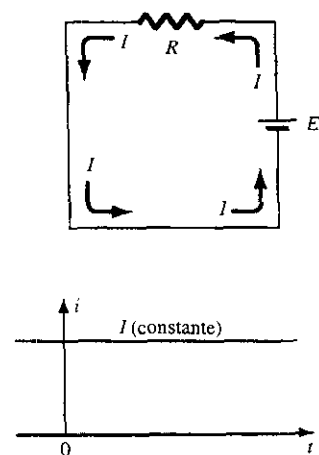


Figura 7.1 Corriente estable fijada mediante una fuente dc.

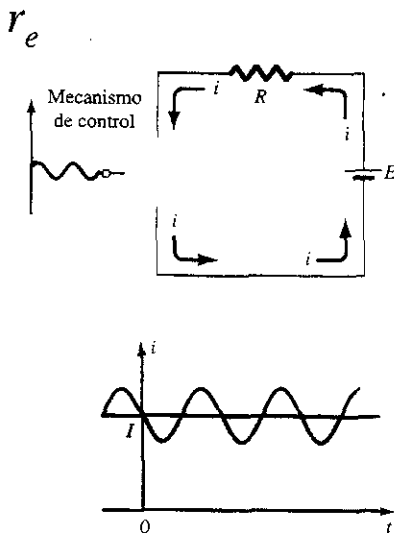


Figura 7.2 Efecto de un elemento de control sobre el flujo de estado estable del sistema eléctrico de la figura 7.1.

una señal relativamente pequeña al mecanismo de control puede ocasionar una oscilación mucho mayor en el circuito de salida. Para el sistema de la figura 7.2 el valor pico de la oscilación está controlado por el nivel de dc establecido. Cualquier intento de exceder el límite establecido por el nivel de dc dará por resultado un “recorte” (aplanado) de la región pico de la señal de salida. Por tanto, y en general, el diseño adecuado del amplificador requiere que los componentes dc y en ac sean sensitivos a los requerimientos y limitaciones del otro.

Sin embargo, en realidad es una fortuna que los amplificadores de pequeña señal a transistores puedan considerarse lineales para la mayoría de las aplicaciones, permitiéndose el uso del teorema de la superposición para aislar el análisis dc del análisis ac.

7.3 MODELAJE DE TRANSISTORES BJT

La clave para el análisis en pequeña señal de los transistores es el uso de circuitos equivalentes (modelos) que se presentarán en este capítulo.

Un modelo es la combinación de elementos del circuito, seleccionados de forma adecuada, que mejor se aproximan al comportamiento real de un dispositivo semiconductor que está bajo condiciones específicas de operación.

Una vez que se determina el circuito equivalente en ac, se puede reemplazar en el esquema el símbolo gráfico del dispositivo por este circuito y pueden, entonces, aplicarse los métodos básicos del análisis de circuitos ac (análisis de mallas, análisis por nodos y el teorema de Thévenin) para determinar la respuesta del circuito.

Hoy en día, existen dos importantes corrientes de pensamiento respecto al circuito equivalente que sustituirá al transistor. Durante muchos años tanto las instituciones industriales como las educativas se apoyaban mucho sobre los *parámetros híbridos* (los cuales serán presentados en breve). El circuito equivalente de parámetros híbridos sigue siendo muy popular, aunque ahora debe compartir su utilización con un circuito equivalente que se derivó directamente a partir de las condiciones de operación del transistor: el modelo r_e . Los fabricantes continúan especificando los parámetros híbridos para una región de operación en particular en sus hojas de especificaciones. Los parámetros (o componentes) del modelo r_e pueden derivarse de manera directa a partir de los parámetros híbridos. Sin embargo, el circuito híbrido equivalente se condiciona por estar limitado a un conjunto en particular de condiciones de operación si se debe considerar como preciso. Los parámetros del otro circuito equivalente pueden determinarse para cualquier región de operación dentro de la región activa y no están limitados por el conjunto único de parámetros proporcionados en las hojas de especificaciones. En contraste, el modelo r_e fracasa por no considerar el nivel de impedancia de salida del dispositivo, ni en el efecto de retroalimentación de la salida a la entrada.

Debido a que ambos modelos se emplean en forma extensiva en la actualidad, los dos se examinan con detalle en este texto. En algunos análisis y ejemplos se requerirá el modelo híbrido, mientras que en otros se utilizará el modelo r_e de manera exclusiva. Sin embargo, en el texto se harán todos los esfuerzos para mostrar cuán relacionados están los dos modelos, y cómo el aprovechamiento de uno conduce al aprovechamiento natural del otro.

En un esfuerzo para demostrar el efecto que tendrá el circuito equivalente en ac sobre el siguiente análisis, se debe considerar el circuito de la figura 7.3. Es importante asumir por el momento que ya está determinado el circuito equivalente de ac en pequeña señal. Debido a que sólo se está interesado en la respuesta en ac del circuito, todas las fuentes de dc se pueden reemplazar por un potencial equivalente de cero (corto circuito) debido a que sólo aproximan el nivel de dc (estable) del voltaje de salida y no la magnitud de la excursión de la salida en ac; esto está claramente expuesto en la figura 7.4. Los niveles de dc fueron importantes sólo para determinar el punto de operación Q adecuado. Una vez que éstos se fijaron, se pueden eliminar los niveles de dc del análisis en ac de la red. Además, se seleccionaron el par de capacitores de acoplamiento C_1 y C_2 y el capacitor de desvío C_3 para tener una pequeña reactancia a la frecuencia de la aplicación. Por tanto, para cualquier propósito práctico, pueden sustituirse mediante una trayectoria de baja resistencia o por un corto circuito de polarización; pero es

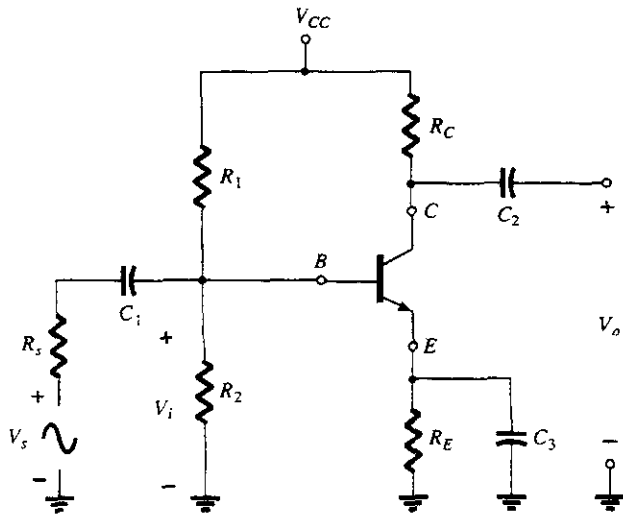


Figura 7.3 Circuito de transistor bajo examen en esta discusión introductoria.

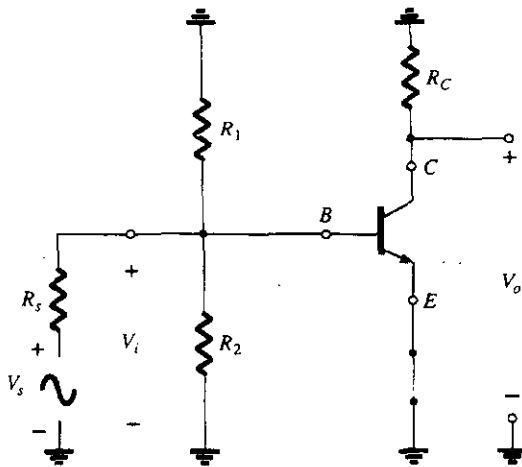


Figura 7.4 La red de la figura 7.3 después de la eliminación de la fuente de dc y la inserción del corto circuito equivalente para los capacitores.

evidente que esto ocasionará un “corto” del resistor de polarización R_E . Recuerde que los capacitores asumen un equivalente de “circuito abierto” bajo condiciones de estado de dc estable, lo que permite un aislamiento entre los estados de los niveles de dc y las condiciones estables.

Si se establece una tierra común y se reorganizan los elementos de la figura 7.4, R_1 y R_2 estarán en paralelo, y R_C aparecerá de colector a emisor como lo muestra la figura 7.5. Debido a que los componentes del circuito equivalente del transistor que aparecen en la figura 7.5

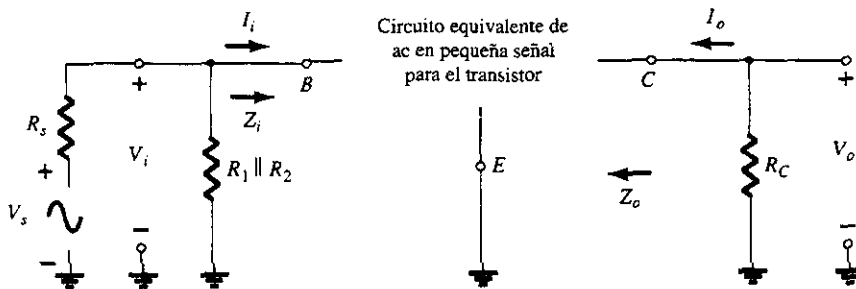


Figura 7.5 Redibujo de la figura 7.4 para el análisis en ac y pequeña señal.

utilizan componentes familiares como resistores y fuentes controladas independientes, se pueden aplicar las técnicas de análisis como la superposición, el teorema de Thévenin, y así sucesivamente, para determinar las cantidades deseadas.

Si se examina con mayor detalle la figura 7.5, se pueden identificar las cantidades importantes que se elegirán para el sistema. Debido a que el transistor es un dispositivo amplificador, se podría esperar alguna indicación acerca de cómo se relaciona el voltaje de salida V_o con el voltaje de entrada V_i , la *ganancia en voltaje*. En la figura 7.5 se observa para esta configuración que $I_i = I_b$ y que $I_o = I_c$, las cuales definen la *ganancia en corriente* $A_i = I_o/I_i$. La impedancia de entrada Z_i y la impedancia de salida Z_o son particularmente importantes en el próximo análisis. En las siguientes secciones se hablará mucho más acerca de estos parámetros.

En resumen, el equivalente de ac de una red se obtiene:

1. *Haciendo todas las fuentes de dc cero y reemplazándolas por un corto circuito equivalente*
2. *Reemplazando todos los capacitores por un corto circuito equivalente*
3. *Eliminando todos los elementos en paralelo con un elemento de desvío mediante los equivalentes de corto circuito que fueron presentados en los pasos 1 y 2*
4. *Redibujando la red de manera más conveniente y más lógica*

En las siguientes secciones los circuitos r_e y el híbrido equivalente se presentarán para completar el análisis en ac de la red de la figura 7.5.

7.4 LOS PARÁMETROS IMPORTANTES: Z_i, Z_o, A_v, A_i

Antes de investigar los circuitos equivalentes para los amplificadores a BJT con mayor detalle, primero se estudiarán aquellos parámetros de un sistema de dos puertos que son de vital importancia desde los puntos de vista de análisis y de diseño. Para el sistema de dos puertos (dos pares de terminales) de la figura 7.6, el lado de la entrada (el lado en el cual se aplica normalmente la señal) está situado a la izquierda y el lado de la salida (donde está conectada la carga) se localiza a la derecha. De hecho, para la mayoría de los sistemas eléctricos y electrónicos el flujo general normalmente es de izquierda a derecha. Para ambos conjuntos de terminales, la impedancia entre cada par de terminales bajo condiciones normales de operación es muy importante.

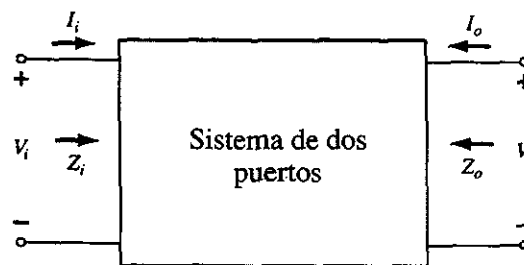


Figura 7.6 Sistema de dos puertos.

Impedancia de entrada, Z_i

Para el lado de la entrada, la impedancia de entrada Z_i está definida por la ley de Ohm de la siguiente forma:

$$Z_i = \frac{V_i}{I_i} \quad (7.1)$$

Si la señal de entrada V_i es cambiada, se puede calcular la corriente I_i utilizando el mismo nivel de impedancia de entrada. En otras palabras:

Para el análisis en pequeña señal, una vez que se ha determinado la impedancia de entrada, se puede emplear el mismo valor numérico para los niveles cambiantes de la señal aplicada.

De hecho, se encontrará en las próximas secciones que la impedancia de entrada de un transistor puede calcularse de forma aproximada mediante las condiciones de polarización de dc, las cuales son condiciones que no cambian sólo porque varía la magnitud de la señal de ac aplicada.

Es muy notable que para las frecuencias dentro del rango bajo a medio-bajo (normalmente ≤ 100 kHz):

La impedancia de entrada para un amplificador a transistor a BJT es puramente resistiva en naturaleza, y dependiendo de la manera en que se utilice el transistor, puede variar desde unos cuantos ohms hasta los megaohms.

Además:

No se puede emplear un óhmetro para medir impedancia de entrada en pequeña señal debido a que éste opera en el modo de dc.

La ecuación (7.1) es particularmente útil porque proporciona un método para medir la resistencia de entrada en el dominio de ac. Por ejemplo, en la figura 7.7 se añadió un resistor sensor en el lado de la entrada para permitir una determinación de I_i mediante el empleo de la ley de Ohm. Se puede utilizar un osciloscopio o un multímetro digital sensible (DMM) para medir tanto el voltaje V_s como el V_i . Ambos voltajes pueden ser de pico a pico, o valores rms, siempre y cuando ambos valores utilicen el mismo estándar. Luego se determina la impedancia de entrada de la siguiente manera:

$$I_i = \frac{V_s - V_i}{R_{\text{sensor}}} \quad (7.2)$$

$$Z_i = \frac{V_i}{I_i} \quad (7.3)$$

y

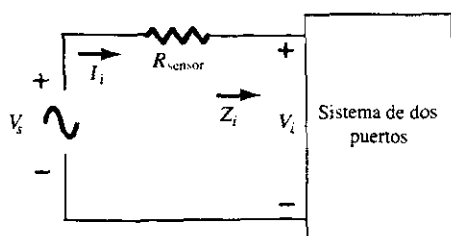


Figura 7.7 Determinación de Z_i .

La importancia de la impedancia de entrada de un sistema se puede demostrar mejor por medio de la red de la figura 7.8. La fuente de la señal tiene una resistencia interna de 600Ω y el sistema (posiblemente un amplificador a transistor) tiene una resistencia de entrada de $1.2 \text{ k}\Omega$. Si la fuente fuera ideal ($R_s = 0 \Omega$), los 10 mV completos serían aplicados al sistema, pero por la

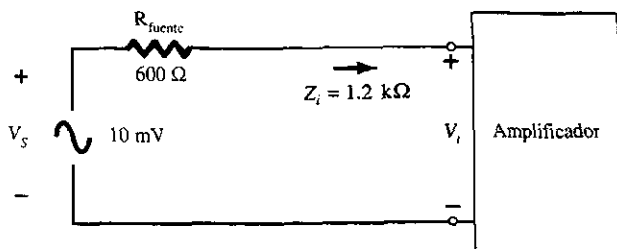


Figura 7.8 Demostración del impacto de Z_i en la respuesta del amplificador.

impedancia de la fuente, se debe calcular el voltaje de entrada utilizando la regla del divisor de voltaje de la siguiente manera:

$$V_i = \frac{Z_i V_s}{Z_i + R_{\text{fuente}}} = \frac{(1.2 \text{ k}\Omega)(10 \text{ mV})}{1.2 \text{ k}\Omega + 0.6 \text{ k}\Omega} = 6.67 \text{ mV}$$

De este modo sólo el 66.7% de toda la señal de entrada está disponible en la entrada. Si Z_i fuera sólo de 600Ω , entonces $V_i = \frac{1}{2}(10 \text{ mV}) = 5 \text{ mV}$ o el 50% de la señal disponible. Desde luego, si $Z_i = 8.2 \text{ k}\Omega$, V_i será del 93.2% de la señal aplicada. Por tanto, el nivel de la impedancia de entrada puede tener un impacto significativo sobre el nivel de la señal que alcance el sistema (o amplificador). En las siguientes secciones y capítulos se demostrará que la resistencia de entrada en ac es dependiente en el caso de que el transistor esté en la configuración de base común, emisor común, o de colector común y la colocación de los elementos resistivos.

EJEMPLO 7.1

Para el sistema de la figura 7.9, calcule el valor de la impedancia de entrada.

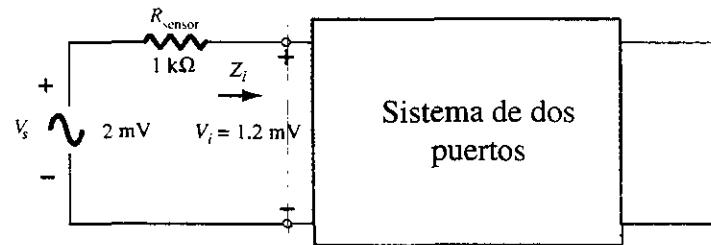


Figura 7.9 Ejemplo 7.1.

Solución

$$I_i = \frac{V_s - V_i}{R_{\text{sensor}}} = \frac{2 \text{ mV} - 1.2 \text{ mV}}{1 \text{ k}\Omega} = \frac{0.8 \text{ mV}}{1 \text{ k}\Omega} = 0.8 \mu\text{A}$$

$$\text{y } Z_i = \frac{V_i}{I_i} = \frac{1.2 \text{ mV}}{0.8 \mu\text{A}} = 1.5 \text{ k}\Omega$$

Impedancia de salida, Z_o

La impedancia de salida naturalmente se define en el conjunto de terminales de salida, pero esta definición es un poco diferente cuando se trata de la impedancia de entrada. Esto es:

La impedancia de salida se determina en las terminales de salida viendo hacia atrás al sistema con la señal aplicada igual a cero.

Por ejemplo, en la figura 7.10 la señal aplicada se hace cero volts. Para determinar Z_o , se aplica una señal, V_s , a las terminales de salida y se mide el nivel de V_o con un osciloscopio o un DMM sensible. Luego se calcula la impedancia de salida de la siguiente manera:

$$I_o = \frac{V - V_o}{R_{\text{sensor}}} \quad (7.4)$$

$$\text{y } Z_o = \frac{V_o}{I_o} \quad (7.5)$$

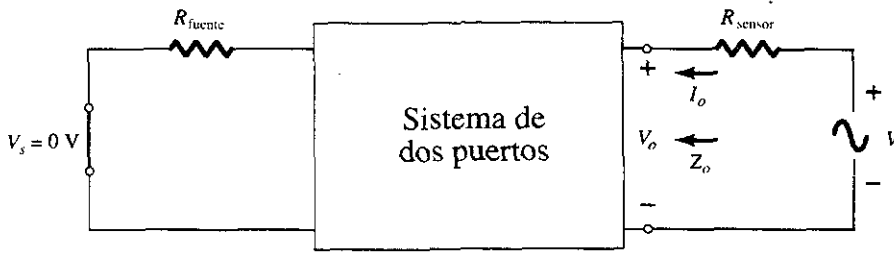


Figura 7.10 Determinación de Z_o .

En particular, para las frecuencias en el rango bajo a medio (normalmente ≤ 100 kHz):

La impedancia de salida de un amplificador a transistor BJT es resistiva por naturaleza y, dependiendo de la configuración y la colocación de los elementos resistivos, Z_o puede variar desde unos cuantos ohms a un valor que puede exceder los $2\text{ M}\Omega$.

Además:

No se puede utilizar un óhmetro para medir la impedancia de salida en pequeña señal debido a que el óhmetro trabaja en el modo de dc.

Para las configuraciones de amplificador donde se desea una ganancia significativa en corriente, el nivel de Z_o debe ser tan grande como sea posible. Como se demostró en la figura 7.11, si $Z_o \gg R_L$, la mayor parte de la corriente de salida pasará a la carga. En las siguientes secciones y capítulos se demostrará que con frecuencia Z_o es tan grande respecto a R_L que se puede reemplazar por un equivalente de circuito abierto.

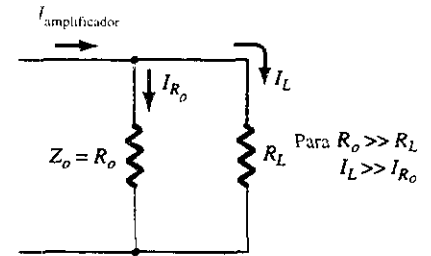


Figura 7.11 Efecto de $Z_o = R_o$ en la corriente I_L de carga o salida.

Calcular el nivel de impedancia de salida para el sistema de la figura 7.12.

EJEMPLO 7.2

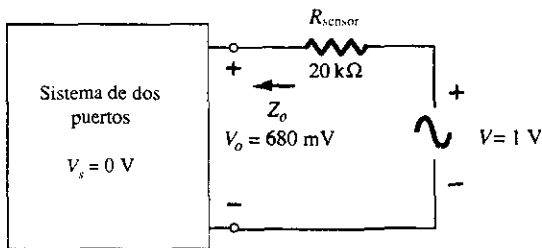


Figura 7.12 Ejemplo 7.2.

Solución

$$I_o = \frac{V - V_o}{R_{\text{sensor}}} = \frac{1\text{ V} - 680\text{ mV}}{20\text{ k}\Omega} = \frac{320\text{ mV}}{20\text{ k}\Omega} = 16\text{ }\mu\text{A}$$

$$Z_o = \frac{V_o}{I_o} = \frac{680\text{ mV}}{16\text{ }\mu\text{A}} = 42.5\text{ k}\Omega$$

Ganancia en voltaje, A_v

Una de las características más importantes de un amplificador es la ganancia en voltaje en pequeña señal, como se determina mediante

$$A_v = \frac{V_o}{V_i} \quad (7.6)$$

Para el sistema de la figura 7.13, no se ha conectado una carga a las terminales de salida y el nivel de ganancia determinado por la ecuación (7.6) se refiere como la ganancia de voltaje de sin carga. Esto es:

$$A_{v_{NL}} = \left. \frac{V_o}{V_i} \right|_{R_L = \infty \Omega \text{ (circuito abierto)}} \quad (7.7)$$

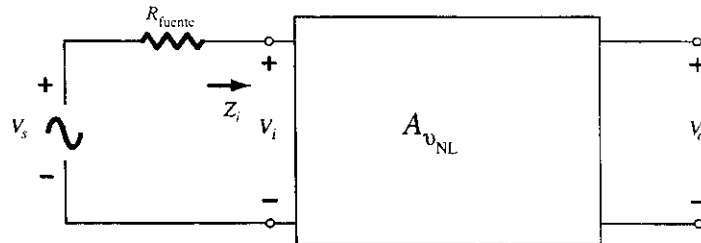


Figura 7.13 Determinación del voltaje de no carga.

En el capítulo 9 se demostrará que:

Para los amplificadores a transistores, la ganancia de voltaje sin carga es mayor que la ganancia de voltaje con carga.

Para el sistema de la figura 7.13 que tiene una resistencia de fuente R_s , el nivel de V_i debería determinarse primero utilizando la regla del divisor de voltaje antes de calcular la ganancia V_o/V_s . Esto es,

$$V_i = \frac{Z_i V_s}{Z_i + R_s}$$

con

$$\frac{V_i}{V_s} = \frac{Z_i}{Z_i + R_s}$$

y

$$A_{v_s} = \frac{V_o}{V_s} = \frac{V_i}{V_s} \cdot \frac{V_o}{V_i}$$

de tal forma que

$$A_{v_s} = \frac{V_o}{V_s} = \frac{Z_i}{Z_i + R_s} A_{v_{NL}} \quad (7.8)$$

De manera experimental, la ganancia de voltaje A_{v_s} o $A_{v_{NL}}$ se puede calcular simplemente al medir los niveles de voltaje adecuados por medio de un osciloscopio o un DMM sensible, y sustituyendo en la ecuación correspondiente.

Dependiendo de la configuración, la magnitud de la ganancia en voltaje para un amplificador a transistor de una etapa normalmente está en el rango de menos de 1 a unos cuantos cientos. Sin embargo, un sistema multietapas (multiunidades) puede tener una ganancia en voltaje de varios miles.

EJEMPLO 7.3

Para el amplificador a BJT de la figura 7.14, determinar:

- V_i
- I_i
- Z_i
- A_{v_s}

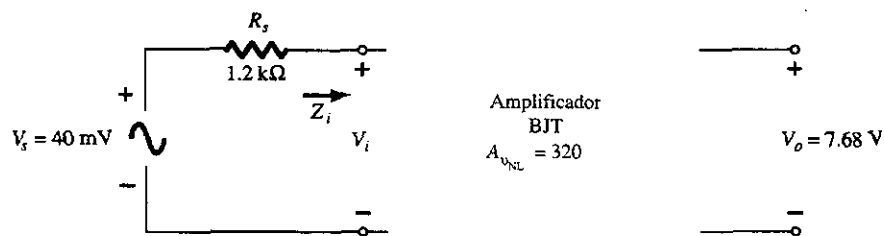


Figura 7.14 Ejemplo 7.3.

Solución

- a) $A_{vNL} = \frac{V_o}{V_i}$ y $V_i = \frac{V_o}{A_{vNL}} = \frac{7.68 \text{ V}}{320} = 24 \text{ mV}$
- b) $I_i = \frac{V_s - V_i}{R_s} = \frac{40 \text{ mV} - 24 \text{ mV}}{1.2 \text{ k}\Omega} = 13.33 \text{ }\mu\text{A}$
- c) $Z_i = \frac{V_i}{I_i} = \frac{24 \text{ mV}}{13.33 \text{ }\mu\text{A}} = 1.8 \text{ k}\Omega$
- d) $A_{v_s} = \frac{Z_i}{Z_i + R_s} A_{vNL}$
 $= \frac{1.8 \text{ k}\Omega}{1.8 \text{ k}\Omega + 1.2 \text{ k}\Omega} (320)$
 $= 192$

Ganancia en corriente, A_i

La última característica numérica que será tratada es la ganancia en corriente definida mediante

$$A_i = \frac{I_o}{I_i} \quad (7.9)$$

Aunque por lo general ésta recibe menor atención que la ganancia en voltaje, es, sin embargo, una cantidad importante que puede tener un impacto significativo en la eficiencia total de un diseño. En general:

Para los amplificadores a BJT, la ganancia en corriente normalmente varía desde un nivel apenas inferior a 1 hasta un nivel que puede exceder los 100.

Para la situación con carga de la figura 7.15,

$$I_i = \frac{V_i}{Z_i} \quad \text{e} \quad I_o = -\frac{V_o}{R_L}$$



Figura 7.15 Determinación de la ganancia de corriente cargada.

$$\text{con } A_i = \frac{I_o}{I_i} = -\frac{V_o/R_L}{V_i/Z_i} = -\frac{V_o Z_i}{V_i R_L}$$

$$\text{y } \boxed{A_i = -A_v \frac{Z_i}{R_L}} \quad (7.10)$$

La ecuación (7.10) permite determinar la ganancia en corriente a partir de la ganancia en voltaje de los niveles de impedancia.

Relación de la fase

La relación de la fase entre las señales senoidales de entrada y de salida es importante por una variedad de razones prácticas. Afortunadamente:

Para el transistor amplificador típico a frecuencias que permiten ignorar los efectos de los elementos reactivos, las señales de entrada y de salida están o bien 180° fuera de fase o en fase.

La razón de la situación anterior se aclarará en los siguientes capítulos.

Resumen

Hasta aquí se han presentado los parámetros de importancia primaria de un amplificador: la impedancia de entrada Z_i , la impedancia de salida Z_o , la ganancia de voltaje A_v , la ganancia de corriente A_i y la relación de la fase resultante. Otros factores, tales como la frecuencia aplicada en los extremos bajo y alto del espectro de frecuencias, afectarán algunos de estos parámetros, pero esto se discutirá en el capítulo 11. En las siguientes secciones y capítulos, todos los parámetros se determinarán para una variedad de redes de transistores para permitir una comparación de las ventajas y de las desventajas de cada configuración.

7.5 EL MODELO DE TRANSISTOR r_e

El modelo r_e requiere un diodo y una fuente de corriente controlada para duplicar el comportamiento de un transistor en la región de interés. Recuerde que una fuente controlada de corriente es aquella donde los parámetros de la fuente de corriente están controlados por medio de una corriente situada en cualquier otro lugar de la red. De hecho:

Los amplificadores a transistor BJT son conocidos como dispositivos de corriente controlada.

Configuración de base común

En la figura 7.16a se ha insertado un transistor *pnp* dentro de la estructura de dos puertos, y es necesario para la discusión de las últimas secciones. En la figura 7.16b el modelo r_e para el transistor se ha colocado entre las mismas cuatro terminales. Como se observó en la sección 7.3, el modelo (circuito equivalente) se selecciona de tal forma que se aproxime al comportamiento del dispositivo que está reemplazando en la región de operación de interés. En otras palabras, los resultados obtenidos con el modelo en su lugar deben ser relativamente cercanos a aquellos que se consiguen con el transistor real. En el capítulo 3 se estudió que una unión de un transistor en operación está polarizada de manera directa, mientras que la otra está polarizada inversamente. La unión en polarización directa se comportará de forma similar a un diodo (ignorando los efectos de los cambios de valores de V_{CE}) como lo verifican las curvas de la figura 3.7. Para la unión de la base al emisor del transistor de la figura 7.16a, la equivalencia del diodo de la figura 7.16b entre las mismas dos terminales parece ser muy apropiada. Téngase presente que para el lado de la salida las curvas horizontales de la figura 3.8 revelaron que $I_c \cong I_e$ (como se calculó a partir de $I_c = \alpha I_e$) para el rango de valores de V_{CE} . La fuente de corriente

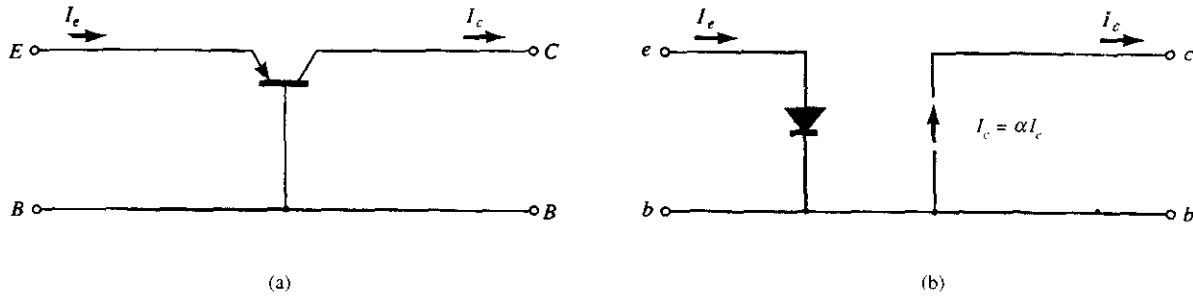


Figura 7.16 a) Transistor BJT en base común; b) modelo r_e para la configuración de la figura 7.16a.

de la figura 7.16b establece el hecho de que $I_c = \alpha I_e$, apareciendo la corriente de control I_e del lado de la entrada del circuito equivalente como se determinó en la figura 7.16a. Por tanto, se ha establecido una equivalencia en las terminales de entrada y de salida con la fuente controlada de corriente, proporcionando así un vínculo entre las dos; una revisión inicial hubiera sugerido que el modelo de la figura 7.16b es un modelo válido del dispositivo real.

En el capítulo 1 se analizó cómo la resistencia en ac de un diodo puede determinarse por medio de la ecuación $r_{ac} = 26 \text{ mV}/I_D$, donde I_D es la corriente de dc a través del diodo en el punto Q (estable). Esta misma ecuación se puede utilizar para encontrar la resistencia en ac del diodo de la figura 7.16b si sólo se sustituye la corriente del emisor de la siguiente manera:

$$r_e = \frac{26 \text{ mV}}{I_{E_Q}} \quad (7.11)$$

El subíndice e de r_e se seleccionó para enfatizar que es el nivel dc de la corriente del emisor la que determina el nivel de la resistencia en ac del diodo de la figura 7.16b. Sustituyendo el valor obtenido de r_e en la figura 7.16b dará por resultado el muy útil modelo de la figura 7.17.

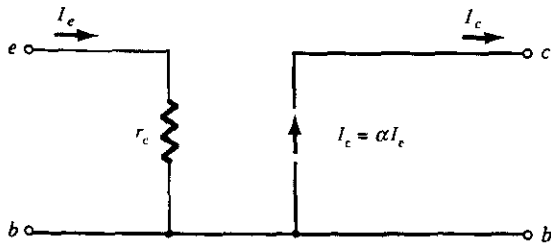


Figura 7.17 Circuito equivalente r_e de base común.

Debido al aislamiento que existe entre los circuitos de entrada y de salida de la figura 7.17, es obvio que la impedancia de entrada Z_i para la configuración de base común de un transistor es simplemente r_e . Esto es,

$$Z_i = r_e \quad CB \quad (7.12)$$

Para la configuración de base común, los valores típicos de Z_i varían desde unos cuantos ohms hasta un máximo de aproximadamente 50Ω .

Para la impedancia de salida, si se hace cero la señal, entonces $I_e = 0 \text{ A}$ e $I_c = \alpha I_e = \alpha (0 \text{ A}) = 0 \text{ A}$, obteniéndose una equivalencia de circuito abierto en las terminales de la salida. El resultado es que para el modelo de la figura 7.17,

$$Z_o \cong \infty \Omega \quad CB \quad (7.13)$$

En realidad:

Para la configuración de base común, los valores típicos de Z_o están en el rango de los megaohms.

La resistencia de salida de la configuración de base común está determinada por la pendiente de las líneas que forman las características de salida como se muestra en la figura 7.18. Suponiendo que las líneas estén perfectamente horizontales (una aproximación excelente), daría por resultado la conclusión de la ecuación (7.13). Si se tuviera cuidado para medir Z_o de forma gráfica o experimental, se obtendrían niveles ubicados normalmente en el rango de 1 a 2 M Ω .

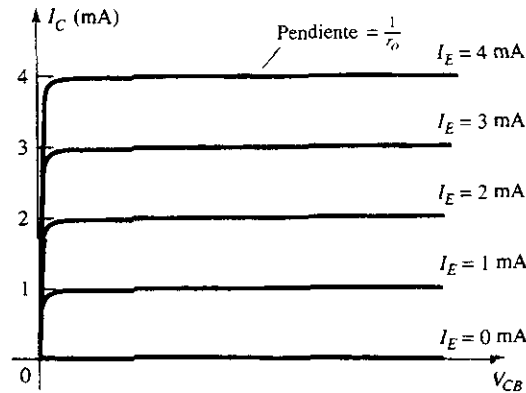


Figura 7.18 Definición de Z_o .

En general, para la configuración de base común, la impedancia de entrada es relativamente pequeña y la impedancia de salida es muy grande.

Ahora se determina la ganancia en voltaje para la red de la figura 7.19.

$$V_o = -I_o R_L = -(-I_c) R_L = \alpha I_e R_L$$

y

$$V_i = I_e Z_i = I_e r_e$$

así que

$$A_v = \frac{V_o}{V_i} = \frac{\alpha I_e R_L}{I_e r_e}$$

y

$$A_v = \frac{\alpha R_L}{r_e} \cong \frac{R_L}{r_e} \quad \text{CB} \quad (7.14)$$

Para la ganancia en corriente,

$$A_i = \frac{I_o}{I_i} = \frac{-I_c}{I_e} = -\frac{\alpha I_e}{I_e}$$

y

$$A_i = -\alpha \cong -1 \quad \text{CB} \quad (7.15)$$

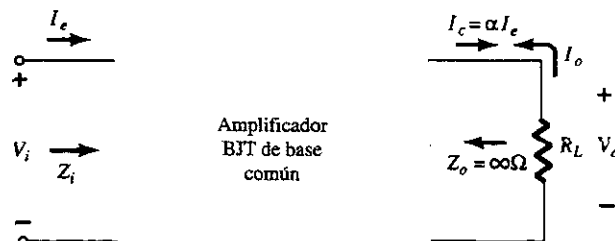


Figura 7.19 Definición de $A_v = V_o/V_i$ para la configuración de base común.

El hecho de que la polaridad del voltaje V_o como lo determinó la corriente I_c sea el mismo que el definido por la figura 7.19 (es decir, el lado negativo está en potencial de tierra) indica que tanto V_o como V_i están *en fase* para la configuración de base común. Para el transistor *npn* en la configuración de base común la equivalencia podría parecerse a la mostrada en la figura 7.20.

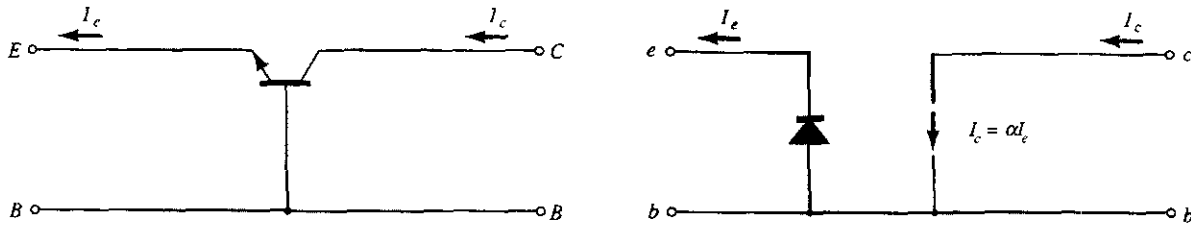


Figura 7.20 Modelo aproximado para la configuración de base común para un transistor *npn*.

Para una configuración de base común de la figura 7.17 con $I_E = 4$ mA, $\alpha = 0.98$, y se aplica una señal en ac de 2 mV entre las terminales de la base y el emisor:

EJEMPLO 7.4

- Calcular la impedancia de entrada.
- Determinar la ganancia en voltaje si se conecta una carga de 0.56 k Ω a las terminales de salida.
- Encontrar la impedancia de salida y la ganancia en corriente.

Solución

$$\text{a) } r_e = \frac{26 \text{ mV}}{I_E} = \frac{26 \text{ mV}}{4 \text{ mA}} = 6.5 \Omega$$

$$\text{b) } I_i = I_c = \frac{V_i}{Z_i} = \frac{2 \text{ mV}}{6.5 \Omega} = 307.69 \mu\text{A}$$

$$V_o = I_c R_L = \alpha I_e R_L = (0.98)(307.69 \mu\text{A})(0.56 \text{ k}\Omega) \\ = 168.86 \text{ mV}$$

$$\text{y } A_v = \frac{V_o}{V_i} = \frac{168.86 \text{ mV}}{2 \text{ mV}} = 84.43$$

o a partir de la ecuación (7.14),

$$A_v = \frac{\alpha R_L}{r_e} = \frac{(0.98)(0.56 \text{ k}\Omega)}{6.5 \Omega} = 84.43$$

$$\text{c) } Z_o \equiv \infty \Omega$$

$$A_i = \frac{I_o}{I_i} = -\alpha = -0.98 \quad \text{como se definió por medio de la ecuación (7.15)}$$

Configuración de emisor común

Para la configuración de emisor común de la figura 7.21a, las terminales de entrada son las terminales de la base y el emisor, pero en este caso la salida se establece entre las terminales del colector y del emisor. Además, la terminal del emisor ahora es común a los puertos de entrada y de salida del amplificador. Sustituyendo el circuito equivalente r_e para el transistor *npn* se obtiene la configuración de la figura 7.21b. Obsérvese que la fuente controlada de corriente aún está conectada entre las terminales del colector y de la base, y el diodo entre las

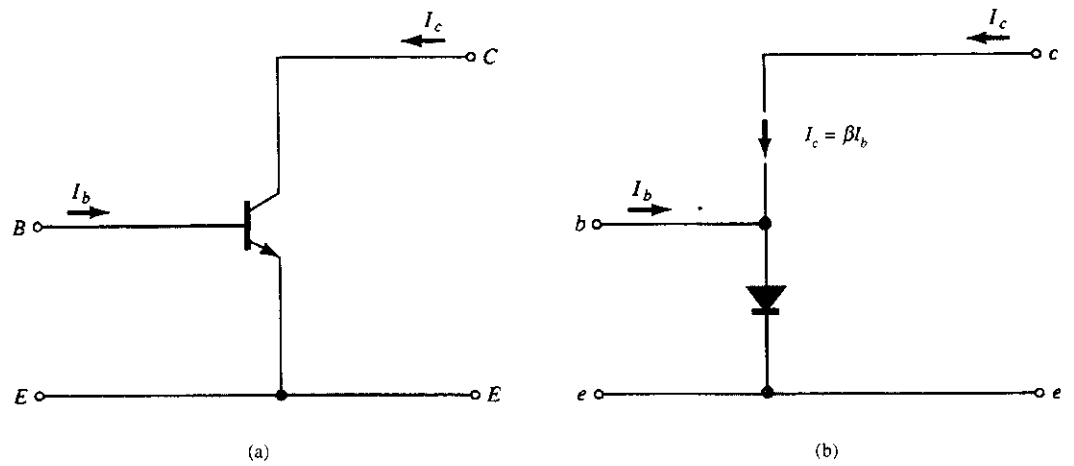


Figura 7.21 a) Transistor BJT en emisor común; b) modelo aproximado para la configuración de la figura 7.21a.

terminales de la base y el emisor. En esta configuración, la corriente de la base es la corriente de entrada, mientras que la corriente de salida aún es I_c . Según lo estudiado en el capítulo 3, las corrientes de base y del colector están relacionadas por medio de la siguiente ecuación:

$$I_c = \beta I_b \quad (7.16)$$

Por tanto, la corriente a través del diodo está determinada por

$$I_e = I_c + I_b = \beta I_b + I_b$$

$$I_e = (\beta + 1) I_b \quad (7.17)$$

Sin embargo, debido a que la beta en ac por lo general es mucho mayor que 1, se empleará la siguiente aproximación en el análisis:

$$I_e \cong \beta I_b \quad (7.18)$$

La impedancia de entrada está determinada por el siguiente cociente:

$$Z_i = \frac{V_i}{I_i} = \frac{V_{be}}{I_b}$$

El voltaje V_{be} está a través de la resistencia del diodo como se muestra en la figura 7.22. El nivel de r_e aún está determinado por la corriente de I_E . Al aplicar la ley de Ohm da

$$V_i = V_{be} = I_e r_e \cong \beta I_b r_e$$

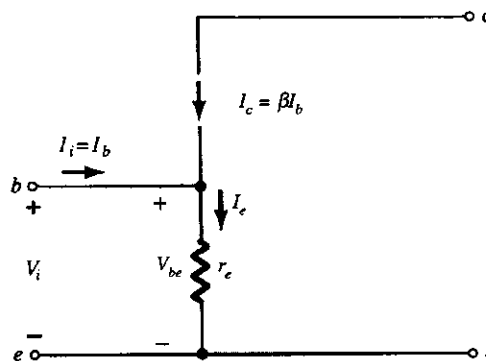


Figura 7.22 Determinación de Z_i utilizando el modelo aproximado.

La sustitución genera

$$Z_i = \frac{V_{be}}{I_b} \cong \frac{\beta I_e r_e}{I_b}$$

$$Z_i \cong \beta r_e \quad \text{CE} \quad (7.19)$$

En esencia, la ecuación (7.19) establece que la impedancia de entrada para una situación como la que se muestra en la figura 7.23 es beta veces el valor de r_e . En otras palabras, un elemento resistivo en la terminal de emisor se refleja en el circuito de entrada mediante un factor de multiplicación β . Por ejemplo, si $r_e = 6.5 \Omega$ como en el ejemplo 7.4 y $\beta = 160$ (muy normal), la impedancia de entrada se ha incrementado a un nivel de

$$Z_i \cong \beta r_e = (160)(6.5 \Omega) = 1.04 \text{ k}\Omega$$

Para la configuración de emisor común, los valores típicos de Z_i definidos mediante βr_e están en el rango desde unos cuantos cientos de ohms al rango de los kilohms con valores máximos de aproximadamente 6 a 7 kilohms.

Para la impedancia de salida, las características de interés son el conjunto de salida de la figura 7.24. Se observa que la pendiente de las curvas se incrementa en la corriente del colector; mientras mayor es la pendiente, menor es el nivel de impedancia de salida (Z_o). El modelo r_e de la figura 7.21 no incluye una impedancia de salida, pero si ésta se encuentra disponible de un análisis gráfico o de las hojas de especificaciones, se puede incluir como lo muestra la figura 7.25.

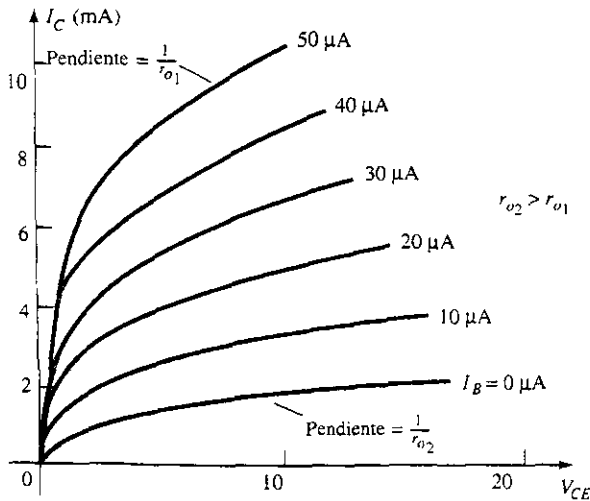


Figura 7.24 Definición de r_o para la configuración de emisor común.

Para la configuración de emisor común, los valores típicos de Z_o están en el rango de los 40 a los 50 k Ω .

Para el modelo de la figura 7.25, si la señal aplicada se hace cero, la corriente I_c es de 0 A y la impedancia de salida es

$$Z_o = r_o \quad \text{CE} \quad (7.20)$$

Desde luego, si se ignora la contribución debida a r_o como en el modelo r_e , la impedancia de salida se define mediante $Z_o = \infty \Omega$.

Ahora se determinará la ganancia de voltaje para la configuración de emisor común de la figura 7.26 utilizando la suposición de $Z_o = \infty \Omega$. El efecto de incluir r_o se considerará en el capítulo 8. Para la dirección definida de I_o y la polaridad de V_o ,

$$V_o = -I_o R_L$$

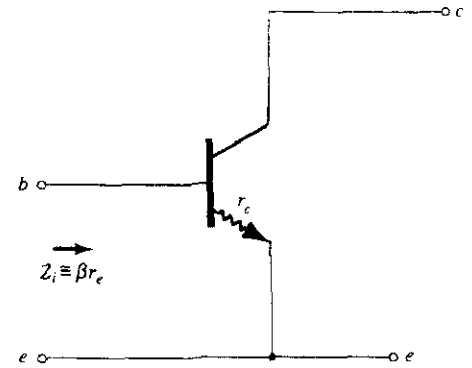


Figura 7.23 Impacto de r_e sobre la impedancia de entrada.

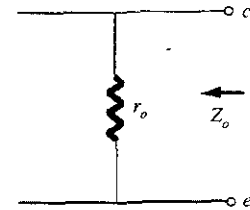


Figura 7.25 Inclusión de r_o en el circuito equivalente de transistor.

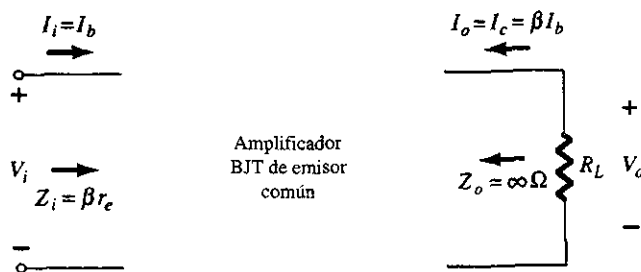
r_e 

Figura 7.26 Determinación de la ganancia de voltaje y corriente para el amplificador de emisor común.

El signo negativo simplemente refleja el hecho de que la dirección de I_o en la figura 7.26 establecería un voltaje V_o con la polaridad opuesta. Continuando se obtiene

$$V_o = -I_o R_L = -I_c R_L = -\beta I_b R_L$$

y

$$V_i = I_i Z_i = I_b \beta r_e$$

de tal forma que

$$A_v = \frac{V_o}{V_i} = -\frac{\beta I_b R_L}{I_b \beta r_e}$$

y

$$A_v = -\frac{R_L}{r_e} \quad \text{CE, } r_o = \infty \Omega \quad (7.21)$$

El signo negativo resultante para la ganancia de voltaje revela que los voltaje de salida y de entrada están fuera de fase por 180° .

La ganancia de corriente para la configuración de la figura 7.26:

$$A_i = \frac{I_o}{I_i} = \frac{I_c}{I_b} = \frac{\beta I_b}{I_b}$$

y

$$A_i = \beta \quad \text{CE, } r_o = \infty \Omega \quad (7.22)$$

Empleando los hechos de que la impedancia de entrada es βr_e , la corriente del colector es βI_b , y la impedancia de salida es r_o , el modelo equivalente de la figura 7.27 puede ser una herramienta útil en el siguiente análisis. Para los valores normales de los parámetros, la configuración de emisor común puede considerarse con un valor moderado de impedancia de entrada, una alta ganancia de voltaje y de corriente, y una impedancia de salida capaz de incluirse en el análisis de la red.

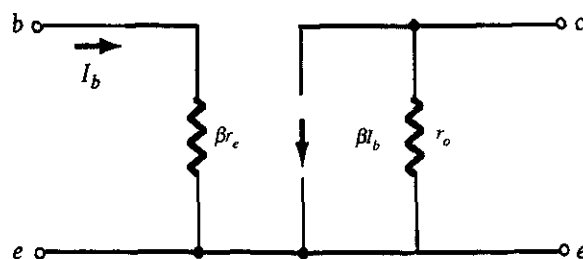


Figura 7.27 Modelo r_e para la configuración de emisor común.

EJEMPLO 7.5

Dados $\beta = 120$ e $I_E = 3.2$ mA, para una configuración de emisor común con $r_o = \infty \Omega$, calcular:

- Z_i .
- A_v si se aplica una carga de $2 \text{ k}\Omega$.
- A_i con la carga de $2 \text{ k}\Omega$.

Solución

$$a) \quad r_e = \frac{26 \text{ mV}}{I_E} = \frac{26 \text{ mV}}{3.2 \text{ mA}} = 8.125 \, \Omega$$

$$y \quad Z_i = \beta r_e = (120)(8.125 \, \Omega) = 975 \, \Omega$$

$$b) \quad \text{La ecuación (7.21): } A_v = -\frac{R_L}{r_e} = -\frac{2 \text{ k}\Omega}{8.125 \, \Omega} = -246.15$$

$$c) \quad A_i = \frac{I_o}{I_i} = \beta = 120$$

Configuración de colector común

Para la configuración de colector común normalmente se aplica el modelo definido para la configuración de emisor común de la figura 7.21, en lugar de definir un modelo para la configuración de colector común. En los capítulos subsecuentes se investigarán una cantidad de configuraciones de colector común y será muy claro el impacto del mismo modelo.

7.6 EL MODELO HÍBRIDO EQUIVALENTE

En la sección 7.5 se señaló que el modelo r_e es sensible al nivel de operación de dc del amplificador. Para que se describa el modelo híbrido equivalente en esta sección, se definieron los parámetros en un punto de operación que puede o no reflejar las condiciones de operación reales del amplificador. Esto se debe a que las hojas de las especificaciones no proporcionan parámetros para un circuito equivalente en cada punto de operación posible. Deberán seleccionarse aquellas condiciones de operación que reflejan las características generales del dispositivo. Como se muestran en la figura 7.28, los parámetros híbridos se redibujan a partir de la hoja de especificaciones para el transistor 2N4400 descrito en el capítulo 3. Se proporcionan los valores a una corriente de colector de dc de 1 mA y con un voltaje colector-emisor de 10 V. Además, se da un rango de valores para cada parámetro con el objeto de guiar el diseño o análisis inicial de un sistema. Una ventaja obvia de la hoja de especificaciones consiste en el conocimiento inmediato de los valores típicos de los parámetros del dispositivo comparado contra otros transistores.

Las cantidades h_{ie} , h_{re} , h_{fe} y h_{oe} de la figura 7.28 se conocen como los parámetros híbridos y consisten en los componentes de pequeña señal del circuito equivalente que se describirá en breve. Durante años, el modelo híbrido junto con todos sus parámetros fue el modelo seleccionado por las comunidades educativas e industriales. Sin embargo, hoy en día se aplica el modelo r_e con más frecuencia, pero a menudo el parámetro h_{oe} del modelo híbrido equivalente

		Mínimo	Máximo	
Impedancia de entrada ($I_C = 1 \text{ mA}$ dc, $V_{CE} = 10 \text{ V}$ dc, $f = 1 \text{ kHz}$) 2N4400	h_{ie}	0.5	7.5	k Ω
Relación de retroalimentación de voltaje ($I_C = 1 \text{ mA}$ dc, $V_{CE} = 10 \text{ V}$ dc, $f = 1 \text{ kHz}$)	h_{re}	0.1	8.0	$\times 10^{-4}$
Ganancia de corriente en pequeña señal ($I_C = 1 \text{ mA}$ dc, $V_{CE} = 10 \text{ V}$ dc, $f = 1 \text{ kHz}$) 2N4400	h_{fe}	20	250	—
Admitancia de salida ($I_C = 1 \text{ mA}$ dc, $V_{CE} = 10 \text{ V}$ dc, $f = 1 \text{ kHz}$)	h_{oe}	1.0	30	μS

Figura 7.28 Parámetros híbridos para el transistor 2N4400.

se emplea para proporcionar cierta medida de la impedancia de salida. Debido a que las hojas de especificaciones proporcionan los parámetros híbridos y que el modelo híbrido continúa recibiendo mayor atención, es muy importante que el modelo híbrido se cubra con cierto detalle en este libro. Una vez desarrollado, serán muy aparentes las similitudes entre los modelos r_e e híbrido. De hecho, una vez que se hayan definido los componentes de uno para un punto de operación en particular, estarán disponibles de forma inmediata los parámetros del otro.

La descripción del modelo equivalente híbrido dará principio con el sistema general de dos puertos de la figura 7.29. El siguiente conjunto de ecuaciones (7.23) es sólo una de las muchas formas en que se pueden relacionar las cuatro variables de la figura 7.29. Sin embargo, es el que más se utiliza en el análisis de circuitos de transistores, por lo que se tratará en forma detallada en este capítulo.

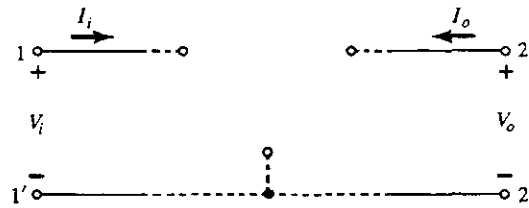


Figura 7.29 Sistema de dos puertos.

$$V_i = h_{11}I_i + h_{12}V_o \quad (7.23a)$$

$$I_o = h_{21}I_i + h_{22}V_o \quad (7.23b)$$

Los parámetros que relacionan las cuatro variables son llamados *parámetros h* , por la palabra “híbrido”. Se eligió este término debido a que la mezcla de variables (V e I) en cada ecuación ocasionan un conjunto “híbrido” de unidades de medición para los parámetros h . Se puede entender mejor lo que representan los diversos parámetros h y cómo puede determinarse su magnitud mediante el aislamiento de cada uno examinando la relación resultante.

Si de forma arbitraria se hace $V_o = 0$ (poniendo en corto circuito las terminales de salida), al resolver h_{11} en la ecuación (7.23a), se obtendrá lo siguiente:

$$h_{11} = \left. \frac{V_i}{I_i} \right|_{V_o=0} \quad \text{ohms} \quad (7.24)$$

Esta relación indica que el parámetro h_{11} es un parámetro de impedancia con las unidades de ohms. Debido a que se trata del cociente del voltaje de *entrada* entre la corriente de *entrada* estando *en corto circuito* las terminales de salida, se llama *parámetro de impedancia de entrada a corto circuito*. El subíndice 11 en h_{11} indica el hecho de que el parámetro se calculó mediante un cociente de cantidades medido en las terminales de entrada.

Si se hace I_i igual a cero abriendo las terminales de entrada, se obtendrá lo siguiente para h_{12} :

$$h_{12} = \left. \frac{V_i}{V_o} \right|_{I_i=0} \quad \text{sin unidad} \quad (7.25)$$

Por tanto, el parámetro h_{12} es el cociente entre el voltaje de entrada y el voltaje de salida con la corriente de entrada igual a cero. No tiene unidades, ya que se trata de un cociente entre los valores de los voltajes, y se llama *parámetro de la relación de voltaje de transferencia inversa a circuito abierto*. El subíndice 12 de h_{12} revela que el parámetro es una cantidad de transferencia calculada mediante un cociente entre mediciones de entrada y de salida. El primer dígito del

subíndice indica la cantidad medida que aparece en el numerador; el segundo dígito define la fuente de la cantidad que aparece en el denominador. Se incluye el término *inverso* porque el cociente es un voltaje de entrada sobre un voltaje de salida en vez del cociente inverso que por lo general es interesante.

Si en la ecuación (7.23b), V_o se hace cero una vez más mediante el corto circuito de las terminales de salida, se obtendrá lo siguiente para h_{21} :

$$h_{21} = \frac{I_o}{I_i} \quad \text{sin unidad} \quad (7.26)$$

Obsérvese que ahora se cuenta con el cociente de una cantidad de salida a una cantidad de entrada. Ahora se utilizará el término *directo* en lugar de *inverso* como se aplicó para h_{12} . El parámetro h_{21} es la relación de la corriente de salida a la corriente de entrada con las terminales de salida en corto circuito. Este parámetro, así como h_{12} , no tiene unidades debido a que se trata del cociente entre valores de corriente. De manera formal se llama *parámetro de la relación de transferencia directa de corriente a corto circuito*. El subíndice 21 indica una vez más que se trata de un parámetro de transferencia estando la cantidad de salida en el numerador y la cantidad de entrada en el denominador.

El último parámetro, h_{22} , se puede encontrar una vez más al abrir las terminales de entrada para hacer $I_i = 0$ y resolviendo h_{22} en la ecuación (7.23b):

$$h_{22} = \frac{I_o}{V_o} \quad \text{siemens} \quad (7.27)$$

Debido a que se trata de la relación de la corriente de salida al voltaje de salida, el parámetro de conductancia de salida se mide en siemens (S). Se llama *parámetro de admitancia de salida a circuito abierto*. El subíndice 22 indica que se calculó mediante el cociente de cantidades de salida.

Ya que cada término de la ecuación (7.23a) tiene la unidad volt, se aplicará la ley de voltaje de Kirchhoff "hacia atrás" para encontrar un circuito que se "acomode" en la ecuación. Llevando a cabo esta operación se obtiene en circuito de la figura 7.30. Debido a que el parámetro h_{11} tiene la unidad ohm, éste se representa mediante un resistor en la figura 7.30. La cantidad h_{12} es adimensional y por tanto aparece simplemente como un factor de multiplicación del término de "retroalimentación" en el circuito de entrada.

Debido a que cada término de la ecuación (7.23b) tiene las unidades de corriente, se aplicará la ley de corriente de Kirchhoff "hacia atrás" para lograr el circuito de la figura 7.31. Debido a que h_{22} tiene las unidades de admitancia, las cuales representan la conductancia en el modelo del transistor, se representa mediante un símbolo del resistor. Sin embargo, se debe considerar que la resistencia en ohms de este resistor es igual al recíproco de la conductancia ($1/h_{22}$).

El circuito equivalente en "ac" completo para el dispositivo lineal básico de tres terminales se indica en la figura 7.32 junto con un nuevo conjunto de subíndices para los parámetros h . La notación de la figura 7.32 es de una naturaleza más práctica porque relaciona los parámetros h con el cociente resultante que se obtuvo en los últimos párrafos. La elección de las literales es obvia a partir del siguiente listado:

- $h_{11} \rightarrow$ resistencia de entrada (input) $\rightarrow h_i$
- $h_{12} \rightarrow$ relación de voltaje de transferencia inversa (reverse) $\rightarrow h_r$

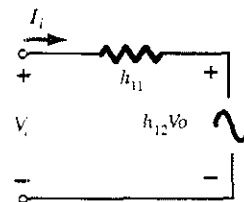
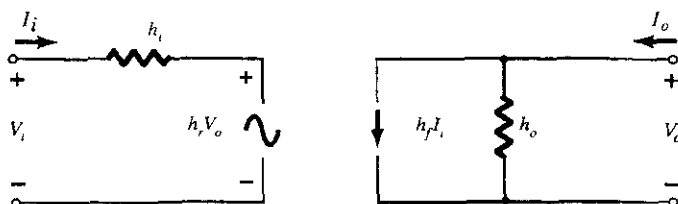


Figura 7.30 Circuito equivalente híbrido de entrada.

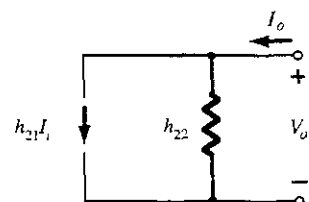


Figura 7.31 Circuito equivalente híbrido de salida.

Figura 7.32 Circuito equivalente híbrido completo.

$h_{21} \rightarrow$ relación de corriente de transferencia directa (forward) $\rightarrow h_f$

$h_{22} \rightarrow$ conductancia de salida (output) $\rightarrow h_o$

El circuito de la figura 7.32 se puede aplicar en cualquier dispositivo o sistema electrónico lineal de tres terminales sin fuentes independientes internas. Por tanto, para el transistor, aun cuando tiene tres configuraciones básicas, *todas son configuraciones de tres terminales*, así que el circuito equivalente resultante tendrá el mismo formato que el que se muestra en la figura 7.32. En cada caso, la parte inferior de las secciones de entrada y de salida de la red de la figura 7.32 pueden conectarse como se indica en la figura 7.33, debido a que el nivel de potencial es el mismo. Por tanto, el modelo de transistor es un sistema de dos puertos y tres terminales; sin embargo, los parámetros h cambiarán en cada configuración. Para distinguir cuál parámetro se ha utilizado o cuál está disponible, se añadió un segundo subíndice a la notación de parámetros h . Se agregó la literal b para la configuración de base común, mientras que para las configuraciones de emisor común y de colector común se incorporaron las literales e y c , respectivamente. En la figura 7.33 aparece la red híbrida equivalente, con la notación estándar, para la configuración de emisor común. Obsérvese que $I_i = I_b$, $I_o = I_c$, y por medio de una aplicación de la ley de corriente de Kirchhoff, $I_e = I_b + I_c$. El voltaje de entrada será ahora V_{be} con el voltaje de salida V_{ce} . Para la configuración de base común de la figura 7.34, $I_i = I_e$, $I_o = I_c$, con $V_{eb} = V_i$ y $V_{cb} = V_o$. Se pueden aplicar las redes de las figuras 7.33 y 7.34 para los transistores *pn*p o *np*n.

El hecho de que en la figura 7.32 aparezcan en el circuito tanto un circuito Thévenin como un Norton dio origen para llamar al circuito resultante un circuito equivalente *híbrido*. Además, dos circuitos equivalentes de transistores, los cuales no serán tratados en este texto, llamados

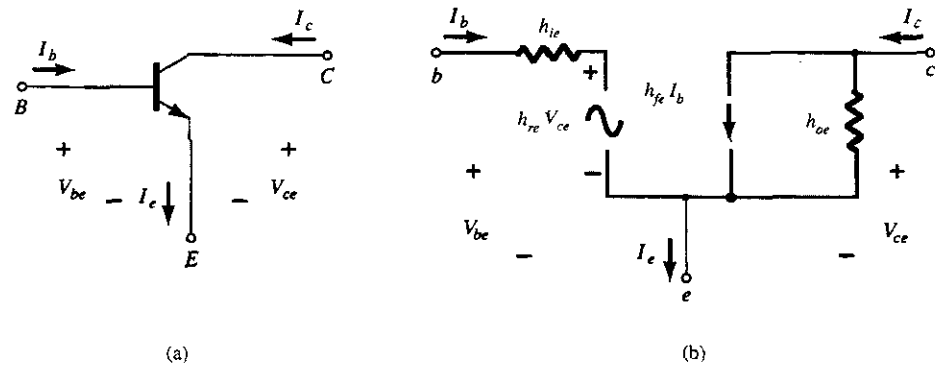


Figura 7.33 Configuración de emisor común: a) símbolo gráfico; b) circuito equivalente híbrido.

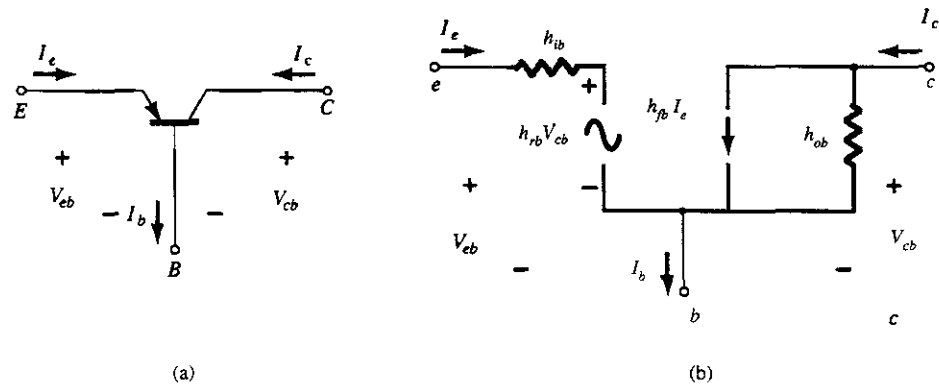


Figura 7.34 Configuración de base común: a) símbolo gráfico; b) circuito equivalente híbrido.

circuitos equivalentes de parámetros- z y de parámetros- y , utilizan ya sea la fuente de voltaje o la fuente de corriente, pero nunca ambos en el mismo circuito equivalente. En la sección 7.7 se encontrarán las magnitudes de varios parámetros a partir de las características de los transistores dentro la región de operación que se obtenga en la *red de pequeña señal equivalente* deseada para el transistor.

Para las configuraciones de emisor común y de base común, la magnitud de h_r y de h_o a menudo es tal que los resultados obtenidos para los parámetros importantes como Z_i , Z_o , A_v y A_i apenas se ven afectados si h_r y h_o no se incluyen en el modelo.

Debido a que h_r por lo general es una cantidad relativamente pequeña, su eliminación se aproxima mediante $h_r \approx 0$ y $h_o V_o = 0$, dando por resultado un equivalente de corto circuito para el elemento de retroalimentación como se muestra en la figura 7.35. La resistencia determinada mediante $1/h_o$ a menudo es lo suficientemente grande para ser ignorada en comparación con una carga paralela que permita su reemplazo por medio un circuito abierto equivalente para los modelos de CE y CB, como se muestra en la figura 7.35.

El equivalente que se obtiene en la figura 7.36 es muy similar a la estructura general de los circuitos equivalentes de base común y de emisor común obtenidos con el modelo r_e . De hecho, los modelos híbrido equivalente y r_e para cada configuración se repitieron en la figura 7.37 con fines de comparación. La figura 7.37 esclarece que

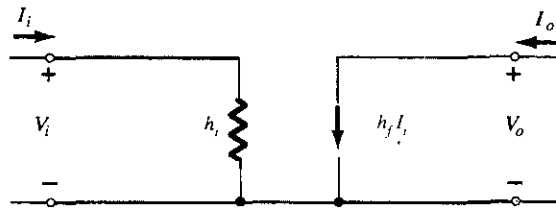
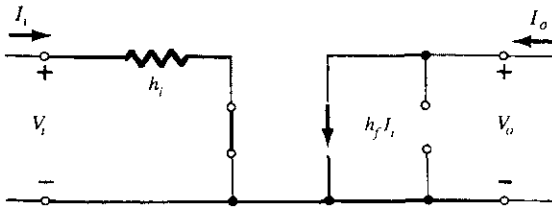
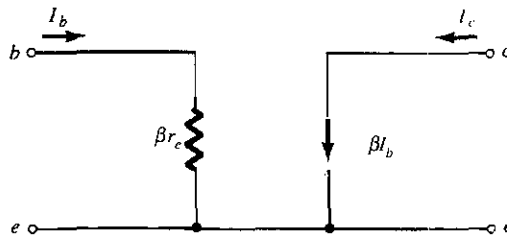
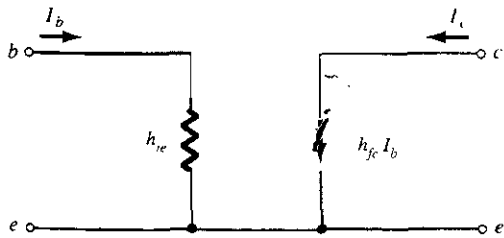
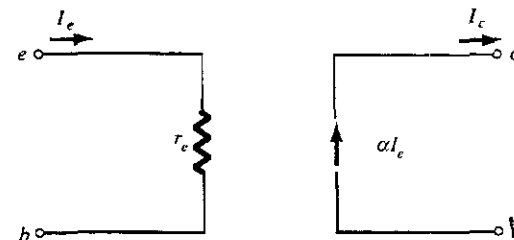
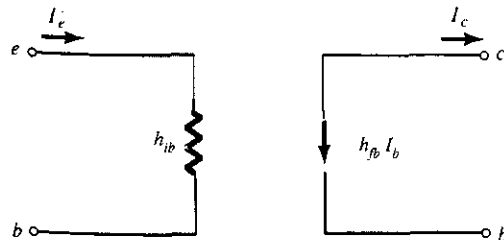


Figura 7.35 Efecto de la eliminación de h_{re} y de h_{oe} del circuito equivalente híbrido.

Figura 7.36 Modelo equivalente híbrido aproximado.



(a)



(b)

Figura 7.37 Modelo híbrido contra r_e ; a) configuración de emisor común; b) configuración de base común.

r_e

$$h_{ie} = \beta r_e \quad (7.28)$$

y

$$h_{fe} = \beta_{ac} \quad (7.29)$$

A partir de la figura 7.37b.

$$h_{ib} = r_e \quad (7.30)$$

y

$$h_{fb} = -\alpha \cong -1 \quad (7.31)$$

En particular, se observa que el signo negativo en la ecuación (7.31) se toma en cuenta por el hecho de que la fuente de corriente del circuito híbrido equivalente estándar apunta hacia abajo en lugar de la dirección real como se muestra en el modelo r_e de la figura 7.37b.

EJEMPLO 7.6

Dados $I_E = 2.5$ mA, $h_{fe} = 140$, $h_{oe} = 20$ μ S (μ mho) y $h_{ob} = 0.5$ μ S, calcular:

- El circuito híbrido equivalente para de emisor común.
- El modelo r_e para base común.

Solución

$$a) \quad r_e = \frac{26 \text{ mV}}{I_E} = \frac{26 \text{ mV}}{2.5 \text{ mA}} = 10.4 \text{ } \Omega$$

$$h_{ie} = \beta r_e = (140)(10.4 \text{ } \Omega) = 1.456 \text{ k}\Omega$$

$$r_o = \frac{1}{h_{oe}} = \frac{1}{20 \text{ } \mu\text{S}} = 50 \text{ k}\Omega$$

Obsérvese la figura 7.38.

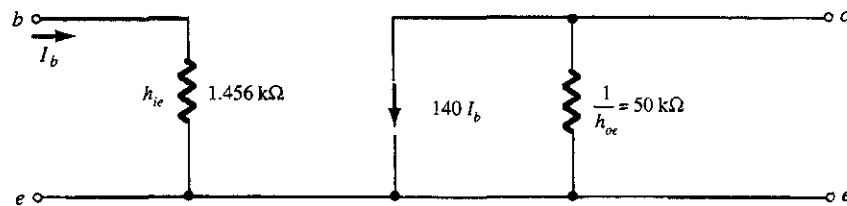


Figura 7.38 Circuito equivalente híbrido de emisor común para los parámetros del ejemplo 7.6.

$$b) \quad r_e = 10.4 \text{ } \Omega$$

$$\alpha \cong 1, \quad r_o = \frac{1}{h_{ob}} = \frac{1}{0.5 \text{ } \mu\text{S}} = 2 \text{ M}\Omega$$

Obsérvese la figura 7.39.

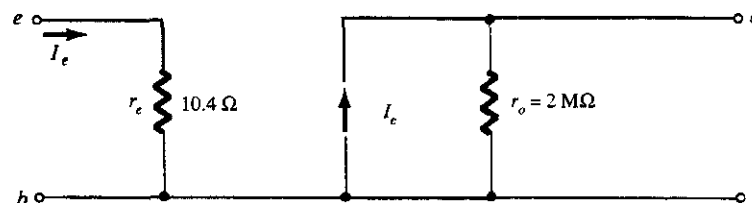


Figura 7.39 Modelo r_e de base común para los parámetros del ejemplo 7.6.

En el apéndice A se proporciona una serie de ecuaciones que relacionan los parámetros de cada configuración para el circuito híbrido equivalente. En la sección 7.8 se demuestra que el parámetro híbrido $h_{fe} (\beta_{ac})$ es, de los parámetros híbridos, el menos sensible a un cambio en la corriente del colector. Por tanto, la suposición de que $h_{fe} = \beta$ es una constante para el rango de interés resulta ser una muy buena aproximación. Es $h_{ie} = \beta r_e$ la que tendrá una variación significativa con I_C y se tiene que calcular a niveles de operación, porque puede tener un impacto real sobre los niveles de ganancia de un transistor amplificador.

7.7 DETERMINACIÓN GRÁFICA DE LOS PARÁMETROS h

Mediante el uso de derivadas parciales (cálculo), se puede mostrar que la magnitud de los parámetros h para el circuito equivalente de pequeña señal del transistor en la región de operación para la configuración de emisor común puede encontrarse mediante las siguientes ecuaciones:*

$$h_{ie} = \frac{\partial v_i}{\partial i_i} = \frac{\partial v_{be}}{\partial i_b} \equiv \frac{\Delta v_{be}}{\Delta i_b} \bigg|_{V_{CE}=\text{constante}} \quad (\text{ohms}) \quad (7.32)$$

$$h_{re} = \frac{\partial v_i}{\partial v_o} = \frac{\partial v_{be}}{\partial v_{ce}} \equiv \frac{\Delta v_{be}}{\Delta v_{ce}} \bigg|_{I_B=\text{constante}} \quad (\text{sin unidad}) \quad (7.33)$$

$$h_{fe} = \frac{\partial i_o}{\partial i_i} = \frac{\partial i_c}{\partial i_b} \equiv \frac{\Delta i_c}{\Delta i_b} \bigg|_{V_{CE}=\text{constante}} \quad (\text{sin unidad}) \quad (7.34)$$

$$h_{oe} = \frac{\partial i_o}{\partial v_o} = \frac{\partial i_c}{\partial v_{ce}} \equiv \frac{\Delta i_c}{\Delta v_{ce}} \bigg|_{I_B=\text{constante}} \quad (\text{siemens}) \quad (7.35)$$

En cada caso el símbolo Δ se refiere a un pequeño cambio en la cantidad alrededor del punto de operación estable. En otras palabras, los parámetros h están determinados en la región de operación para la señal aplicada, de tal forma que el circuito equivalente será el más exacto que esté disponible. Los valores constantes de V_{CE} e I_B se refieren en cada caso a la condición que se debe cumplir cuando se calculan varios parámetros a partir de las características del transistor. Para las configuraciones de base común y de colector común se pueden lograr las ecuaciones adecuadas mediante la simple sustitución de los valores adecuados de v_i , v_o , i_i e i_o .

Los parámetros h_{ie} y h_{re} están determinados a partir de las características de entrada o de base, mientras que los parámetros h_{fe} y h_{oe} se obtienen desde la salida o de las características del colector. Debido a que h_{fe} es por lo general el parámetro de mayor interés, se tratarán primero las operaciones acerca de este parámetro involucradas con las ecuaciones (7.32) a (7.35). El primer paso para calcular cualquiera de los cuatro primeros parámetros híbridos consiste en encontrar el punto de operación estable como lo indica la figura 7.40. En la ecuación (7.34) la condición $V_{CE} = \text{constante}$ requiere que los cambios en la corriente de la base y en la corriente del colector se hagan a lo largo de una línea recta vertical dibujada a través del punto Q que representa un voltaje colector-emisor fijo. Después la ecuación (7.34) necesita que se divida un cambio pequeño en la corriente del colector entre el cambio correspondiente en la corriente de la base. Para lograr la mayor exactitud posible, estos cambios deben hacerse lo más pequeños posibles.

*La derivada parcial $\partial v/\partial i$, proporciona una medida del cambio instantáneo en v_i debido a un cambio instantáneo en i_i .

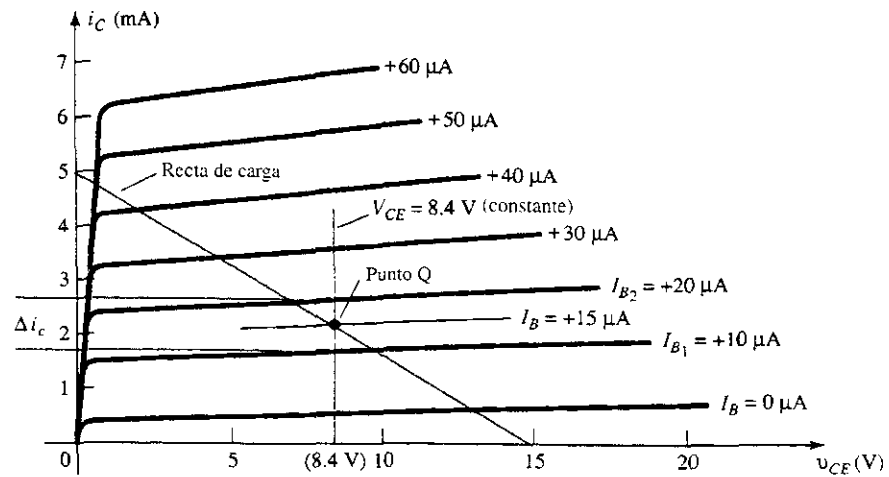


Figura 7.40 Determinación de h_{fe} .

En la figura 7.40 se seleccionó el cambio en i_b para extenderse desde I_{B_1} hasta I_{B_2} a lo largo de la línea recta perpendicular en V_{CE} . El cambio correspondiente en i_c se encuentra más adelante mediante el dibujo de líneas horizontales a partir de las intersecciones de I_{B_1} e I_{B_2} con $V_{CE} = \text{constante}$ respecto al eje vertical. Todo lo que resta consiste en la sustitución de los cambios resultantes de i_b e i_c en la ecuación (7.34); esto es,

$$\begin{aligned} |h_{fe}| &= \left. \frac{\Delta i_c}{\Delta i_b} \right|_{V_{CE} = \text{constante}} = \frac{(2.7 - 1.7) \text{ mA}}{(20 - 10) \mu\text{A}} \bigg|_{V_{CE} = 8.4 \text{ V}} \\ &= \frac{10^{-3}}{10 \times 10^{-6}} = \mathbf{100} \end{aligned}$$

En la figura 7.41 se traza una línea recta tangente a la curva de I_B a través del punto Q para establecer una línea en $I_B = \text{constante}$, como lo requiere la ecuación (7.35) para h_{oe} . Se seleccionó un cambio en v_{CE} y se calcula el cambio correspondiente en i_c mediante el dibujo de unas líneas horizontales al eje vertical en las intersecciones sobre la línea en que $I_B = \text{constante}$. Sustituyendo en la ecuación (7.35), se obtiene

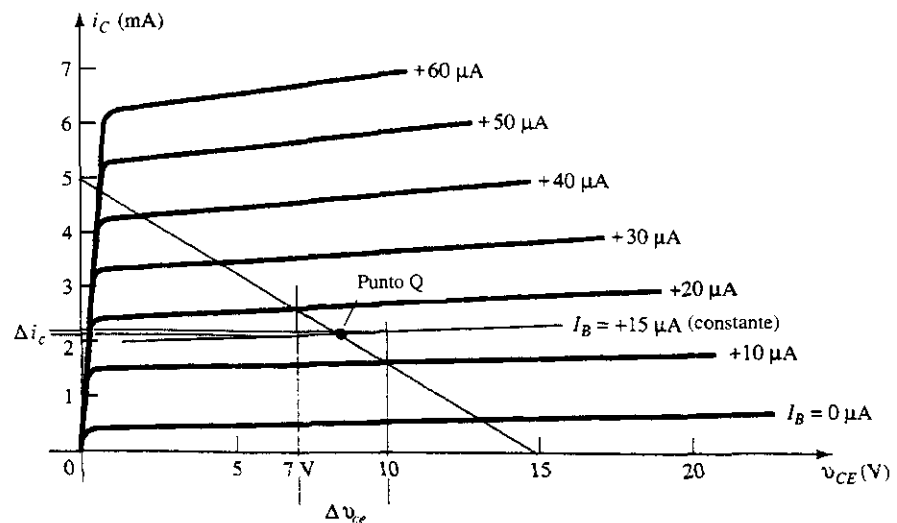


Figura 7.41 Determinación de h_{oe} .

$$|h_{oe}| = \left. \frac{\Delta i_c}{\Delta v_{ce}} \right|_{I_B = \text{constante}} = \frac{(2.2 - 2.1) \text{ mA}}{(10 - 7) \text{ V}} \bigg|_{I_B = +15 \text{ } \mu\text{A}}$$

$$= \frac{0.1 \times 10^{-3}}{3} = 33 \text{ } \mu\text{A/V} = 33 \times 10^{-6} \text{ S} = 33 \text{ } \mu\text{S}$$

Para determinar los parámetros h_{ie} y h_{re} primero debe encontrarse el punto Q sobre la entrada o las características de base como se indica en la figura 7.42. Para h_{ie} , se dibuja una línea tangente a la curva en $V_{CE} = 8.4 \text{ V}$ a través del punto Q , para establecer una línea en $V_{CE} = \text{constante}$ como lo requiere la ecuación (7.32). Luego se seleccionó un pequeño cambio en v_{be} , dando por resultado un cambio correspondiente en i_b . Si se sustituye en la ecuación (7.32), se obtiene

$$|h_{ie}| = \left. \frac{\Delta v_{be}}{\Delta i_b} \right|_{V_{CE} = \text{constante}} = \frac{(733 - 718) \text{ mV}}{(20 - 10) \text{ } \mu\text{A}} \bigg|_{V_{CE} = 8.4 \text{ V}}$$

$$= \frac{15 \times 10^{-3}}{10 \times 10^{-6}} = 1.5 \text{ k}\Omega$$

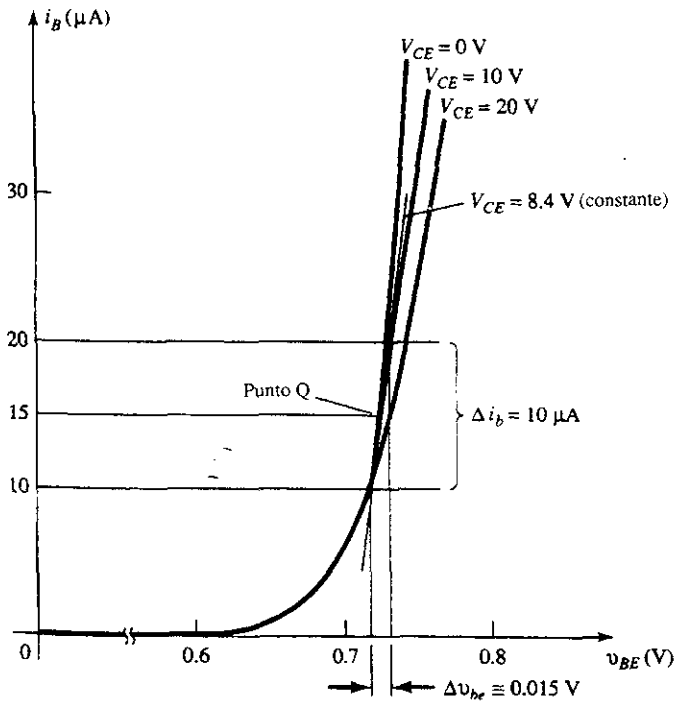


Figura 7.42 Determinación de h_{ie} .

El último parámetro, h_{re} , se puede encontrar: primero al dibujar una línea horizontal a través del punto Q en $I_B = 15 \text{ } \mu\text{A}$. Después, la selección natural consiste en elegir un cambio en v_{CE} y encontrar el cambio que resulta en v_{BE} como lo muestra la figura 7.43.

Sustituyendo en la ecuación (7.33), se obtiene

$$|h_{re}| = \left. \frac{\Delta v_{be}}{\Delta v_{ce}} \right|_{I_B = \text{constante}} = \frac{(733 - 725) \text{ mV}}{(20 - 0) \text{ V}} = \frac{8 \times 10^{-3}}{20} = 4 \times 10^{-4}$$

Para el transistor cuyas características aparecieron en las figuras 7.40 a la 7.43, el circuito híbrido equivalente en pequeña señal es el que se muestra en la figura 7.44.

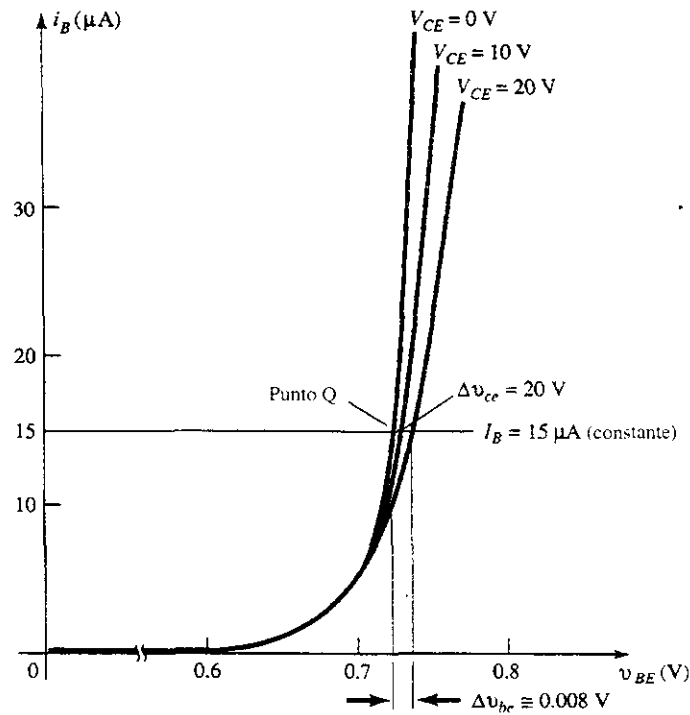


Figura 7.43 Determinación de h_{re} .

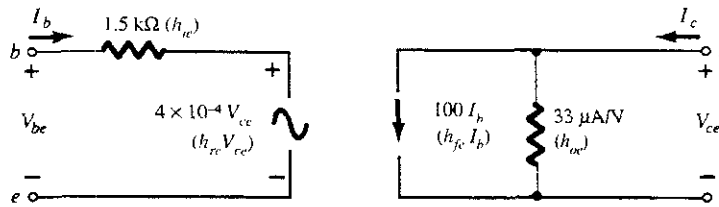


Figura 7.44 Circuito híbrido equivalente completo para un transistor que contiene las características que aparecen en las figuras 7.40 a 7.43.

Como se mencionó con anterioridad, pueden hallarse los parámetros híbridos para las configuraciones de base común y de colector común empleando las mismas ecuaciones básicas con las variables y características adecuadas.

La tabla 7.1 lista los valores típicos de los parámetros para cada una de las configuraciones para el amplio rango de transistores disponibles hoy en día. El signo negativo indica que en la ecuación (7.34) cuando una cantidad creció en magnitud, dentro del cambio seleccionado, la otra disminuyó en magnitud.

TABLA 7.1 Valores típicos de los parámetros para las configuraciones de emisor común, colector común y base común

Parámetro	Emisor común	Colector común	Base común
h_i	1 kΩ	1 kΩ	20 Ω
h_r	2.5×10^{-4}	≈ 1	3.0×10^{-4}
h_f	50	-50	-0.98
h_o	25 μA/V	25 μA/V	0.5 μA/V
$1/h_o$	40 kΩ	40 kΩ	2 MΩ

Se observa en retrospectiva (sección 3.5: Acción amplificadora del transistor) que la resistencia de entrada de la configuración de base común es baja, mientras que la resistencia de salida es alta. También se debe tener en cuenta que la ganancia de corriente a corto circuito es muy cercana a 1. Para las configuraciones de emisor común y de colector común se nota que la resistencia de entrada es mucho mayor que la de la configuración de base común, y que la relación de la resistencia de salida a la de entrada es de aproximadamente 40:1. También hay que tomar en cuenta que para las configuraciones de emisor común y de base común h_r es muy pequeña en magnitud. En la actualidad hay transistores disponibles con valores de h_{fe} que varían desde 20 hasta 600. Para cualquier transistor, la región de operación y las condiciones bajo las cuales se esté empleando tendrán un efecto sobre varios de los parámetros h . En la sección 7.8 se tratan los efectos de la temperatura, la corriente y el voltaje del colector sobre los parámetros h .

7.8 VARIACIONES DE LOS PARÁMETROS DE TRANSISTORES

Existe un gran número de curvas que pueden dibujarse para mostrar las variaciones de los parámetros h debido a la temperatura, la frecuencia, el voltaje y la corriente. Lo más interesante y útil en esta fase del desarrollo incluye las variaciones de los parámetros h con la temperatura de la unión y el voltaje y la corriente del colector.

En la figura 7.45 se indicó el efecto de la corriente del colector sobre los parámetros h . Debe tenerse cuidado acerca de la escala logarítmica que se utiliza sobre los ejes vertical y horizontal. En el capítulo 11 se examinarán las escalas logarítmicas. Todos los parámetros se han normalizado a la unidad de tal manera que un cambio relativo en magnitud respecto a la corriente del colector pueda determinarse con facilidad. En cada conjunto de curvas, como las de la figura 7.46, siempre se ha indicado el punto de operación en el cual se encuentran los parámetros. Por esta situación en particular, el punto estable está en la intersección de $V_{CE} = 5.0 \text{ V}$ e $I_C = 1.0 \text{ mA}$. Debido a que la frecuencia y la temperatura de operación también afectarán los parámetros h , es importante indicar estas cantidades sobre las curvas. En 0.1 mA , h_{fe} es aproximadamente 0.5 o el 50% de su valor a 1.0 mA , mientras que a 3 mA , es de 1.5 del 150% de dicho valor. En otras palabras, si $h_{fe} = 50$ cuando $I_C = 1.0 \text{ mA}$, h_{fe} ha cambiado de un valor

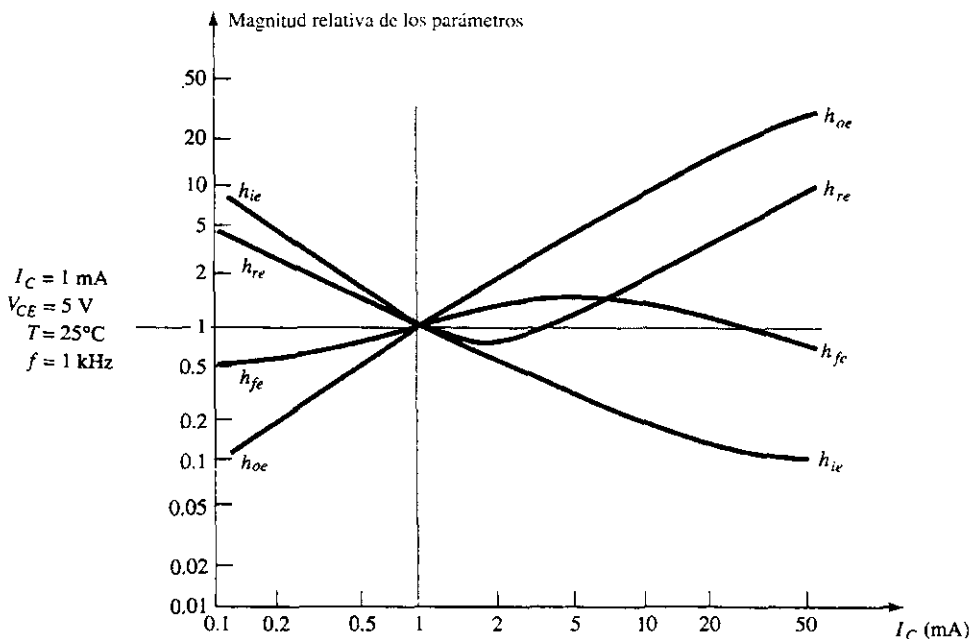


Figura 7.45 Variaciones de los parámetros híbridos respecto a la corriente del colector.

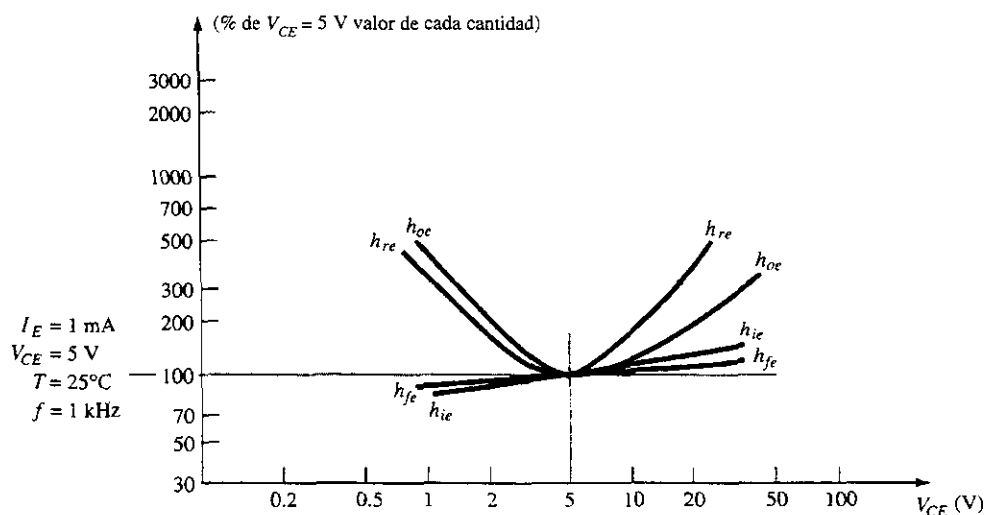


Figura 7.46 Variaciones de los parámetros híbridos respecto al potencial colector-emisor.

de $0.5(50) = 25$ hasta $1.5(50) = 75$ con un cambio de I_C desde 0.1 mA hasta 3 mA. Sin embargo, debe considerarse el punto de operación cuando $I_C = 50$ mA. Ahora la magnitud de h_{re} es aproximadamente 11 veces, igual a cuando se definió en el punto Q , una magnitud que no permite eliminar este parámetro del circuito equivalente. El parámetro h_{oe} es aproximadamente 35 veces su valor normalizado. Este incremento en h_{oe} disminuirá la magnitud de la resistencia de salida del transistor a un punto donde puede acercarse a la magnitud del resistor de carga. Por tanto, no existiría una justificación para eliminar h_{oe} del circuito equivalente sobre una base aproximada.

En la figura 7.46 se indica la variación en magnitud de los parámetros h sobre una base normalizada con los cambios en el voltaje del colector. Este conjunto de curvas se normalizó en el mismo punto de operación del transistor estudiado en la figura 7.45, de tal forma que puede establecerse una comparación entre los dos conjuntos de curvas. Se nota que h_{ie} y h_{fe} son relativamente estables en magnitud, mientras que h_{oe} y h_{re} son mucho mayores a la izquierda y a la derecha del punto de operación seleccionado. En otras palabras, h_{oe} y h_{re} son mucho más sensibles a los cambios en el voltaje del colector, de lo que son h_{ie} y h_{fe} .

Es interesante observar a partir de las figuras 7.45 y 7.46 que el valor de h_{fe} es el que tiene cambios mínimos. Por tanto, el valor específico de la ganancia de corriente, sea h_{fe} o β , puede, sobre una base aproximada y relativa, considerarse constante para el rango de la corriente y el voltaje del colector.

El valor de $h_{ie} = \beta r_e$ varía de manera importante con la corriente del colector, como era de esperarse, debido a la sensibilidad de r_e hacia la corriente del emisor ($I_E \equiv I_C$). Es por esto una cantidad que debe determinarse lo más cercana posible a las condiciones de operación. Para los valores abajo del V_{CE} especificado, h_{re} es casi constante, pero aumenta de manera considerable para valores más altos. Por fortuna, para la mayoría de las aplicaciones tanto la magnitud de h_{re} como la de h_{oe} pueden a menudo ignorarse, porque son muy sensibles a la corriente del colector y al voltaje del colector al emisor.

En la figura 7.47 se graficó la variación en los parámetros h debido a los cambios en la temperatura de la unión. El valor de normalización se tomó a temperatura ambiente: $T = 25^\circ\text{C}$. La escala horizontal es lineal y no una escala logarítmica como la que se utilizó en las figuras 7.45 y 7.46. En general, todos los parámetros aumentan en magnitud con la temperatura; sin embargo, el parámetro menos afectado es h_{oe} , mientras que la impedancia de entrada h_{ie} cambia con mayor rapidez. El hecho de que h_{fe} cambiará desde el 50% de su valor normalizado a -50°C hasta 150% de su valor normalizado a $+150^\circ\text{C}$, indica que la temperatura de operación debe considerarse con cuidado en el diseño de circuitos de transistores.

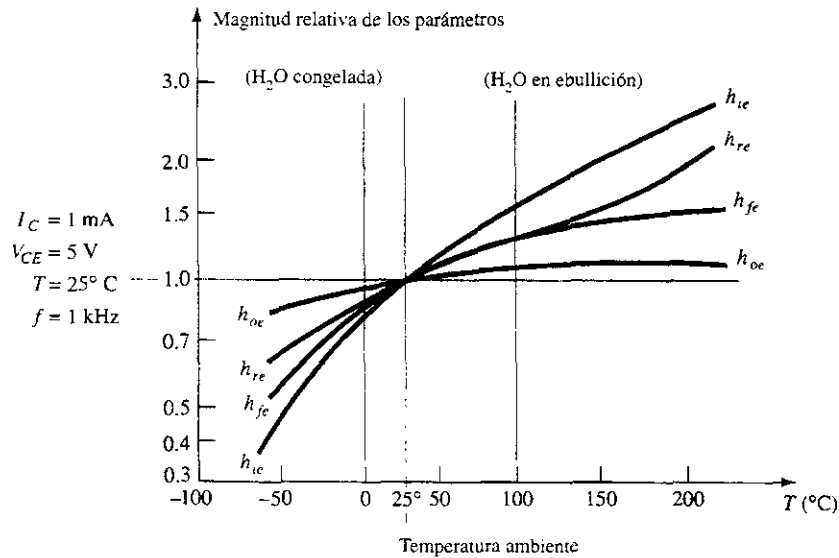


Figura 7.47 Variaciones de los parámetros híbridos respecto a la temperatura.

7.9 ANÁLISIS POR COMPUTADORA

Al aparecer de una fuente de corriente controlada por corriente (CCCS, por sus siglas en inglés, *Current-Controlled Current Source*) en el modelo equivalente de un transistor, requiere que se introduzca el formato de PSpice para tal fuente. El formato se inicializa mediante la literal F, como se muestra a continuación:

<u>FBJT</u>	3	2	<u>VSENSE</u>	<u>0.98</u>
nombre	(+N)	(-N)	nombre de	magnitud del
	fuerza controlada	por corriente	la fuente de	multiplicador
	controladora		voltaje	para la fuente
			controlada	controlada

El nombre (hasta siete caracteres) asignado a la fuente controlada está seguido por los nodos positivo y negativo para la fuente. La literal V debe aparecer antes del nombre de la fuente de voltaje de dc estableciendo la dirección de la corriente de control. La fuente de voltaje debe estar en el mismo circuito en serie que la corriente de control y polarizada, de tal forma que se establezca una corriente en la dirección opuesta de la corriente de control. Se requiere la dirección opuesta porque en PSpice la corriente de una fuente independiente de voltaje está definida para tener una dirección opuesta a la "presión" aplicada de la fuente. Su magnitud es de 0 V, en caso de que su único propósito sea el de establecer la dirección de la corriente de control. El último factor del formato es el factor de multiplicación para la fuente de corriente controlada. Debido a que la definición de la fuente de voltaje debe ser parte de la red que aparece en el archivo de entrada, una línea por separado debe definir el nombre, la polaridad y la magnitud de la fuente de dc.

Se utilizará el modelo de la figura 7.48 para la configuración del transistor de base común. Para la configuración del transistor de emisor común se empleará el modelo de la figura 7.49.

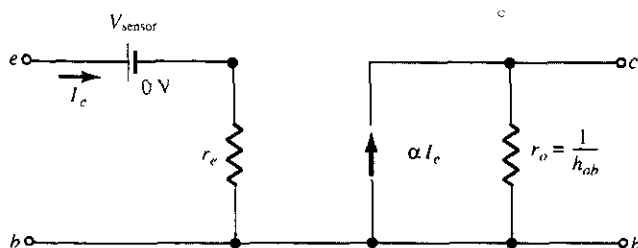


Figura 7.48 Modelo de base común para PSpice.

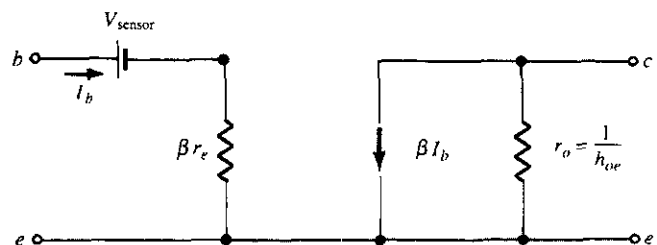


Figura 7.49 Modelo de emisor común para PSpice.

EJEMPLO 7.7

Escriba el archivo de entrada para el amplificador de emisor común de la figura 7.50, solicitando la magnitud y el ángulo de la fase del voltaje de salida V_o .

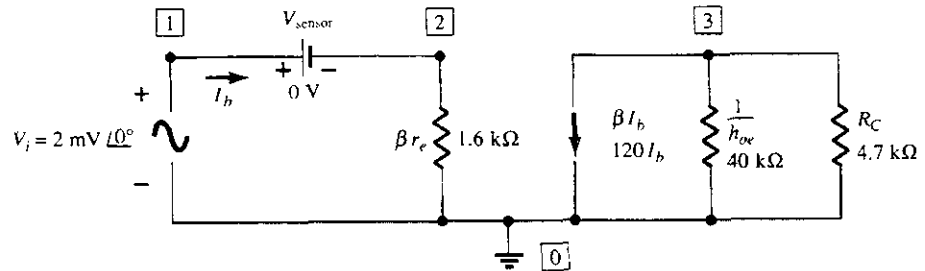


Figura 7.50 Ejemplo 7.7.

Solución

En la figura 7.51 aparece el archivo de entrada de la figura 7.50. Las primeras dos líneas describen las dos fuentes de la red con un ángulo de 0° que no está incluido en la descripción de la fuente de ac, debido a que se trata del valor implícito cuando no se especifica. Se define la impedancia de entrada βr_e en la tercera línea y la fuente de corriente controlada en la siguiente línea. Compárese la descripción de la fuente de corriente controlada con la hecha anteriormente de las fuentes CCCS. La impedancia de salida es de $40 \text{ k}\Omega$ entre las terminales 3 y 0, el resistor R_C es la resistencia de colector del diseño. La frecuencia seleccionada para el análisis en ac (se debe especificar una frecuencia) es de 1 kHz y la siguiente línea solicita la magnitud y el ángulo de fase del voltaje de salida V_o . Recuérdese que el comando .OPTIONS NOPAGE elimina parte del material superfluo en el archivo de salida.

Common-emitter amplifier of Fig. 7.50

**** CIRCUIT DESCRIPTION

```
VI 1 0 AC 2MV
VSENSE 1 2 0
RBRE 2 0 1.6K
FBETA 3 0 VSENSE 120
RO 3 0 40K
RC 3 0 4.7K
.AC LIN 1 1K 1K
.PRINT AC VM(3,0) VP(3,0)
.OPTIONS NOPAGE
.END
```

```
**** SMALL SIGNAL BIAS SOLUTION TEMPERATURE = 27.000 DEG C
NODE VOLTAGE NODE VOLTAGE NODE VOLTAGE
( 1) 0.0000 ( 2) 0.0000 ( 3) 0.0000
```

```
VOLTAGE SOURCE CURRENTS
NAME CURRENT
VI 0.000E+00
VSENSE 0.000E+00
TOTAL POWER DISSIPATION 0.00E+00 WATTS
```

```
**** AC ANALYSIS TEMPERATURE = 27.000 DEG C
FREQ VM(3,0) VP(3,0)
1.000E+03 6.309E-01 1.800E+02
```

Figura 7.51 Análisis por medio de PSpice para la red de emisor común de la figura 7.50.

Los resultados indican que la magnitud del voltaje de salida es de 630.9 mV, lo que da por resultado una ganancia sin carga de

$$A_{v_{NL}} = \left| \frac{V_o}{V_i} \right| = \frac{630.9 \text{ mV}}{2 \text{ mV}} = 315.45$$

un nivel que caerá cuando se conecte una carga. Los resultados también indican un cambio de fase de 180° entre V_o y V_i tal como se esperaba para la configuración de emisor común.

§ 7.2 Amplificación en el dominio de ac

1. a) ¿Cuál es la amplificación esperada de un amplificador a BJT si la fuente dc se hace cero volts?
b) ¿Qué sucederá a la señal de salida de ac si el nivel es insuficiente? Trace el efecto sobre la forma de onda.
c) ¿Cuál es el coeficiente de eficiencia de un amplificador en el cual el valor efectivo de la corriente a través de una carga de $2.2 \text{ k}\Omega$ es de 5 mA y el consumo de una fuente de dc de 18V es de 3.8 mA?
2. ¿Puede desarrollarse alguna analogía para explicar la importancia del nivel de dc sobre la ganancia en ac resultante?

§ 7.3 Modelaje de transistores BJT

3. ¿Cuál es la reactancia de un capacitor de $10\text{-}\mu\text{F}$ a una frecuencia de 1 kHz? Para aquellas redes en las cuales los niveles de resistencia están por lo general en el rango de los kilohms, ¿es una buena suposición el empleo del corto circuito equivalente para las condiciones recién descritas? ¿Qué tal a 100 kHz?
4. Dada la configuración de base común de la figura 7.52, dibuje el equivalente de ac utilizando la notación para el modelo de transistor que aparece en la figura 7.5.

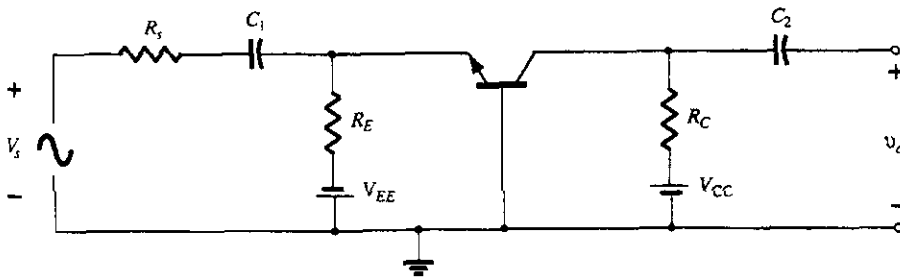


Figura 7.52 Problema 4.

5. a) Describa la diferencia entre los modelos r_e e híbrido para un transistor BJT.
b) Liste, para cada modelo, las condiciones bajo las cuales debe aplicarse.

§ 7.4 Los parámetros importantes: Z_i , Z_o , A_v , A_i

6. a) Calcular Z_i si $V_s = 40 \text{ mV}$, $R_{\text{sensor}} = 0.5 \text{ k}\Omega$ e $I_i = 20 \text{ }\mu\text{A}$, para la configuración de la figura 7.7.
b) Utilizando los resultados del inciso a, calcular V_i si se cambia la fuente aplicada a 12 mV con una resistencia interna de $0.4 \text{ k}\Omega$.
7. a) Calcular Z_o si $V = 600 \text{ mV}$, $R_{\text{sensor}} = 10 \text{ k}\Omega$ e $I_o = 10 \text{ }\mu\text{A}$, para la configuración de la figura 7.10.
b) Utilizando la Z_o obtenida en el inciso a, calcular I_L para la configuración de la figura 7.7 si $R_L = 2.2 \text{ k}\Omega$, e $I_{\text{amplificador}} = 6 \text{ }\mu\text{A}$.

8. Dada la configuración BJT de la figura 7.53, calcular:

- V_i
- Z_i
- $A_{v_{NL}}$
- A_{v_i}

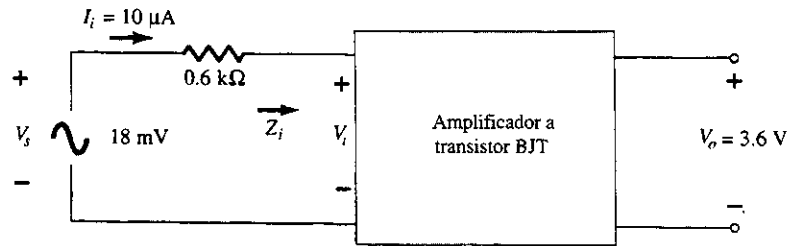


Figura 7.53 Problema 8.

9. Para el amplificador a BJT de la figura 7.54, calcular:

- I_i
- Z_i
- V_o
- I_o
- A_i usando los resultados de los incisos a y d.
- A_i utilizando la ecuación (7.10).

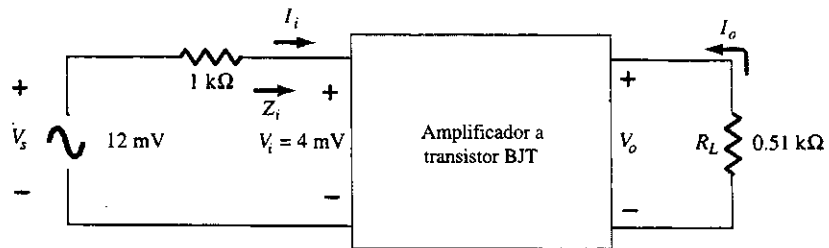


Figura 7.54 Problema 9.

§ 7.5 El modelo de transistor r_e

10. Se aplica una señal de 10 mV a la configuración de base común de la figura 7.17, dando por resultado una corriente del emisor de 0.5 mA. Si $\alpha = 0.980$, calcular:

- Z_i
- V_o si $R_L = 1.2 \text{ k}\Omega$.
- $A_v = V_o/V_i$
- Z_o con $r_o = \infty \Omega$.
- $A_i = I_o/I_i$
- I_b

11. La corriente del emisor es de 3.2 mA y $\alpha = 0.99$ en la configuración de base común de la figura 7.17. Calcular lo siguiente si el voltaje aplicado es de 48 mV y la carga es de 2.2 kΩ.

- r_e
- Z_i
- I_c
- V_o
- A_v
- I_b

12. Usando el modelo de la figura 7.27, calcular lo siguiente para un amplificador de emisor común si $\beta = 80$, $I_E(\text{dc}) = 2 \text{ mA}$ y $r_o = 40 \text{ k}\Omega$.

- Z_i
- I_b
- $A_i = I_o/I_i = I_L/I_b$ si $R_L = 1.2 \text{ k}\Omega$.
- A_v si $R_L = 1.2 \text{ k}\Omega$.

13. La impedancia de un amplificador de emisor común es de $1.2 \text{ k}\Omega$ con $\beta = 140$, $r_o = 50 \text{ k}\Omega$ y $R_L = 2.7 \text{ k}\Omega$. Calcular:
- r_e .
 - I_b si $V_i = 30 \text{ mV}$.
 - I_c .
 - $A_i = I_o/I_i = I_L/I_b$.
 - $A_v = V_o/V_i$.

§ 7.6 El modelo híbrido equivalente

14. Dados $I_E (\text{dc}) = 1.2 \text{ mA}$, $\beta = 120$ y $r_o = 40 \text{ k}\Omega$, dibujar los:
- Modelo híbrido equivalente de emisor común.
 - Modelo r_e equivalente de emisor común.
 - Modelo híbrido equivalente de base común.
 - Modelo r_e equivalente de base común.
15. Dados $h_{ie} = 2.4 \text{ k}\Omega$, $h_{fe} = 100$, $h_{re} = 4 \times 10^{-4}$ y $h_{oe} = 25 \mu\text{S}$, dibujar los:
- Modelo híbrido equivalente de emisor común.
 - Modelo r_e equivalente de emisor común.
 - Modelo híbrido equivalente de base común.
 - Modelo r_e equivalente de base común.
16. Redibujar la red de emisor común de la figura 7.3 para la respuesta en ac con el modelo híbrido equivalente aproximado sustituido entre las terminales adecuadas.
17. Redibujar la red de la figura 7.55 para la respuesta en ac insertando el modelo r_e entre las terminales adecuadas. Incluir r_o .
18. Redibujar la red de la figura 7.56 para la respuesta en ac insertando el modelo r_e entre las terminales adecuadas. Incluir r_o .

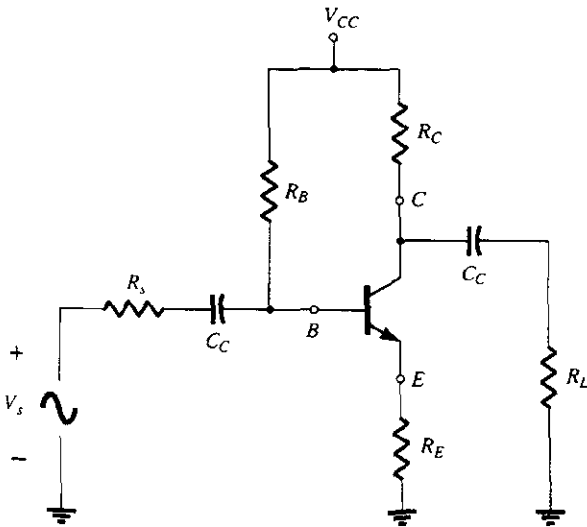


Figura 7.55 Problema 17.

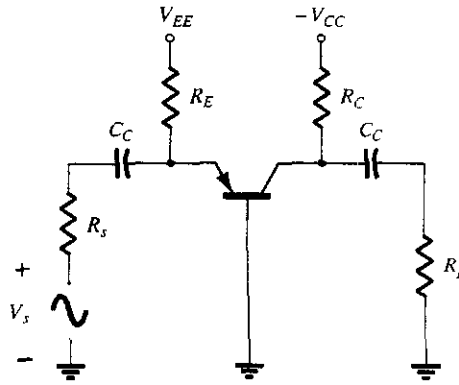


Figura 7.56 Problema 18.

19. Dados los valores típicos de $h_{ie} = 1 \text{ k}\Omega$, $h_{re} = 2 \times 10^{-4}$ y $A_v = -160$ para la configuración de entrada de la figura 7.57:
- Determinar V_o en términos de V_i .
 - Calcular I_b en términos de V_i .
 - Calcular I_b si se ignora $h_{re} V_o$.
 - Precisar el porcentaje de diferencia en I_b con la ayuda de la siguiente ecuación:

$$\% \text{ en diferencia en } I_b = \frac{I_b(\sin h_{re}) - I_b(\text{con } h_{re})}{I_b(\sin h_{re})} \times 100\%$$

- ¿Es válido el método de ignorar los efectos de $h_{re} V_o$ para los valores típicos utilizados en este ejemplo?

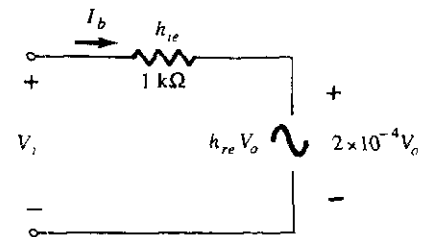


Figura 7.57 Problemas 19, 21.

20. Dados los valores típicos de $R_L = 2.2 \text{ k}\Omega$ y $h_{oe} = 20 \mu\text{S}$, ¿resulta una buena aproximación ignorar los efectos de $1/h_{oe}$ sobre la impedancia total de carga? ¿Cuál es el porcentaje de diferencia en la carga total sobre el transistor utilizando la siguiente ecuación?

$$\% \text{ de diferencia en la carga total} = \frac{R_L - R_L \parallel (1/h_{oe})}{R_L} \times 100\%$$

21. Repetir el problema 19 empleando los valores promedio de los parámetros de la figura 7.28 con $A_v \approx -180$.
 22. Realizar otra vez el problema 20 para $R_L = 3.3 \text{ k}\Omega$ y el valor promedio de h_{oe} en la figura 7.28.

§ 7.7 Determinación gráfica de los parámetros h

23. a) Determinar h_{fe} cuando $I_C = 6 \text{ mA}$ y $V_{CE} = 5 \text{ V}$, utilizando las características de la figura 7.40.
 b) Repetir el inciso a cuando $I_C = 1 \text{ mA}$ y $V_{CE} = 15 \text{ V}$.
 24. a) Calcular h_{oe} cuando $I_C = 6 \text{ mA}$ y $V_{CE} = 5 \text{ V}$, utilizando las características de la figura 7.41.
 b) Realizar de nuevo el inciso a cuando $I_C = 1 \text{ mA}$ y $V_{CE} = 15 \text{ V}$.
 25. a) Determinar h_{re} cuando $I_B = 20 \mu\text{A}$ y $V_{CE} = 20 \text{ V}$, utilizando las características de la figura 7.42.
 b) Repetir el inciso a cuando $I_B = 5 \mu\text{A}$ y $V_{CE} = 10 \text{ V}$.
 26. a) Determinar h_{re} cuando $I_B = 20 \mu\text{A}$ utilizando las características de la figura 7.43.
 b) Repetir el inciso a cuando $I_B = 30 \mu\text{A}$.
 * 27. Utilizando las características de las figuras 7.40 y 7.42, calcular el modelo híbrido equivalente de emisor común aproximado cuando $I_B = 25 \mu\text{A}$ y $V_{CE} \approx 12.5 \text{ V}$.
 * 28. Calcular el modelo r_e de emisor común cuando $I_B \approx 25 \mu\text{A}$ y $V_{CE} \approx 12.5 \text{ V}$ utilizando las características de las figuras 7.40 y 7.42.
 29. Con el uso de los resultados de la figura 7.44, dibuje el modelo r_e equivalente para el transistor que tiene las características que aparecen en las figuras 7.40 a 7.43. Incluir r_o .

§ 7.8 Variaciones de los parámetros de transistores

Para los problemas 30 a 34, se utilizan las figuras 7.45 a 7.47.

30. a) Empleando la figura 7.45, calcular la magnitud del porcentaje de cambio en h_{fe} cuando existe un cambio en I_C de 0.2 mA a 1 mA utilizando la ecuación

$$\% \text{ de cambio} = \frac{h_{fe}(0.2 \text{ mA}) - h_{fe}(1 \text{ mA})}{h_{fe}(0.2 \text{ mA})} \times 100\%$$

- b) Repita el inciso a para un cambio en I_C de 1 mA a 5 mA .
 31. Vuelva a hacer el problema 30 calculando h_{re} (con los mismos cambios en I_C).
 32. a) Si $h_{oe} = 20 \mu\text{S}$ cuando $I_C = 1 \text{ mA}$ en la figura 7.45, ¿cuál es el valor aproximado de h_{oe} cuando $I_C = 0.2 \text{ mA}$?
 b) Calcular su valor resistivo a 0.2 mA y compararlo con una carga resistiva de $6.8 \text{ k}\Omega$. ¿Es un buen sistema el ignorar en este caso los efectos de $1/h_{oe}$?
 33. a) Si $h_{oe} = 20 \mu\text{S}$ cuando $I_C = 1 \text{ mA}$ en la figura 7.45, ¿cuál es el valor aproximado de h_{oe} cuando $I_C = 10 \text{ mA}$?
 b) Calcular su valor resistivo a 10 mA y compararlo con una carga resistiva de $6.8 \text{ k}\Omega$. ¿Es un buen sistema el ignorar en este caso los efectos de $1/h_{oe}$?
 34. a) Si $h_{re} = 2 \times 10^{-4}$ cuando $I_C = 1 \text{ mA}$ en la figura 7.45, ¿cuál es el valor aproximado de h_{re} cuando $I_C = 0.1 \text{ mA}$?
 b) Utilizando el valor determinado de h_{re} en el inciso a, ¿puede ignorarse h_{re} como una buena aproximación si $A_v \approx 210$?
 * 35. a) Al revisar las características de la figura 7.45, ¿cuál parámetro cambió lo menos posible para el rango completo de corriente del colector?
 b) ¿Cuál fue el parámetro que observó más cambios?
 c) ¿Cuáles son los valores máximo y mínimo para $1/h_{oe}$? ¿Es una buena aproximación $1/h_{oe} \parallel R_L \approx R_L$ más adecuada con los valores altos o bajos de la corriente del colector?
 d) ¿En qué región del espectro de corriente es más adecuada la aproximación $h_{re} V_{ce} \approx 0$?

- * 36 a) Al repasar las características de la figura 7.47, ¿cuál fue el parámetro que tuvo más cambio debido al incremento en la temperatura?
- b) ¿Cuál tuvo menos cambio?
- c) ¿Cuáles son los valores máximo y mínimo de h_{fe} ? ¿Es significativo el cambio en magnitud?
- d) ¿Cómo varía r_e con respecto al incremento en la temperatura? Simplemente calcule el valor en tres o cuatro puntos y compare sus magnitudes.
- e) ¿Dentro de qué rango de temperaturas cambian menos los parámetros?

§ 7.9 Análisis por computadora

PSpice

37. Escriba el archivo de entrada para la red de base común de la figura 7.58 y solicite:

- a) La magnitud y la fase de V_o .
- b) La magnitud de la corriente de salida I_o .
- c) La magnitud de la corriente I_{r_e} (y compárela contra I_o).
- d) La magnitud de la corriente I_c .

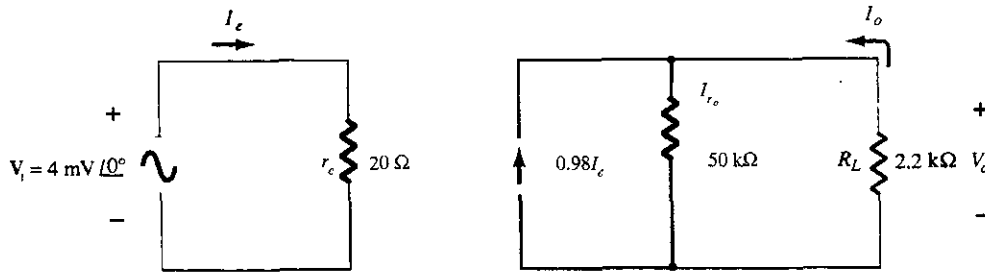


Figura 7.58 Problemas 37, 39.

38. Escriba el archivo de entrada para la red de emisor común de la figura 7.59 y solicite:

- a) La magnitud y la fase de V_o .
- b) La magnitud de I_o .
- c) La magnitud de la corriente I_{r_e} (y compárela contra I_o).
- d) La magnitud de la corriente de entrada I_b .

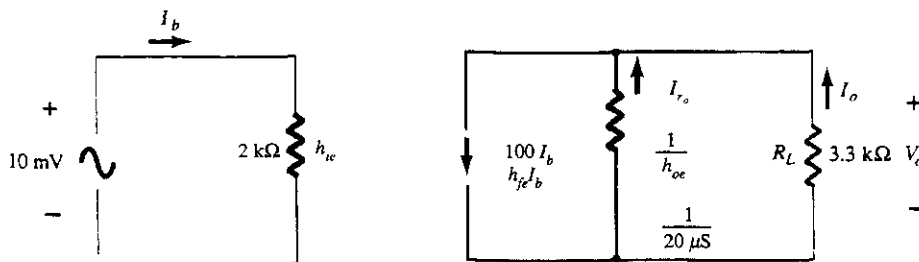


Figura 7.59 Problemas 38, 40.

BASIC

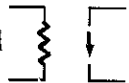
39. Repita el problema 37 utilizando BASIC.

40. Repita el problema 38 utilizando BASIC.

* Los asteriscos indican problemas más difíciles.

8

Análisis a pequeña señal del transistor bipolar



8.1 INTRODUCCIÓN

Los modelos de transistores que se presentaron en el capítulo 7 se utilizan ahora para llevar a cabo un análisis en ac a pequeña señal de las configuraciones estándar de redes de transistores. Las redes analizadas representan la mayoría de aquellas actualmente utilizadas en la práctica. Las modificaciones a las configuraciones estándar se examinarán con relativa facilidad una vez que se revise y entienda el contenido de este capítulo.

Debido a que el modelo r_e es sensible al punto real de operación, será el modelo primario para el análisis que se desarrollará. Sin embargo, para cada configuración, se examina el efecto de la impedancia de salida como es proporcionado por el parámetro h_{oe} del modelo equivalente híbrido. Para demostrar las similitudes que existen entre los modelos, se dedica una sección al análisis a pequeña señal de las redes BJT que únicamente utilizan el modelo híbrido equivalente. El análisis de este capítulo no incluye una resistencia de carga R_L o la resistencia de la fuente R_s . Se reserva el efecto de ambos parámetros para un método para sistemas en el capítulo 10.

El análisis por computadora incluye una breve descripción del modelo de transistor empleado en el paquete de programas PSpice. Este programa demuestra el rango y profundidad de los sistemas de análisis por computadora, los cuales están disponibles en la actualidad y lo relativamente fácil que resulta capturar una red compleja e imprimir los resultados deseados. Se incluye un programa en BASIC para permitir una comparación entre el uso de un paquete de programas y un lenguaje de computación.

8.2 CONFIGURACIÓN DE EMISOR COMÚN CON POLARIZACIÓN FIJA

La primera configuración que se analizará con detenimiento es la red de *polarización fija* de emisor común de la figura 8.1. Se observa que la señal de entrada V_i se aplica a la base del transistor mientras que la salida V_o está en el colector. Además, la corriente de entrada I_i no es la corriente de la base sino la corriente de la fuente, mientras que la corriente de salida I_o proviene del colector. El análisis a pequeña señal comienza por eliminar los efectos de dc de V_{CC} y reemplazar los capacitores de acoplamiento C_1 y C_2 mediante cortos circuitos equivalentes, lo cual origina la red de la figura 8.2.

En la figura 8.2 se observa que la tierra común de la fuente dc y la terminal del emisor del transistor permite la reubicación tanto de R_B como de R_C en paralelo con las secciones de entrada y de salida del transistor, respectivamente. Nótese además, la colocación de los parámetros importantes de la red Z_i , Z_o , I_i e I_o en la red que se redibujó. La sustitución del modelo r_e para la configuración de emisor común de la figura 8.2 dará por resultado la red de la figura 8.3.

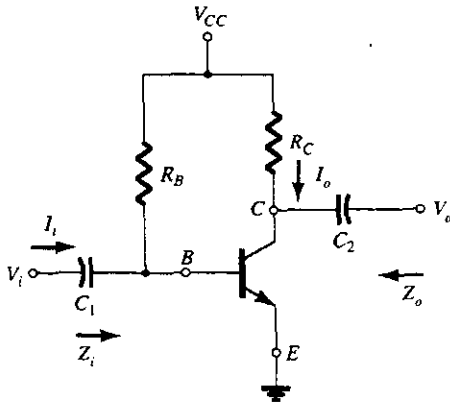


Figura 8.1 Configuración de polarización fija de emisor común.

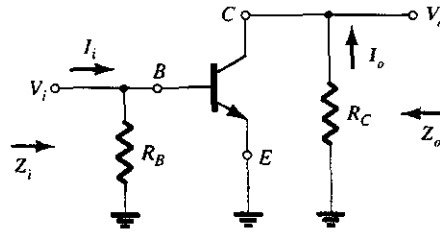


Figura 8.2 Red de la figura 8.1 después de eliminar los efectos de V_{CC} , C_1 y C_2 .

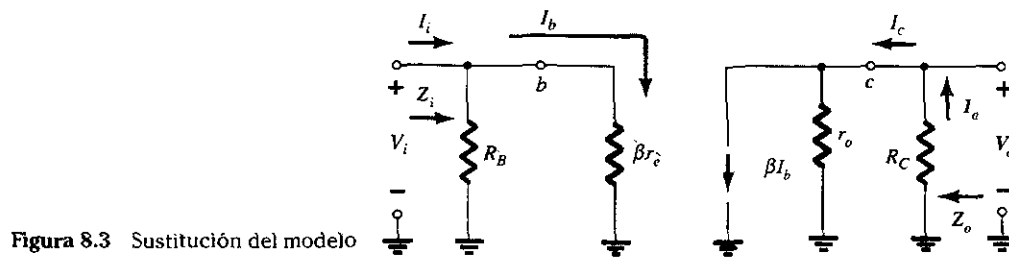


Figura 8.3 Sustitución del modelo r_e en la red de la figura 8.2.

El siguiente paso consiste en calcular β , r_e y r_o . La magnitud de β por lo general se obtiene mediante una hoja de especificaciones o por medición directa utilizando un trazador de curvas o mediante un instrumento para probar transistores. Debe determinarse el valor de r_e a partir de un análisis en dc del sistema; por su parte, la magnitud de r_o se obtiene por lo general mediante la hoja de especificaciones o de las características. Suponiendo que se hayan determinado β , r_e y r_o , se obtendrán las siguientes ecuaciones para las características importantes de dos puertos del sistema.

Z_i : La figura 8.3 revela que

$$Z_i = R_B \parallel \beta r_e \quad \text{ohms} \quad (8.1)$$

Para la mayor parte de las situaciones, R_B es mayor que βr_e más de 10 veces (se debe recordar a partir del análisis de los elementos en paralelo que la resistencia total de dos resistores en paralelo siempre es menor y muy cercana a la más pequeña en caso de que una sea mucho mayor que la otra), lo cual permite la siguiente aproximación:

$$Z_i \cong \beta r_e \quad \text{ohms} \quad R_B \geq 10\beta r_e \quad (8.2)$$

Z_o : Recuérdese que la impedancia de salida Z_o se calculó cuando $V_i = 0$. Para la figura 8.3, cuando $V_i = 0$, $I_i = I_b = 0$, dando por resultado una equivalencia de circuito abierto para la fuente de corriente. El resultado es la configuración de la figura 8.4.

$$Z_o = R_C \parallel r_o \quad \text{ohms} \quad (8.3)$$

Si $r_o \geq 10R_C$, con frecuencia se aplica la aproximación $R_C \parallel r_o \cong R_C$ y

$$Z_o \cong R_C \quad r_o \geq 10R_C \quad (8.4)$$

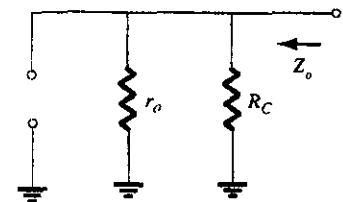


Figura 8.4 Determinación de Z_o para la red de la figura 8.3.



A_v : Los resistores r_o y R_C están en paralelo,

y
$$V_o = -\beta I_b (R_C \parallel r_o)$$

pero
$$I_b = \frac{V_i}{\beta r_e}$$

de manera que
$$V_o = -\beta \left(\frac{V_i}{\beta r_e} \right) (R_C \parallel r_o)$$

y
$$A_v = \frac{V_o}{V_i} = - \frac{(R_C \parallel r_o)}{r_e} \quad (8.5)$$

Si $r_o \geq 10R_C$,

$$A_v = - \frac{R_C}{r_e} \quad r_o \geq 10R_C \quad (8.6)$$

Se observa la ausencia explícita de β en las ecuaciones (8.5 y 8.6), aunque se reconoce que β debe utilizarse para determinar r_e .

A_i : La ganancia de corriente se calcula de la siguiente manera:

Al aplicar la regla del divisor de corriente a los circuitos de entrada y de salida,

$$I_o = \frac{(r_o)(\beta I_b)}{r_o + R_C} \quad \text{e} \quad \frac{I_o}{I_b} = \frac{r_o \beta}{r_o + R_C}$$

con
$$I_b = \frac{(R_B)(I_i)}{R_B + \beta r_e} \quad \text{o} \quad \frac{I_b}{I_i} = \frac{R_B}{R_B + \beta r_e}$$

El resultado es

$$A_i = \frac{I_o}{I_i} = \left(\frac{I_o}{I_b} \right) \left(\frac{I_b}{I_i} \right) = \left(\frac{r_o \beta}{r_o + R_C} \right) \left(\frac{R_B}{R_B + \beta r_e} \right)$$

y
$$A_i = \frac{I_o}{I_i} = \frac{\beta R_B r_o}{(r_o + R_C)(R_B + \beta r_e)} \quad (8.7)$$

la cual ciertamente es una expresión compleja y difícil de manejar.

Sin embargo, si $r_o \geq 10R_C$ y $R_B \geq 10\beta r_e$, lo cual sucede a menudo,

$$A_i = \frac{I_o}{I_i} \cong \frac{\beta R_B r_o}{(r_o)(R_B)}$$

y
$$A_i \cong \beta \quad r_o \geq 10R_C, R_B \geq 10\beta r_e \quad (8.8)$$

La complejidad de la ecuación (8.7) sugiere que puede desearse el retorno a una ecuación como la ecuación (7.10) la cual emplea A_o y Z_i . Esto es,

$$A_i = -A_o \frac{Z_i}{R_C} \quad (8.9)$$

Relación de la fase: El signo negativo para A_v en la ecuación obtenida indica que ocurre un cambio de fase de 180° entre las señales de entrada y de salida, como se muestra en la figura 8.5.

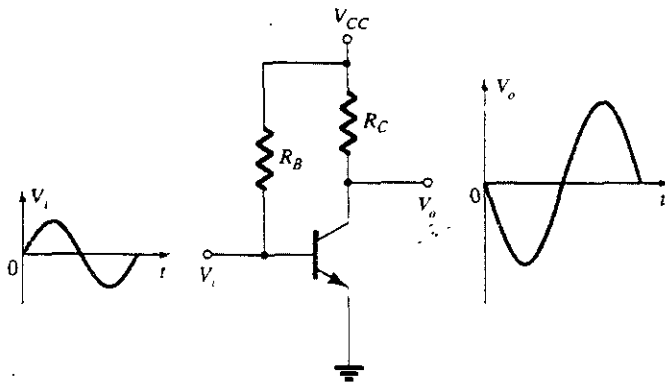


Figura 8.5 Demostración del cambio de fase de 180° entre las formas de onda de entrada y salida.

Para la red de la figura 8.6:

EJEMPLO 8.1

- Determinar r_e .
- Encontrar Z_i (cuando $r_o = \infty \Omega$).
- Calcular Z_o (cuando $r_o = \infty \Omega$).
- Determinar A_v (cuando $r_o = \infty \Omega$).
- Encontrar A_i (cuando $r_o = \infty \Omega$).
- Repetir los incisos c a e incluyendo $r_o = 50 \text{ k}\Omega$ en todos los cálculos y comparar los resultados.

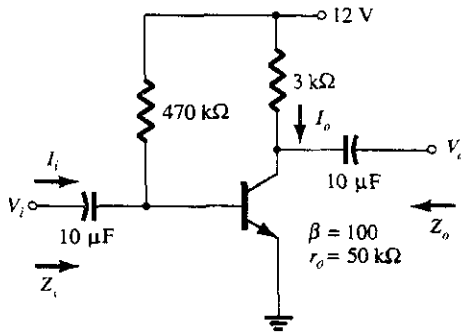


Figura 8.6 Ejemplo 8.1.

Solución

- a) Análisis en DC:

$$I_B = \frac{V_{CC} - V_{BE}}{R_B} = \frac{12 \text{ V} - 0.7 \text{ V}}{470 \text{ k}\Omega} = 24.04 \mu\text{A}$$

$$I_E = (\beta + 1)I_B = (101)(24.04 \mu\text{A}) = 2.428 \text{ mA}$$

$$r_e = \frac{26 \text{ mV}}{I_E} = \frac{26 \text{ mV}}{2.428 \text{ mA}} = 10.71 \Omega$$

- b) $\beta r_e = (100)(10.71 \Omega) = 1.071 \text{ k}\Omega$
 $Z_i = R_B \parallel \beta r_e = 470 \text{ k}\Omega \parallel 1.071 \text{ k}\Omega = 1.069 \text{ k}\Omega$

- c) $Z_o = R_C = 3 \text{ k}\Omega$

- d) $A_v = -\frac{R_C}{r_e} = -\frac{3 \text{ k}\Omega}{10.71 \Omega} = -280.11$

- e) Dado que $R_B \geq 10\beta r_e$ ($470 \text{ k}\Omega > 10.71 \text{ k}\Omega$)

$$A_i \cong \beta = 100$$



$$f) Z_o = r_o \parallel R_C = 50 \text{ k}\Omega \parallel 3 \text{ k}\Omega = 2.83 \text{ k}\Omega \text{ vs. } 3 \text{ k}\Omega$$

$$A_v = -\frac{r_o \parallel R_C}{r_e} = \frac{2.83 \text{ k}\Omega}{10.71 \Omega} = -264.24 \text{ vs. } -280.11$$

$$A_i = \frac{\beta R_B r_o}{(r_o + R_C)(R_B + \beta r_e)} = \frac{(100)(470 \text{ k}\Omega)(50 \text{ k}\Omega)}{(50 \text{ k}\Omega + 3 \text{ k}\Omega)(470 \text{ k}\Omega + 1.071 \text{ k}\Omega)} = 94.13 \text{ vs. } 100$$

Como verificación:

$$A_i = -A_v \frac{Z_i}{R_C} = \frac{-(-264.24)(1.069 \text{ k}\Omega)}{3 \text{ k}\Omega} = 94.16$$

la cual difiere ligeramente debido sólo a la precisión que se lleva a través de los cálculos.

8.3 POLARIZACIÓN MEDIANTE DIVISOR DE VOLTAJE

La siguiente configuración que se analizará es la red de polarización *mediante divisor de voltaje* de la figura 8.7. Considérese que el nombre de la configuración es un resultado de la polarización mediante divisor de voltaje en el lado de la entrada para calcular el nivel en dc de V_B .

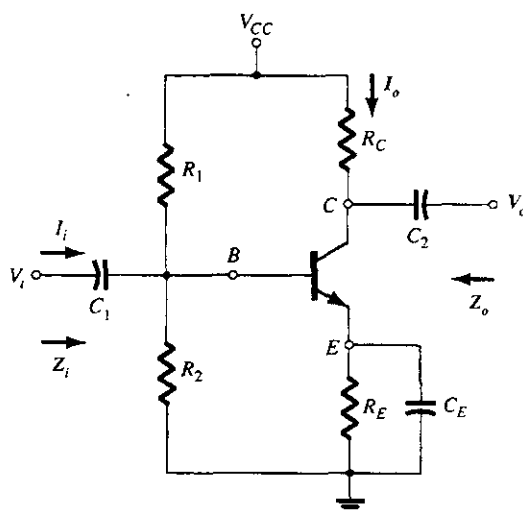


Figura 8.7 Configuración de polarización mediante divisor de voltaje.

Al sustituir el circuito equivalente r_e se obtendrá la red de la figura 8.8. Se observa la ausencia de R_E debido al efecto de reducción de baja impedancia del capacitor de desvío, C_E . Esto es, a la frecuencia (o frecuencias) de operación, la reactancia del capacitor es tan pequeña en comparación con R_E que se maneja como un corto circuito para la señal a través de R_E . Cuando V_{CC} se

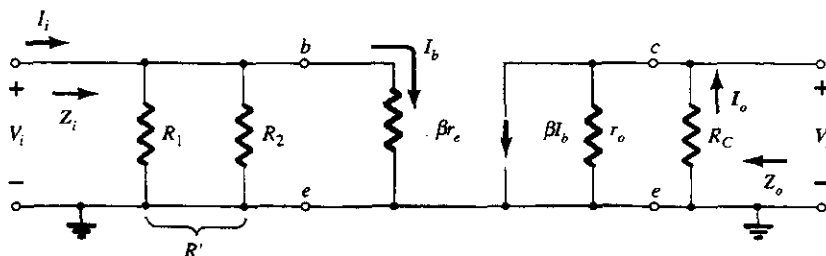


Figura 8.8 Sustitución del circuito equivalente r_e en la red equivalente de ac de la figura 8.7.

igual a cero coloca una terminal de R_1 y R_C a potencial de tierra, como se muestra en la figura 8.8. Además, se observa que R_1 y R_2 permanecen como parte del circuito de entrada mientras que R_C forma parte del circuito de salida. La combinación de R_1 y R_2 está definida por medio de

$$R' \triangleq R_1 \parallel R_2 = \frac{R_1 R_2}{R_1 + R_2} \quad (8.10)$$

Z_i : De la figura 8.8,

$$Z_i = R' \parallel \beta r_e \quad (8.11)$$

Z_o : De la figura 8.8, cuando se hace V_i a 0 V se obtiene $I_b = 0 \mu\text{A}$ y $\beta I_b = 0 \text{ mA}$,

$$Z_o = R_C \parallel r_o \quad (8.12)$$

Si $r_o \geq 10R_C$,

$$Z_o \cong R_C \quad r_o \geq 10R_C \quad (8.13)$$

A_v : Ya que R_C y r_o están en paralelo,

$$V_o = -(\beta I_b)(R_C \parallel r_o)$$

e

$$I_b = \frac{V_i}{\beta r_e}$$

de manera que

$$V_o = -\beta \left(\frac{V_i}{\beta r_e} \right) (R_C \parallel r_o)$$

y

$$A_v = \frac{V_o}{V_i} = - \frac{R_C \parallel r_o}{r_e} \quad (8.14)$$

la cual se nota que es una réplica exacta de la ecuación que se obtuvo para la configuración de polarización fija,

Para $r_o \geq 10R_C$,

$$A_v = \frac{V_o}{V_i} \cong - \frac{R_C}{r_e} \quad r_o \geq 10R_C \quad (8.15)$$

A_i : Debido a que la red de la figura 8.8 es tan similar a la de la figura 8.3, excepto por el hecho que $R' = R_1 \parallel R_2 = R_B$, la ecuación para la ganancia de corriente tendrá el mismo formato que la ecuación (8.7). Esto es,

$$A_i = \frac{I_o}{I_i} = \frac{\beta R' r_o}{(r_o + R_C)(R' + \beta r_e)} \quad (8.16)$$

Para $r_o \geq 10R_C$,

$$A_i = \frac{I_o}{I_i} \cong \frac{\beta R' r_o}{r_o(R' + \beta r_e)}$$

y

$$A_i = \frac{I_o}{I_i} \cong \frac{\beta R'}{R' + \beta r_e} \quad r_o \geq 10R_C \quad (8.17)$$



Y si $R' \geq 10\beta r_e$,

$$A_i = \frac{I_o}{I_i} = \frac{\beta R'}{R'}$$

y

$$A_i = \frac{I_o}{I_i} \cong \beta \quad (8.18)$$

$r_o \geq 10R_C, R' \geq 10\beta r_e$

Como una opción,

$$A_i = -A_v \frac{Z_i}{R_C} \quad (8.19)$$

Relación de la fase: El signo negativo de la ecuación (8.14) revela un cambio de fase de 180° entre V_o y V_i .

EJEMPLO 8.2

Para la red de la figura 8.9, encuentrense:

- r_e .
- Z_i .
- Z_o (cuando $r_o = \infty \Omega$).
- A_v (cuando $r_o = \infty \Omega$).
- A_i (cuando $r_o = \infty \Omega$).
- Los parámetros de los incisos b a e si $r_o = 1/h_{oe} = 50 \text{ k}\Omega$ y compare los resultados.

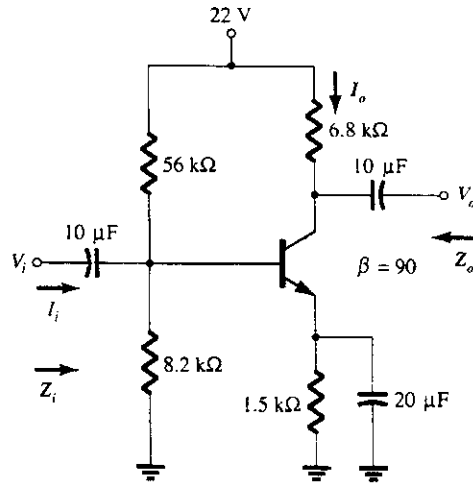


Figura 8.9 Ejemplo 8.2.

Solución

- a) DC: La prueba de $\beta R_E > 10R_2$

$$(90)(1.5 \text{ k}\Omega) > 10(8.2 \text{ k}\Omega)$$

$$135 \text{ k}\Omega > 82 \text{ k}\Omega \text{ satisfecha}$$

Utilizando el método aproximado,

$$V_B = \frac{R_2}{R_1 + R_2} V_{CC} = \frac{(8.2 \text{ k}\Omega)(22 \text{ V})}{56 \text{ k}\Omega + 8.2 \text{ k}\Omega} = 2.81 \text{ V}$$

$$V_E = V_B - V_{BE} = 2.81 \text{ V} - 0.7 \text{ V} = 2.11 \text{ V}$$

$$I_E = \frac{V_E}{R_E} = \frac{2.11 \text{ V}}{1.5 \text{ k}\Omega} = 1.41 \text{ mA}$$

$$r_e = \frac{26 \text{ mV}}{-I_E} = \frac{26 \text{ mV}}{1.41 \text{ mA}} = 18.44 \Omega$$

- b) $R' = R_1 \parallel R_2 = (56 \text{ k}\Omega) \parallel (8.2 \text{ k}\Omega) = 7.15 \text{ k}\Omega$
 $Z_i = R' \parallel \beta r_e = 7.15 \text{ k}\Omega \parallel (90)(18.44 \Omega) = 7.15 \text{ k}\Omega \parallel 1.66 \text{ k}\Omega$
 $= 1.35 \text{ k}\Omega$
- c) $Z_o = R_C = 6.8 \text{ k}\Omega$
- d) $A_v = -\frac{R_C}{r_e} = -\frac{6.8 \text{ k}\Omega}{18.44 \Omega} = -368.76$
- e) La condición $R' \geq 10\beta r_e$ ($7.15 \text{ k}\Omega \geq 10(1.66 \text{ k}\Omega) = 16.6 \text{ k}\Omega$) *no* está satisfecha.
 Por tanto,

$$A_i \cong \frac{\beta R'}{R' + \beta r_e} = \frac{(90)(7.15 \text{ k}\Omega)}{7.15 \text{ k}\Omega + 1.66 \text{ k}\Omega} = 73.04$$

- f) $Z_i = 1.35 \text{ k}\Omega$
 $Z_o = R_C \parallel r_o = 6.8 \text{ k}\Omega \parallel 50 \text{ k}\Omega = 5.98 \text{ k}\Omega$ vs. $6.8 \text{ k}\Omega$
 $A_v = -\frac{R_C \parallel r_o}{r_e} = -\frac{5.98 \text{ k}\Omega}{18.44 \Omega} = -324.3$ vs. -368.76

La condición:

$$r_o \geq 10R_C \quad (50 \text{ k}\Omega \geq 10(6.8 \text{ k}\Omega) = 68 \text{ k}\Omega)$$

No está satisfecha. Por tanto,

$$A_i = \frac{\beta R' r_o}{(r_o + R_C)(R' + \beta r_e)} = \frac{(90)(7.15 \text{ k}\Omega)(50 \text{ k}\Omega)}{(50 \text{ k}\Omega + 6.8 \text{ k}\Omega)(7.15 \text{ k}\Omega + 1.66 \text{ k}\Omega)}$$

$$= 64.3 \text{ vs. } 73.04$$

Existió una diferencia considerable en los resultados de Z_o , A_v y A_i debido a que *no* se satisfizo la condición $r_o \geq 10R_C$.

8.4 CONFIGURACIÓN DE E-C CON POLARIZACIÓN EN EMISOR

Las redes que se examinaron en esta sección incluyen un resistor en emisor que puede tener o no un desvío en el dominio de ac. Primero se considerará la situación sin derivación y luego se modificarán las ecuaciones obtenidas para la configuración con desvío.

Sin desvío

En la figura 8.10 aparece la configuración más básica de las que no poseen desvío. El modelo r_e equivalente se sustituyó en la figura 8.11, pero se observa la ausencia de la resistencia r_o . Si se considera el efecto de r_o , el análisis será mucho más complicado; sin embargo, en la mayoría de las situaciones se puede ignorar su efecto; por tanto, no se incluirá en el siguiente análisis, y su efecto se discutirá más adelante en esta sección.

La aplicación de la ley de voltaje de Kirchhoff al lado de la entrada de la figura 8.11 dará por resultado

$$V_i = I_b \beta r_e + I_e R_E$$

$$V_i = I_b \beta r_e + (\beta + 1) I_b R_E$$

o

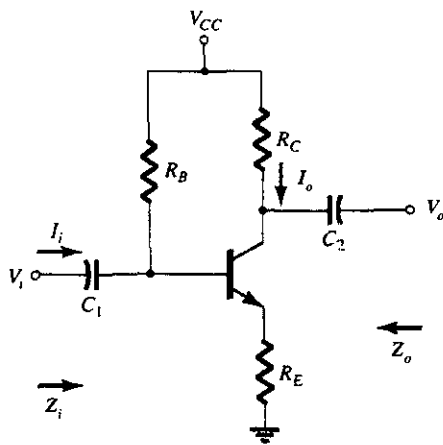


Figura 8.10 Configuración polarización de emisor común.

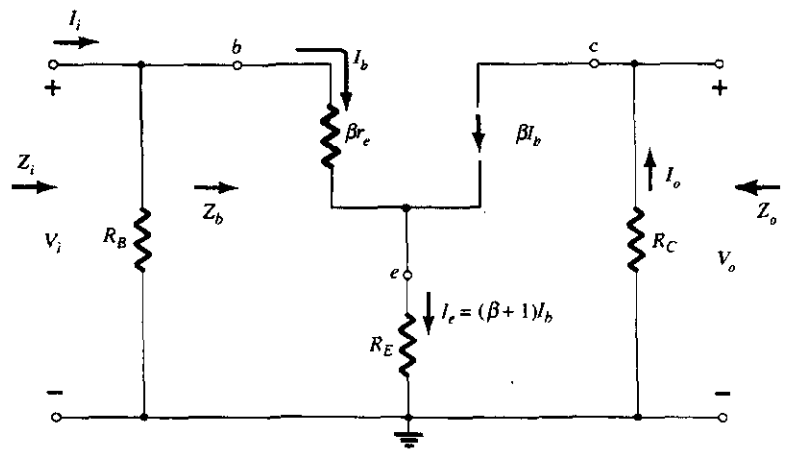


Figura 8.11 Sustitución del circuito equivalente r_e en la red equivalente dc de la figura 8.10.

y la impedancia de entrada viendo hacia la red a la derecha de R_B es

$$Z_b = \frac{V_i}{I_b} = \beta r_e + (\beta + 1)R_E$$

El resultado como se aprecia en la figura 8.12 indica que la impedancia de entrada de un transistor con un resistor R_E sin desvío está determinada por

$$Z_b = \beta r_e + (\beta + 1)R_E \quad (8.20)$$

Ya que β por lo regular es mucho mayor que 1, la ecuación aproximada es la siguiente

$$Z_b \cong \beta r_e + \beta R_E$$

y

$$Z_b \cong \beta(r_e + R_E) \quad (8.21)$$

Debido a que R_E a menudo es mucho mayor que r_e , la ecuación (8.21) puede reducirse aún más a

$$Z_b \cong \beta R_E \quad (8.22)$$

Z_i : Regresando a la figura 8.11, se tiene

$$Z_i = R_B \parallel Z_b \quad (8.23)$$

Z_o : Al hacer V_i cero, $I_b = 0$ y βI_b puede reemplazarse mediante un equivalente de circuito abierto. El resultado es

$$Z_o = R_C \quad (8.24)$$

A_v :

$$I_b = \frac{V_i}{Z_b}$$

y

$$\begin{aligned} V_o &= -I_o R_C = -\beta I_b R_C \\ &= -\beta \left(\frac{V_i}{Z_b} \right) R_C \end{aligned}$$

con

$$A_v = \frac{V_o}{V_i} = -\frac{\beta R_C}{Z_b} \quad (8.25)$$

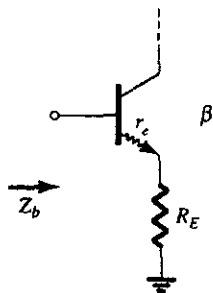


Figura 8.12 Definición de la impedancia de entrada de un transistor con un resistor de emisor sin desvío.

La sustitución de $Z_b = \beta(r_e + R_E)$ da

$$A_v = \frac{V_o}{V_i} = - \frac{R_C}{r_e + R_E} \quad (8.26)$$

y para la aproximación $Z_b \cong \beta R_E$,

$$A_v = \frac{V_o}{V_i} \cong - \frac{R_C}{R_E} \quad (8.27)$$

Obsérvese una vez más la ausencia de β en la ecuación para A_v .

A_i : La magnitud de R_B a menudo es muy cercana a Z_b para permitir la aproximación $I_b = I_i$. Al aplicar la regla mediante la división de corriente al circuito de entrada se obtiene

$$I_b = \frac{R_B I_i}{R_B + Z_b}$$

e

$$\frac{I_b}{I_i} \cong \frac{R_B}{R_B + Z_b}$$

además,

$$I_o = \beta I_b$$

e

$$\frac{I_o}{I_b} = \beta$$

de tal forma que

$$A_i = \frac{I_o}{I_i} = \frac{I_o}{I_b} \frac{I_b}{I_i} \\ = \beta \frac{R_B}{R_B + Z_b}$$

y

$$A_i = \frac{I_o}{I_i} = \frac{\beta R_B}{R_B + Z_b} \quad (8.28)$$

o

$$A_i = -A_v \frac{Z_i}{R_C} \quad (8.29)$$

Relación de la fase: El signo negativo de la ecuación (8.25) revela una vez más un cambio de fase de 180° entre V_o y V_i .

Efecto de r_o : Las ecuaciones que aparecen abajo revelarán con mayor detalle la complejidad adicional que resulta al incluir r_o en el análisis. Sin embargo, en cada caso se observa que cuando se cumplen ciertas condiciones, las ecuaciones regresan a la forma recién derivada. La derivación de cada ecuación está más allá de las necesidades de este texto y se deja como un ejercicio para el lector. Cada ecuación puede derivarse mediante la aplicación *cuidadosa* de las leyes básicas del análisis de circuitos como las leyes de voltaje y de corriente de Kirchhoff, las conversiones de las fuentes, el teorema de Thévenin y otros. Se incluyeron las ecuaciones para eliminar la molesta pregunta del efecto de r_o sobre los parámetros importantes de una configuración de transistores.

Z_i :

$$Z_b = \beta r_e + \left[\frac{(\beta + 1) + R_C/r_o}{1 + (R_C + R_E)/r_o} \right] R_E \quad (8.30)$$



Debido a que el cociente R_C/r_o es siempre mucho menor que $(\beta + 1)$,

$$Z_b \cong \beta r_e + \frac{(\beta + 1)R_E}{1 + (R_C + R_E)/r_o}$$

Para $r_o \geq 10(R_C + R_E)$,

$$Z_b \cong \beta r_e + (\beta + 1)R_E$$

la cual puede compararse de manera directa con la ecuación (8.20).

En otras palabras, si $r_o \geq 10(R_C + R_E)$, se podrán obtener todas las ecuaciones derivadas con anterioridad.

Debido a que $\beta + 1 \cong \beta$, la siguiente ecuación resulta excelente para la mayoría de las aplicaciones:

$$\boxed{Z_b \cong \beta(r_e + R_E)} \quad r_o \geq 10(R_C + R_E) \quad (8.31)$$

Z_o :

$$\boxed{Z_o = R_C \parallel \left[r_o + \frac{\beta(r_o + r_e)}{1 + \frac{\beta r_e}{R_E}} \right]} \quad (8.32)$$

Sin embargo, $r_o \gg r_e$ y

$$Z_o \cong R_C \parallel r_o \left[1 + \frac{\beta}{1 + \frac{\beta r_e}{R_E}} \right]$$

la cual puede escribirse como

$$Z_o \cong R_C \parallel r_o \left[1 + \frac{1}{\frac{1}{\beta} + \frac{r_e}{R_E}} \right]$$

Normalmente tanto $1/\beta$ como r_e/R_E son menores que uno y suman un total que por lo general es menor que uno. El resultado es un factor de multiplicación para r_o mayor que uno. Para $\beta = 100$, $r_e = 10 \Omega$ y $R_E = 1 \text{ k}\Omega$:

$$\frac{1}{\frac{1}{\beta} + \frac{r_e}{R_E}} = \frac{1}{\frac{1}{100} + \frac{10 \Omega}{1000 \Omega}} = \frac{1}{0.02} = 50$$

y

$$Z_o = R_C \parallel 51r_o$$

la cual, por supuesto es R_C . Por tanto,

$$\boxed{Z_o = R_C} \quad \text{Cualquier nivel de } r_o \quad (8.33)$$

la cual se obtuvo con anterioridad.

A_v :

$$\boxed{A_v = \frac{V_o}{V_i} = \frac{-\frac{\beta R_C}{Z_b} \left[1 + \frac{r_e}{r_o} \right] + \frac{R_C}{r_o}}{1 + \frac{R_C}{r_o}} \quad (8.34)$$



La relación $r_e/r_o \ll 1$

y

$$A_v = \frac{V_o}{V_i} \cong \frac{-\frac{\beta R_C}{Z_b} + \frac{R_C}{r_o}}{1 + \frac{R_C}{r_o}}$$

Para $r_o \geq 10R_C$

$$A_v = \frac{V_o}{V_i} \cong -\frac{\beta R_C}{Z_b} \quad (8.35)$$

así como se obtuvo con antes.

A_i : El cálculo de A_i será a la ecuación

$$A_i = -A_v \frac{Z_i}{R_C} \quad (8.36)$$

utilizando las ecuaciones anteriores.

Con desvío

Si R_E de la figura 8.10 está en desvío mediante un capacitor C_E de emisor, el modelo r_e equivalente completo puede sustituirse, dando por resultado la misma red equivalente que la figura 8.3. Por tanto, pueden aplicarse las ecuaciones (8.1) a (8.9).

Para la red de la figura 8.13, sin C_E (sin desvío), calcular:

EJEMPLO 8.3

- r_e .
- Z_i .
- Z_o .
- A_v .
- A_i .

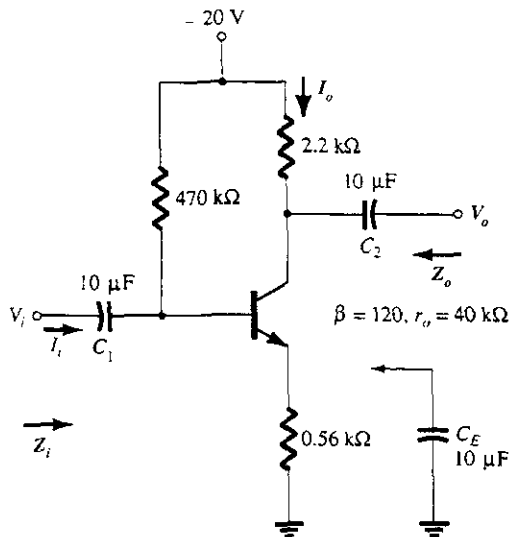


Figura 8.13 Ejemplo 8.3.

Solución

$$a) \text{ DC: } I_B = \frac{V_{CC} - V_{BE}}{R_B + (\beta + 1)R_E} = \frac{20 \text{ V} - 0.7 \text{ V}}{470 \text{ k}\Omega + (121)0.56 \text{ k}\Omega} = 35.89 \mu\text{A}$$

$$I_E = (\beta + 1)I_B = (121)(46.5 \mu\text{A}) = 4.34 \text{ mA}$$

$$y \quad r_e = \frac{26 \text{ mV}}{I_E} = \frac{26 \text{ mV}}{4.34 \text{ mA}} = 5.99 \Omega$$



b) La prueba de la condición $r_o \geq 10(R_C + R_E)$,

$$40 \text{ k}\Omega \geq 10(2.2 \text{ k}\Omega + 0.56 \text{ k}\Omega)$$

$$40 \text{ k}\Omega \geq 10(2.76 \text{ k}\Omega) = 27.6 \text{ k}\Omega \text{ satisfecha}$$

Por tanto,

$$\begin{aligned} Z_b &\equiv \beta(r_e + R_E) = 120(5.99 \Omega + 560 \Omega) \\ &= 67.92 \text{ k}\Omega \end{aligned}$$

y

$$\begin{aligned} Z_i &= R_B \| Z_b = 470 \text{ k}\Omega \| 67.92 \text{ k}\Omega \\ &= 59.34 \text{ k}\Omega \end{aligned}$$

c) $Z_o = R_C = 2.2 \text{ k}\Omega$

d) $r_o \geq 10R_C$ está satisfecha. Por tanto,

$$\begin{aligned} A_v &= \frac{V_o}{V_i} \cong -\frac{\beta R_C}{Z_b} = -\frac{(120)(2.2 \text{ k}\Omega)}{67.92 \text{ k}\Omega} \\ &= -3.89 \end{aligned}$$

comparado con -3.93 cuando se utilizó la ecuación (8.27): $A_v \cong -R_C/R_E$.

$$\begin{aligned} \text{e) } A_i &= -A_v \frac{Z_i}{R_C} = -(-3.89) \left(\frac{59.34 \text{ k}\Omega}{2.2 \text{ k}\Omega} \right) \\ &= 104.92 \end{aligned}$$

comparado con 104.85 cuando se utilizó la ecuación (8.28): $A_i \cong \beta R_B / (R_B + Z_b)$.

EJEMPLO 8.4

Repítase el análisis del ejemplo 8.3 cuando C_E está en su lugar.

Solución

a) El análisis del dominio dc es el mismo y $r_e = 5.99 \Omega$.

b) R_E está “en corto” debido a C_E para el análisis ac. Por tanto,

$$\begin{aligned} Z_i &= R_B \| Z_b = R_B \| \beta r_e = 470 \text{ k}\Omega \| (120)(5.99 \Omega) \\ &= 470 \text{ k}\Omega \| 718.8 \Omega \cong 717.70 \Omega \end{aligned}$$

c) $Z_o = R_C = 2.2 \text{ k}\Omega$

$$\begin{aligned} \text{d) } A_v &= -\frac{R_C}{r_e} \\ &= -\frac{2.2 \text{ k}\Omega}{5.99 \Omega} = -367.28 \text{ (un incremento significativo)} \end{aligned}$$

$$\begin{aligned} \text{e) } A_i &= \frac{\beta R_B}{R_B + Z_b} = \frac{(120)(470 \text{ k}\Omega)}{470 \text{ k}\Omega + 718.8 \Omega} \\ &= 119.82 \end{aligned}$$

EJEMPLO 8.5

Para la red de la figura 8.14, encontrar (mediante las aproximaciones adecuadas):

- r_e
- Z_i
- Z_o
- A_v
- A_i

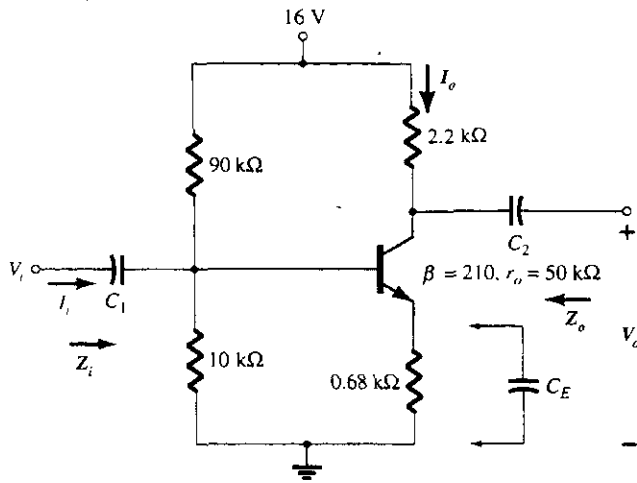


Figura 8.14 Ejemplo 8.5.

Solución

a) Probando $\beta R_E > 10R_2$

$$(210)(0.68 \text{ k}\Omega) > 10(10 \text{ k}\Omega)$$

$$142.8 \text{ k}\Omega > 100 \text{ k}\Omega \text{ satisfecha}$$

$$V_B = \frac{R_2}{R_1 + R_2} V_{CC} = \frac{10 \text{ k}\Omega}{90 \text{ k}\Omega + 10 \text{ k}\Omega} (16 \text{ V}) = 1.6 \text{ V}$$

$$V_E = V_B - V_{BE} = 1.6 \text{ V} - 0.7 \text{ V} = 0.9 \text{ V}$$

$$I_E = \frac{V_E}{R_E} = \frac{0.9 \text{ V}}{0.68 \text{ k}\Omega} = 1.324 \text{ mA}$$

$$r_e = \frac{26 \text{ mV}}{I_E} = \frac{26 \text{ mV}}{1.324 \text{ mA}} = \mathbf{19.64 \Omega}$$

b) En la figura 8.15 se proporciona el circuito equivalente. Ahora, la configuración que se obtiene es diferente a la de la figura 8.11 sólo por el hecho que

$$R_B = R' = R_1 || R_2 = 9 \text{ k}\Omega$$

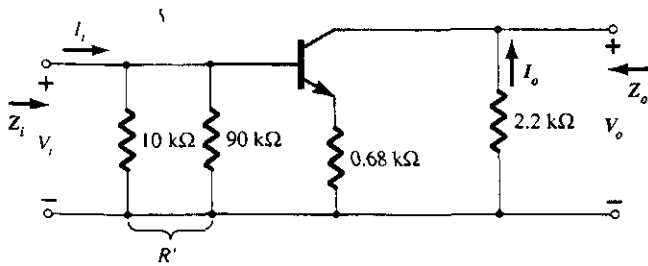


Figura 8.15 El circuito ac equivalente de la figura 8.14.

Las condiciones de prueba tanto de $r_o \geq 10(R_C + R_E)$ como de $r_o \geq 10R_C$ se satisfacen. El empleo de las aproximaciones adecuadas dan

$$Z_b \cong \beta R_E = 142.8 \text{ k}\Omega$$

$$\begin{aligned} Z_i &= R_B || Z_b = 9 \text{ k}\Omega || 142.8 \text{ k}\Omega \\ &= \mathbf{8.47 \text{ k}\Omega} \end{aligned}$$



$$\begin{aligned} \text{c) } Z_o &= R_C = 2.2 \text{ k}\Omega \\ \text{d) } A_v &= -\frac{R_C}{R_E} = -\frac{2.2 \text{ k}\Omega}{0.68 \text{ k}\Omega} = -3.24 \\ \text{e) } A_i &= -A_v \frac{Z_i}{R_C} = -(-3.24) \left(\frac{8.47 \text{ k}\Omega}{2.2 \text{ k}\Omega} \right) \\ &= 12.47 \end{aligned}$$

EJEMPLO 8.6

Repetir el ejemplo 8.5 con C_E en su lugar.

Solución

$$\begin{aligned} \text{a) } &\text{El análisis en dc es el mismo y } r_e = 19.64 \Omega \\ \text{b) } &Z_b = \beta r_e = (210)(19.64 \Omega) \cong 4.12 \text{ k}\Omega \\ &Z_i = R_B || Z_b = 9 \text{ k}\Omega || 4.12 \text{ k}\Omega \\ &= 2.83 \text{ k}\Omega \\ \text{c) } &Z_o = R_C = 2.2 \text{ k}\Omega \\ \text{d) } &A_v = -\frac{R_C}{r_e} = -\frac{2.2 \text{ k}\Omega}{19.64 \Omega} = -112.02 \text{ (un crecimiento significativo)} \\ \text{e) } &A_i = -A_v \frac{Z_i}{R_L} = -(-112.02) \left(\frac{2.83 \text{ k}\Omega}{2.2 \text{ k}\Omega} \right) \\ &= 144.1 \end{aligned}$$

En la figura 8.16 aparece otra variación de una configuración de polarización en emisor. Para el análisis en dc la resistencia del emisor es $R_{E1} + R_{E2}$, mientras que para el análisis en ac el resistor R_E en las ecuaciones anteriores es simplemente R_{E1} con R_{E2} en desvío por C_E .

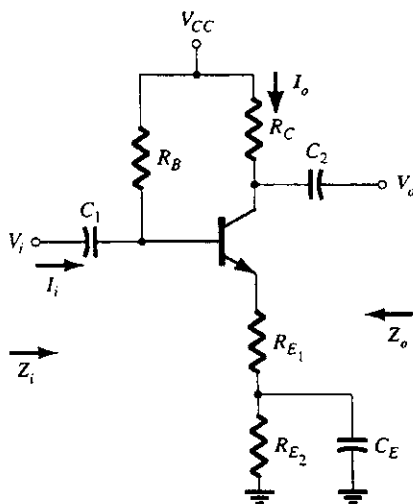


Figura 8.16 Una configuración polarización en emisor con una porción de la resistencia de emisor en desvío en el dominio de ac.

8.5 CONFIGURACIÓN EMISOR-SEGUIDOR

Cuando se toma la salida a partir de la terminal del emisor del transistor como se muestra en la figura 8.17, se conoce a la red como *emisor-seguidor*. El voltaje de salida siempre es ligeramente menor que la señal de entrada, debido a la caída de la base al emisor, pero la aproximación

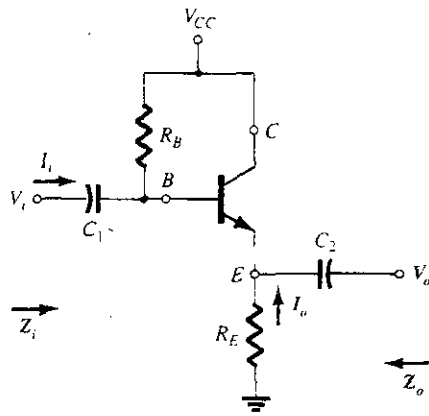


Figura 8.17 Configuración emisor-seguidor.

$A_v \approx 1$ por lo general es buena. A diferencia del voltaje del colector, el voltaje está en fase con la señal V_i . Esto es, tanto V_o como V_i mantendrán sus valores pico positivos y negativos al mismo tiempo. El hecho de que V_o "siga" la magnitud de V_i con una relación dentro de fase acredita la terminología emisor-seguidor.

En la figura 8.17 aparece la configuración emisor-seguidor más común. De hecho, debido a que el colector está conectado a tierra para el análisis en ac, en realidad es una configuración de *colector-común*. En la parte final de esta sección aparecerán otras variaciones de la figura 8.17 que tienen la salida en emisor con $V_o \approx V_i$.

La configuración de emisor-seguidor se utiliza con frecuencia para propósitos de acoplamiento de impedancia. Presenta una alta impedancia en la entrada y una impedancia baja en la salida, la cual es directamente opuesta a la configuración de polarización fija estándar. El efecto que se obtiene es muy similar al que se logra con un transformador, donde se acopla una carga con la impedancia de la fuente para obtener una máxima transferencia de potencia a través del sistema.

Al sustituir el circuito equivalente r_e en la red de la figura 8.17 se obtiene la red de la figura 8.18. El efecto de r_o se examinará más adelante en la sección.

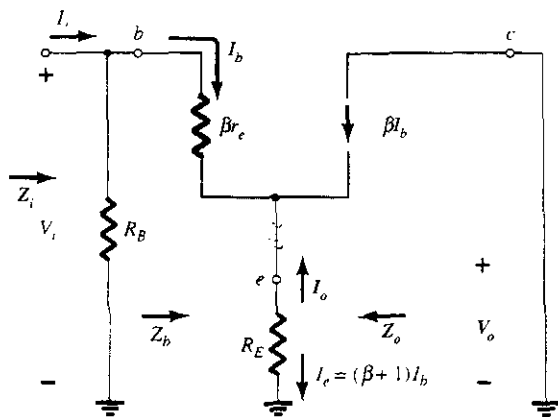


Figura 8.18. Sustitución del circuito equivalente r_e en la red ac equivalente de ac de la figura 8.17.

Z_i : La impedancia de entrada se encuentra determinada de la misma manera que se describió en la sección anterior:

$$Z_i = R_B \parallel Z_b \quad (8.37)$$

con
$$Z_b = \beta r_e + (\beta + 1)R_E \quad (8.38)$$



o

$$Z_b \equiv \beta(r_e + R_E) \quad (8.39)$$

y

$$Z_b \equiv \beta R_E \quad (8.40)$$

Z_o : La impedancia de salida se describe mejor al escribir la ecuación para la corriente I_b :

$$I_b = \frac{V_i}{Z_b}$$

y luego multiplicando por $(\beta + 1)$ para establecer I_e . Esto es,

$$I_e = (\beta + 1)I_b = (\beta + 1) \frac{V_i}{Z_b}$$

Sustituyendo por Z_b se obtiene

$$I_e = \frac{(\beta + 1)V_i}{\beta r_e + (\beta + 1)R_E}$$

o

$$I_e = \frac{V_i}{[\beta r_e / (\beta + 1)] + R_E}$$

pero

$$(\beta + 1) \cong \beta$$

y

$$\frac{\beta r_e}{\beta + 1} \cong \frac{\beta r_e}{\beta} = r_e$$

de manera que

$$I_e \cong \frac{V_i}{r_e + R_E} \quad (8.41)$$

Si ahora se construye la red definida por la ecuación (8.41), se obtiene la configuración de la figura 8.19.

Para determinar Z_o , se hace cero V_i y

$$Z_o = R_E \parallel r_e \quad (8.42)$$

Por lo general R_E es mucho mayor que r_e , y a menudo se aplica la siguiente aproximación:

$$Z_o \cong r_e \quad (8.43)$$

A_v : Se puede utilizar la figura 8.19 para determinar la ganancia de voltaje mediante la aplicación de la regla del divisor de voltaje:

$$V_o = \frac{R_E V_i}{R_E + r_e}$$

y

$$A_v = \frac{V_o}{V_i} = \frac{R_E}{R_E + r_e} \quad (8.44)$$

Con frecuencia, R_E es mucho mayor que r_e , $R_E + r_e \cong R_E$ y

$$A_v = \frac{V_o}{V_i} \cong 1 \quad (8.45)$$

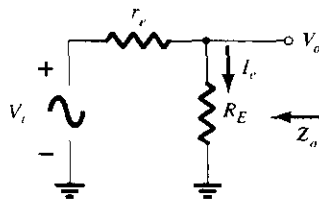


Figura 8.19 Definición de la impedancia de salida para la configuración emisor-seguidor.



A_i : De la figura 8.18,

$$I_b = \frac{R_B I_i}{R_B + Z_b}$$

$$\frac{I_b}{I_i} = \frac{R_B}{R_B + Z_b}$$

$$I_o = -I_e = -(\beta + 1)I_b$$

$$\frac{I_o}{I_b} = -(\beta + 1)$$

de tal forma que

$$A_i = \frac{I_o}{I_i} = \frac{I_o}{I_b} \frac{I_b}{I_i}$$

$$= -(\beta + 1) \frac{R_B}{R_B + Z_b}$$

y debido a que

$$(\beta + 1) \cong \beta,$$

$$A_i \cong -\frac{\beta R_B}{R_B + Z_b} \quad (8.46)$$

$$A_i = -A_v \frac{Z_i}{R_E} \quad (8.47)$$

Relación de la fase: Como se indicó por medio de la ecuación (8.44) y algunas discusiones anteriores de esta sección, tanto V_o como V_i se encuentran en fase para la configuración emisor-seguidor.

Efecto de r_o :

Z_i :

$$Z_b = \beta r_e + \frac{(\beta + 1)R_E}{1 + \frac{R_E}{r_o}} \quad (8.48)$$

Si se satisface la condición $r_o \geq 10R_E$,

$$Z_b \cong \beta r_e + (\beta + 1)R_E$$

la cual es similar a las conclusiones anteriores con

$$Z_b \cong \beta(r_e + R_E) \quad r_o \geq 10R_E \quad (8.49)$$

Z_o :

$$Z_o = r_o \parallel R_E \parallel \frac{\beta r_e}{(\beta + 1)} \quad (8.50)$$

Utilizando $\beta + 1 \cong \beta$,

$$Z_o = r_o \parallel R_E \parallel r_e$$

y dado que $r_o \gg r_e$,

$$Z_o \cong R_E \parallel r_e \quad \text{Cualquier } r_o \quad (8.51)$$



A_v :

$$A_v = \frac{(\beta + 1)R_E / Z_b}{1 + \frac{R_E}{r_o}} \quad (8.52)$$

Si se satisface la condición $r_o \geq 10R_E$ y se utiliza la aproximación $\beta + 1 \approx \beta$,

$$A_v \approx \frac{\beta R_E}{Z_b}$$

Pero

$$Z_b \approx \beta(r_e + R_E)$$

de tal forma que

$$A_v \approx \frac{\beta R_E}{\beta(r_e + R_E)}$$

y

$$A_v \approx \frac{R_E}{r_e + R_E} \quad r_o \geq 10R_E \quad (8.53)$$

EJEMPLO 8.7

Para la red emisor-seguidor de la figura 8.20, determinar:

- r_e .
- Z_i .
- Z_o .
- A_v .
- A_i .
- Repetir los incisos *b* a *e* cuando $r_o = 25 \text{ k}\Omega$ y comparar los resultados.

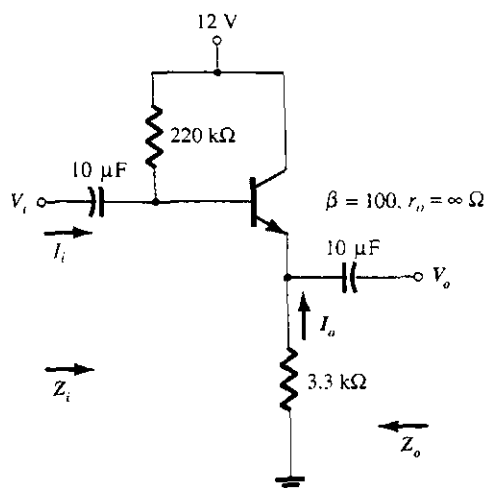


Figura 8.20 Ejemplo 8.7.

Solución

$$\begin{aligned} \text{a) } I_B &= \frac{V_{CC} - V_{BE}}{R_B + (\beta + 1)R_E} \\ &= \frac{12 \text{ V} - 0.7 \text{ V}}{220 \text{ k}\Omega + (101)3.3 \text{ k}\Omega} = 20.42 \text{ }\mu\text{A} \\ I_E &= (\beta + 1)I_B \\ &= (101)(20.42 \text{ }\mu\text{A}) = 2.062 \text{ mA} \\ r_e &= \frac{26 \text{ mV}}{I_E} = \frac{26 \text{ mV}}{2.062 \text{ mA}} = 12.61 \text{ }\Omega \end{aligned}$$

$$\begin{aligned} \text{b) } Z_b &= \beta r_e + (\beta + 1)R_E \\ &= (100)(12.61 \, \Omega) + (101)(3.3 \, \text{k}\Omega) \\ &= 1.261 \, \text{k}\Omega + 333.3 \, \text{k}\Omega \\ &= 334.56 \, \text{k}\Omega \cong \beta R_E \end{aligned}$$

$$\begin{aligned} Z_i &= R_B \parallel Z_b = 220 \, \text{k}\Omega \parallel 334.56 \, \text{k}\Omega \\ &= \mathbf{132.72 \, \text{k}\Omega} \end{aligned}$$

$$\begin{aligned} \text{c) } Z_o &= R_E \parallel r_e = 3.3 \, \text{k}\Omega \parallel 12.61 \, \Omega \\ &= \mathbf{12.56 \, \Omega} \cong r_e \end{aligned}$$

$$\begin{aligned} \text{d) } A_v &= \frac{V_o}{V_i} = \frac{R_E}{R_E + r_e} = \frac{3.3 \, \text{k}\Omega}{3.3 \, \text{k}\Omega + 12.61 \, \Omega} \\ &= \mathbf{0.996} \cong 1 \end{aligned}$$

$$\text{e) } A_i \cong -\frac{\beta R_B}{R_B + Z_b} = -\frac{(100)(220 \, \text{k}\Omega)}{220 \, \text{k}\Omega + 334.56 \, \text{k}\Omega} = \mathbf{-39.67}$$

contra

$$A_i = -A_v \frac{Z_i}{R_E} = -(0.996) \left(\frac{132.72 \, \text{k}\Omega}{3.3 \, \text{k}\Omega} \right) = \mathbf{-40.06}$$

f) Al verificar la condición $r_o \geq 10R_E$, se tiene

$$25 \, \text{k}\Omega \geq 10(3.3 \, \text{k}\Omega) = 33 \, \text{k}\Omega$$

la cual *no* se satisface. Por tanto,

$$\begin{aligned} Z_b &= \beta r_e + \frac{(\beta + 1)R_E}{1 + \frac{R_E}{r_o}} = (100)(12.61 \, \Omega) + \frac{(100 + 1)3.3 \, \text{k}\Omega}{1 + \frac{3.3 \, \text{k}\Omega}{25 \, \text{k}\Omega}} \\ &= 1.261 \, \text{k}\Omega + 294.43 \, \text{k}\Omega \\ &= 295.7 \, \text{k}\Omega \end{aligned}$$

$$\text{con } Z_i = R_B \parallel Z_b = 220 \, \text{k}\Omega \parallel 295.7 \, \text{k}\Omega$$

$$= \mathbf{126.15 \, \text{k}\Omega} \text{ vs. } 132.72 \, \text{k}\Omega \text{ a la cual se llegó de la manera anterior}$$

$$Z_o = R_E \parallel r_e = \mathbf{12.56 \, \Omega} \text{ como se obtuvo anteriormente}$$

$$\begin{aligned} A_v &= \frac{(\beta + 1)R_E / Z_b}{\left[1 + \frac{R_E}{r_o} \right]} = \frac{(100 + 1)(3.3 \, \text{k}\Omega) / 295.7 \, \text{k}\Omega}{\left[1 + \frac{3.3 \, \text{k}\Omega}{25 \, \text{k}\Omega} \right]} \\ &= \mathbf{0.996} \cong 1 \end{aligned}$$

lo cual es igual al resultado anterior.

Por tanto, aunque no se satisface la condición $r_o \geq 10R_E$, los resultados para Z_o y A_v son los mismos y únicamente Z_i es un poco menor. Los resultados sugieren que para la mayoría de las aplicaciones se puede obtener una buena aproximación de los resultados reales sólo con el hecho de ignorar los efectos de r_o para esta configuración.

La red de la figura 8.21 es una variación de la red de la figura 8.17, la cual utiliza una sección de entrada divisor de voltaje para establecer las condiciones de polarización. Las ecuaciones (8.37) a (8.47) se pueden cambiar con sólo reemplazar R_B por $R' = R_1 \parallel R_2$.

La red de la figura 8.22 también proporciona las características de entrada/salida de un emisor-seguiror, pero incluye un resistor colector R_C . En este caso R_B se reemplaza una vez más por la combinación en paralelo de R_1 y R_2 . La impedancia de entrada Z_i y la impedancia de salida Z_o no se afectan entre sí, porque R_C no se refleja en las redes equivalentes

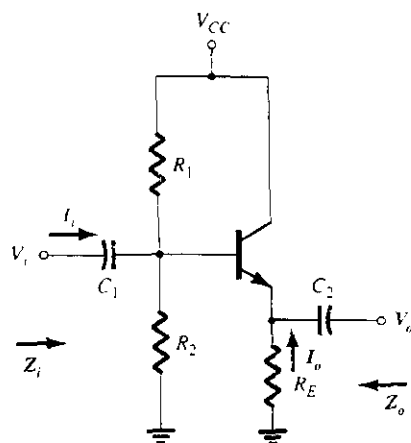


Figura 8.21 Configuración emisor-seguidor con un arreglo polarización mediante divisor de voltaje.

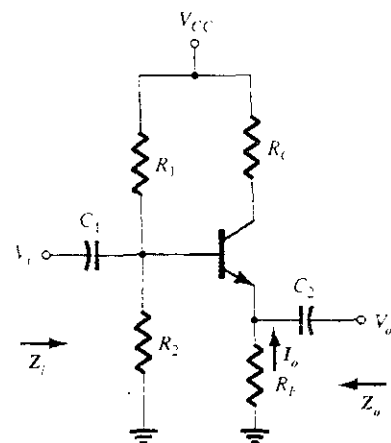


Figura 8.22 Configuración emisor-seguidor con un resistor colector R_C .

de la base o el emisor. De hecho, el único efecto de R_C será al determinar el punto de operación Q .

8.6 CONFIGURACIÓN DE BASE COMÚN

La configuración de base común se caracteriza por tener una impedancia de entrada relativamente baja y una impedancia de salida alta y además una ganancia de corriente menor a uno. Sin embargo, la ganancia de voltaje puede ser considerable. La configuración estándar aparece en la figura 8.23 con el modelo equivalente r_e de base común sustituido en la figura 8.24. La impedancia de salida r_o del transistor no está incluida para la configuración de base común debido a que por lo general se encuentra en el rango de los megaohms y puede ignorarse puesto que se encuentra en paralelo con el resistor R_C .

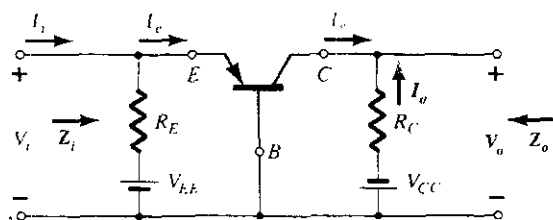


Figura 8.23 Configuración de base común.

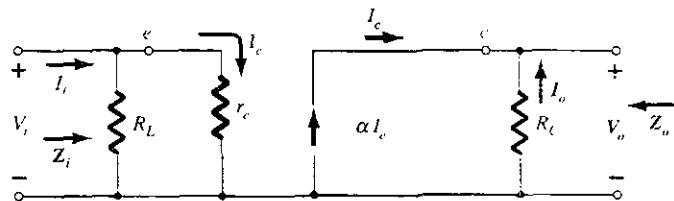


Figura 8.24 Sustitución del circuito equivalente r_e en la red equivalente de ac de la figura 8.23.

Z_i :

$$Z_i = R_E \parallel r_e \quad (8.54)$$

Z_o :

$$Z_o = R_C \quad (8.55)$$

A_v :

$$V_o = -I_o R_C = -(-I_e) R_C = \alpha I_e R_C$$



con

$$I_e = \frac{V_i}{r_e}$$

de tal forma que

$$V_o = \alpha \left(\frac{V_i}{r_e} \right) R_C$$

y

$$A_v = \frac{V_o}{V_i} = \frac{\alpha R_C}{r_e} \cong \frac{R_C}{r_e} \quad (8.56)$$

A_v : Al suponer que $R_E \gg r_e$ se obtiene

$$I_e = I_i$$

y

$$I_o = -\alpha I_e = -\alpha I_i$$

con

$$A_i = \frac{I_o}{I_i} = -\alpha \cong -1 \quad (8.57)$$

Relación de la fase: El hecho de que A_v es un número positivo indica que tanto V_o como V_i se encuentran en fase para la configuración de base común.

Efecto de r_o : Para la configuración de base común, $r_o = 1/h_{ob}$ está por lo general en el rango de los megaohms y es más grande que la resistencia en paralelo R_C como para permitir la aproximación $r_o \parallel R_C \cong R_C$.

Para la red de la figura 8.25, calcular:

EJEMPLO 8.8

- r_e .
- Z_i .
- Z_o .
- A_v .
- A_i .

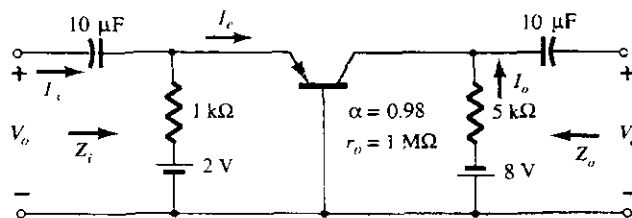


Figura 8.25 Ejemplo 8.8.

Solución

- $I_E = \frac{V_{EE} - V_{BE}}{R_E} = \frac{2 \text{ V} - 0.7 \text{ V}}{1 \text{ k}\Omega} = \frac{1.3 \text{ V}}{1 \text{ k}\Omega} = 1.3 \text{ mA}$
 $r_e = \frac{26 \text{ mV}}{I_E} = \frac{26 \text{ mV}}{1.3 \text{ mA}} = 20 \Omega$
- $Z_i = R_E \parallel r_e = 1 \text{ k}\Omega \parallel 20 \Omega = 19.61 \Omega \cong r_e$
- $Z_o = R_C = 5 \text{ k}\Omega$
- $A_v \cong \frac{R_C}{r_e} = \frac{5 \text{ k}\Omega}{20 \Omega} = 250$
- $A_i = -0.98 \cong -1$

8.7 CONFIGURACIÓN CON RETROALIMENTACIÓN EN COLECTOR

La red con retroalimentación en colector de la figura 8.26 utiliza una trayectoria de retroalimentación desde el colector a la base para aumentar la estabilidad del sistema como se discutió en la sección 4.12. Sin embargo, la simple maniobra de conectar un resistor de la base al colector en lugar de la base a la fuente de dc tiene un impacto significativo sobre el nivel de dificultad que se encuentra al momento de analizar la red.

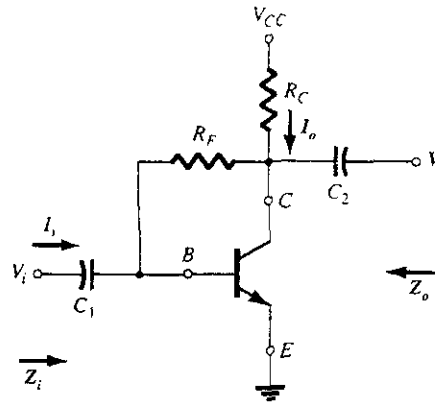


Figura 8.26 Configuración de retroalimentación en colector.

Algunos pasos que serán realizados a continuación son el resultado de la experiencia al trabajar con tales configuraciones. No se espera que un nuevo estudiante del tema seleccione la secuencia de los pasos descritos a continuación sin hacer uno o dos pasos de manera errónea. La sustitución del circuito equivalente y el redibujo de la red dará por resultado la configuración de la figura 8.27. Los efectos de una resistencia de salida r_o en el transistor se analizarán más adelante en esta sección.

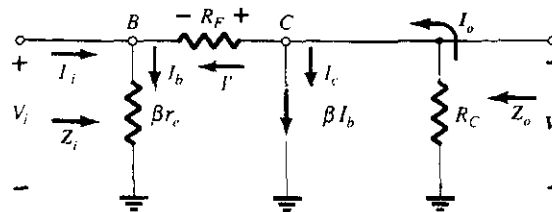


Figura 8.27 Sustitución del circuito equivalente r_e en la red equivalente de ac de la figura 8.26.

$$Z_i: \quad I' = \frac{V_o - V_i}{R_F}$$

$$\text{con} \quad V_o = -I_o R_C$$

$$\text{e} \quad I_o = \beta I_b + I'$$

Debido a que βI_b es mucho mayor que I' ,

$$I_o \cong \beta I_b$$

$$\text{y} \quad V_o = -(\beta I_b) R_C = -\beta I_b R_C$$

$$\text{pero} \quad I_b = \frac{V_i}{\beta r_e}$$

$$\text{y} \quad V_o = -\beta \left(\frac{V_i}{\beta r_e} \right) R_C = -\frac{R_C}{r_e} V_i$$

Por tanto,

$$I' = \frac{V_o - V_i}{R_F} = \frac{V_o}{R_F} - \frac{V_i}{R_F} = -\frac{R_C V_i}{r_e R_F} - \frac{V_i}{R_F} = -\frac{1}{R_F} \left[1 + \frac{R_C}{r_e} \right] V_i$$

El resultado es

$$V_i = I_b \beta r_e = (I_i + I') \beta r_e = I_i \beta r_e + I' \beta r_e$$

$$V_i = I_i \beta r_e - \frac{1}{R_F} \left[1 + \frac{R_C}{r_e} \right] \beta r_e V_i$$

o

$$V_i \left[1 + \frac{\beta r_e}{R_F} \left[1 + \frac{R_C}{r_e} \right] \right] = I_i \beta r_e$$

y

$$Z_i = \frac{V_i}{I_i} = \frac{\beta r_e}{1 + \frac{\beta r_e}{R_F} \left[1 + \frac{R_C}{r_e} \right]}$$

pero R_C es por lo general mucho mayor que r_e y $1 + \frac{R_C}{r_e} \cong \frac{R_C}{r_e}$

de tal forma que

$$Z_i = \frac{\beta r_e}{1 + \frac{\beta R_C}{R_F}}$$

o

$$Z_i = \frac{r_e}{\frac{1}{\beta} + \frac{R_C}{R_F}} \quad (8.58)$$

Z_o : Si se hace V_i cero como se requiere para definir Z_o , la red aparecerá como se muestra en la figura 8.28. El efecto de βr_e se elimina y R_F aparece en paralelo con R_C y

$$Z_o \cong R_C \parallel R_F \quad (8.59)$$

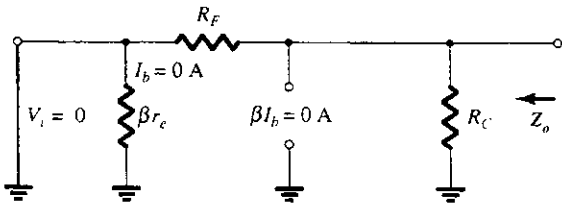


Figura 8.28 Definición de Z_o para la configuración de retroalimentación en colector.

A_v : En el nodo C de la figura 8.27,

$$I_o = \beta I_b + I'$$

Para los valores normales, $\beta I_b \gg I'$ e $I_o \cong \beta I_b$.

$$V_o = -I_o R_C = -(\beta I_b) R_C$$

Sustituyendo $I_b = V_i / \beta r_e$ se obtiene

$$V_o = -\beta \frac{V_i}{\beta r_e} R_C$$

y

$$A_v = \frac{V_o}{V_i} = -\frac{R_C}{r_e} \quad (8.60)$$

A_i : La aplicación de la ley de voltaje de Kirchhoff alrededor del lazo exterior de la red genera

$$V_i + V_{R_F} - V_o = 0$$

e

$$I_b \beta r_e + (I_b - I_i) R_F + I_o R_C = 0$$

Utilizando $I_o \cong \beta I_b$, se tiene

$$I_b \beta r_e + I_b R_F - I_i R_F + \beta I_b R_C = 0$$

e

$$I_b (\beta r_e + R_F + \beta R_C) = I_i R_F$$

Sustituyendo $I_b = I_o / \beta$ a partir de $I_o \cong \beta I_b$ da

$$\frac{I_o}{\beta} (\beta r_e + R_F + \beta R_C) = I_i R_F$$

e

$$I_o = \frac{\beta R_F I_i}{\beta r_e + R_F + \beta R_C}$$

Ignorando βr_e y comparar con R_F y βR_C

$$A_i = \frac{I_o}{I_i} = \frac{\beta R_F}{R_F + \beta R_C} \quad (8.61)$$

Para $\beta R_C \gg R_F$,

$$A_i = \frac{I_o}{I_i} = \frac{\beta R_F}{\beta R_C}$$

y

$$A_i = \frac{I_o}{I_i} \cong \frac{R_F}{R_C} \quad (8.62)$$

Relación de la fase: El signo negativo de la ecuación (8.60) indica un cambio de fase de 180° entre V_o y V_i .

Efecto de r_o :

Z_i : Un análisis completo sin la aplicación de aproximaciones dará por resultado

$$Z_i = \frac{1 + \frac{R_C || r_o}{R_F}}{\frac{1}{\beta r_e} + \frac{1}{R_F} + \frac{R_C || r_o}{R_F r_e}} \quad (8.63)$$

Al reconocer que $1/R_F \cong 0$ y al aplicar la condición $r_o \geq 10R_C$,

$$Z_i = \frac{1 + \frac{R_C}{R_F}}{\frac{1}{\beta r_e} + \frac{R_C}{R_F r_e}}$$

pero por lo general $R_C/R_F \ll 1$ y

$$Z_i = \frac{1}{\frac{1}{\beta r_e} + \frac{R_C}{R_F r_e}}$$

$$Z_i = \frac{r_e}{\frac{1}{\beta} + \frac{R_C}{R_F}} \quad r_o \geq 10R_C \quad (8.64)$$

así, como se obtuvo anteriormente.

Z_o : Al incluir r_o en paralelo con R_C en la figura 8.28 se obtiene

$$Z_o = r_o \parallel R_C \parallel R_F \quad (8.65)$$

Para $r_o \geq 10R_C$,

$$Z_o \cong R_C \parallel R_F \quad r_o \geq 10R_C \quad (8.66)$$

igual como se consiguió antes. Para la condición común de $R_F \gg R_C$,

$$Z_o \cong R_C \quad r_o \geq 10R_C, R_F \gg R_C \quad (8.67)$$

A_v :

$$A_v = - \frac{\left[\frac{1}{R_F} + \frac{1}{r_e} \right] (r_o \parallel R_C)}{1 + \frac{r_o \parallel R_C}{R_F}} \quad (8.68)$$

Debido a que $R_F \gg r_e$,

$$A_v \cong - \frac{\frac{r_o \parallel R_C}{R_F}}{1 + \frac{r_o \parallel R_C}{R_F}}$$

Para $r_o \geq 10R_C$,

$$A_v \cong - \frac{\frac{R_C}{R_F}}{1 + \frac{R_C}{R_F}} \quad r_o \geq 10R_C \quad (8.69)$$

y dado que R_C/R_F es por lo general, mucho menor que uno,

$$A_v \cong - \frac{R_C}{r_e} \quad r_o \geq 10R_C, R_F \gg R_C \quad (8.70)$$

como se obtuvo con anterioridad.

Para la red de la figura 8.29, determinar:

EJEMPLO 8.9

- r_e .
- Z_i .
- Z_o .
- A_v .
- A_i .
- Repetir los incisos b a e cuando $r_o = 20 \text{ k}\Omega$ y comparar los resultados.

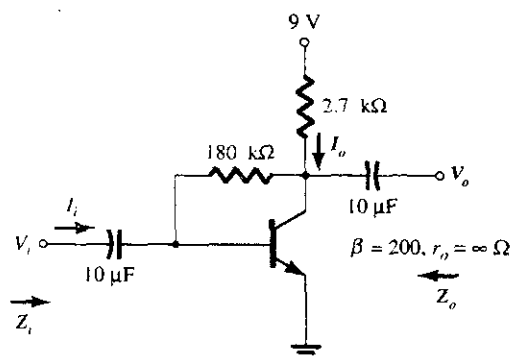


Figura 8.29 Ejemplo 8.9.

Solución

$$\text{a) } I_B = \frac{V_{CC} - V_{BE}}{R_F + \beta R_C} = \frac{9 \text{ V} - 0.7 \text{ V}}{180 \text{ k}\Omega + (200)2.7 \text{ k}\Omega} = 11.53 \mu\text{A}$$

$$I_E = (\beta + 1)I_B = (201)(11.53 \mu\text{A}) = 2.32 \text{ mA}$$

$$r_e = \frac{26 \text{ mV}}{I_E} = \frac{26 \text{ mV}}{2.32 \text{ mA}} = 11.21 \Omega$$

$$\text{b) } Z_i = \frac{r_e}{\frac{1}{\beta} + \frac{R_C}{R_F}} = \frac{11.21 \Omega}{\frac{1}{200} + \frac{2.7 \text{ k}\Omega}{180 \text{ k}\Omega}} = \frac{11.21 \Omega}{0.005 + 0.015} = \frac{11.21 \Omega}{0.02} = 50(11.21 \Omega) = 560.5 \Omega$$

$$\text{c) } Z_o = R_C || R_F = 2.7 \text{ k}\Omega || 180 \text{ k}\Omega = 2.66 \text{ k}\Omega$$

$$\text{d) } A_v = -\frac{R_C}{r_e} = -\frac{27 \text{ k}\Omega}{11.21 \Omega} = -240.86$$

$$\text{e) } A_i = \frac{\beta R_F}{R_F + \beta R_C} = \frac{(200)(180 \text{ k}\Omega)}{180 \text{ k}\Omega + (200)(2.7 \text{ k}\Omega)} = 50$$

f) Z_i : La condición $r_o \geq 10R_C$ no está satisfecha. Por tanto,

$$\begin{aligned} Z_i &= \frac{1 + \frac{R_C || r_o}{R_F}}{\frac{1}{\beta r_e} + \frac{1}{R_F} + \frac{R_C || r_o}{R_F r_e}} = \frac{1 + \frac{2.7 \text{ k}\Omega || 20 \text{ k}\Omega}{180 \text{ k}\Omega}}{\frac{1}{(200)(11.21)} + \frac{1}{180 \text{ k}\Omega} + \frac{2.7 \text{ k}\Omega || 20 \text{ k}\Omega}{(180 \text{ k}\Omega)(11.21 \Omega)}} \\ &= \frac{1 + \frac{2.38 \text{ k}\Omega}{180 \text{ k}\Omega}}{0.45 \times 10^{-3} + 0.006 \times 10^{-3} + 1.18 \times 10^{-3}} = \frac{1 + 0.013}{1.64 \times 10^{-3}} \\ &= 617.7 \Omega \text{ vs. } 560.5 \Omega \text{ anteriormente} \end{aligned}$$

Z_o :

$$\begin{aligned} Z_o &= r_o || R_C || R_F = 20 \text{ k}\Omega || 2.7 \text{ k}\Omega || 180 \text{ k}\Omega \\ &= 2.35 \text{ k}\Omega \text{ vs. } 2.66 \text{ k}\Omega \text{ anteriormente} \end{aligned}$$

$$A_v = \frac{-\left[\frac{1}{R_F} + \frac{1}{r_e}\right](r_o \parallel R_C)}{1 + \frac{r_o \parallel R_C}{R_F}} = \frac{-\left[\frac{1}{180 \text{ k}\Omega} + \frac{1}{11.21 \Omega}\right](2.38 \text{ k}\Omega)}{1 + \frac{2.38 \text{ k}\Omega}{180 \text{ k}\Omega}}$$

$$= \frac{-[5.56 \times 10^{-6} - 8.92 \times 10^{-2}](2.38 \text{ k}\Omega)}{1 + 0.013}$$

$$= -209.56 \text{ vs. } -240.86 \text{ anteriores}$$

$$A_i = -A_v \frac{Z_i}{R_C}$$

$$= -(-209.56) \frac{617.7 \Omega}{2.7 \text{ k}\Omega}$$

$$= 47.94 \text{ vs. } 50 \text{ anteriores}$$

Para la configuración de la figura 8.30, las ecuaciones (8.71) a (8.74) determinarán las variables de interés. Las derivaciones se dejan como un ejercicio al final del capítulo.

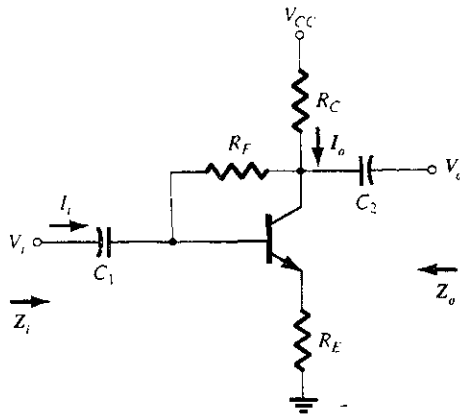


Figura 8.30 Configuración de retroalimentación en colector con un resistor de emisor R_E .

$$Z_i = \frac{R_E}{\left[\frac{1}{\beta} + \frac{(R_E + R_C)}{R_F}\right]} \quad (8.71)$$

$$Z_o = R_C \parallel R_F \quad (8.72)$$

$$A_v = -\frac{R_C}{R_E} \quad (8.73)$$

$$A_i = \frac{1}{\frac{1}{\beta} + \frac{(R_E + R_C)}{R_F}} \quad (8.74)$$

8.8 CONFIGURACIÓN CON RETROALIMENTACIÓN DE DC EN COLECTOR

La red de la figura 8.31 tiene un resistor para retroalimentación de dc con objeto de una mayor estabilidad, no obstante que el capacitor C_3 cambiará porciones de la resistencia de retroalimentación a las secciones de entrada y de salida de la red en el dominio ac. La porción de R_F que se cambió al lado de entrada o de salida se calculará mediante los niveles de resistencia de ac deseados de entrada o salida.

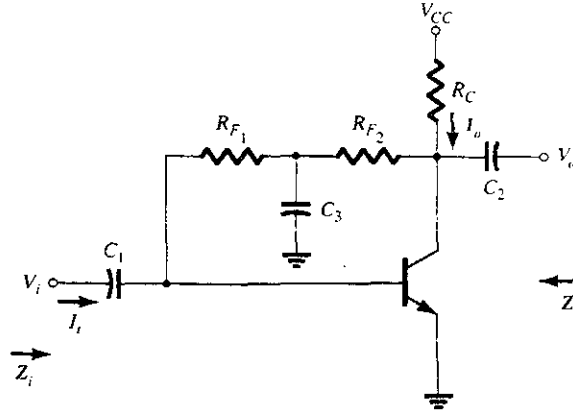


Figura 8.31 Configuración de retroalimentación de dc en colector.

A la frecuencia o frecuencias de operación, el capacitor asumirá un equivalente de corto circuito a tierra debido a su bajo nivel de impedancia respecto a los otros elementos de la red. El circuito equivalente de pequeña señal aparecerá entonces como se muestra en la figura 8.32.

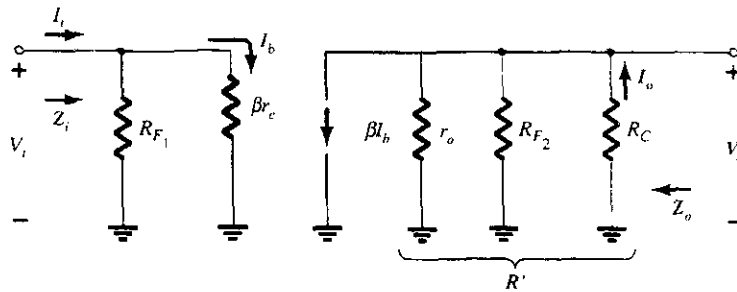


Figura 8.32 Sustitución del circuito equivalente r_e en la red equivalente de ac de la figura 8.31.

Z_i :

$$Z_i = R_{F1} \parallel \beta r_e \quad (8.75)$$

Z_o :

$$Z_o = R_C \parallel R_{F2} \parallel r_o \quad (8.76)$$

Para $r_o \geq 10R_C$,

$$Z_o \cong R_C \parallel R_{F2} \quad r_o \geq 10R_C \quad (8.77)$$

A_v :

$$R' = r_o \parallel R_{F2} \parallel R_C$$

y

$$V_o = -\beta I_b R'$$

pero

$$I_b = \frac{V_i}{\beta r_e}$$

y

$$V_o = -\beta \frac{V_i}{\beta r_e} R'$$

de tal forma que

$$A_v = \frac{V_o}{V_i} = - \frac{r_o \parallel R_{F_2} \parallel R_C}{r_e} \quad (8.78)$$

Para $r_o \geq 10R_C$,

$$A_v = \frac{V_o}{V_i} \cong - \frac{R_{F_2} \parallel R_C}{r_e} \quad (8.79) \quad r_o \geq 10R_C$$

A_i : Para el lado de entrada

$$I_b = \frac{R_{F_1} I_i}{R_{F_1} + \beta r_e} \quad \text{o} \quad \frac{I_b}{I_i} = \frac{R_{F_1}}{R_{F_1} + \beta r_e}$$

y para el lado de salida utilizando $R' = r_o \parallel R_{F_2}$

$$I_o = \frac{R' \beta I_b}{R' + R_C} \quad \text{o} \quad \frac{I_o}{I_b} = \frac{R' \beta}{R' + R_C}$$

La ganancia de corriente

$$\begin{aligned} A_i &= \frac{I_o}{I_i} = \frac{I_o}{I_b} \cdot \frac{I_b}{I_i} \\ &= \frac{R' \beta}{R' + R_C} \cdot \frac{R_{F_1}}{R_{F_1} + \beta r_e} \end{aligned}$$

y

$$A_i = \frac{I_o}{I_i} = \frac{\beta R_{F_1} R'}{(R_{F_1} + \beta r_e)(R' + R_C)} \quad (8.80) \quad R' = r_o \parallel R_{F_2}$$

Debido a que R_{F_1} es por lo general mucho mayor que βr_e , $R_{F_1} + \beta r_e \cong R_{F_1}$

y

$$A_i = \frac{I_o}{I_i} \cong \frac{\beta R_{F_1} (r_o \parallel R_{F_2})}{R_{F_1} (r_o \parallel R_{F_2} + R_C)}$$

de tal forma que

$$A_i = \frac{I_o}{I_i} \cong \frac{\beta}{1 + \frac{R_C}{r_o \parallel R_{F_2}}} \quad (8.81) \quad R_{F_1} \geq 10\beta r_e$$

o

$$A_i = \frac{I_o}{I_i} = -A_v \frac{Z_i}{R_C} \quad (8.82)$$

Relación de la fase: El signo negativo en la ecuación revela un cambio claro de fase de 180° entre los voltajes de entrada y de salida.

EJEMPLO 8.10

Para la red de la figura 8.33, determinar:

- r_e
- Z_i
- Z_o
- A_v
- A_i

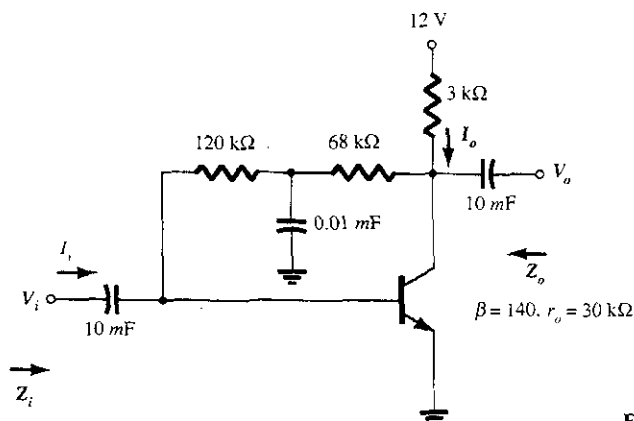


Figura 8.33 Ejemplo 8.10.

Solución

$$\begin{aligned} \text{a) DC: } I_B &= \frac{V_{CC} - V_{BE}}{R_F + \beta R_C} \\ &= \frac{12 \text{ V} - 0.7 \text{ V}}{(120 \text{ k}\Omega + 68 \text{ k}\Omega) + (140)3 \text{ k}\Omega} \\ &= \frac{11.3 \text{ V}}{608 \text{ k}\Omega} = 18.6 \mu\text{A} \end{aligned}$$

$$\begin{aligned} I_E &= (\beta + 1)I_B = (141)(18.6 \mu\text{A}) \\ &= 2.62 \text{ mA} \end{aligned}$$

$$r_e = \frac{26 \text{ mV}}{I_E} = \frac{26 \text{ mV}}{2.62 \text{ mA}} = 9.92 \Omega$$

$$\text{b) } \beta r_e = (140)(9.92 \Omega) = 1.39 \text{ k}\Omega$$

La red equivalente aparece en la figura 8.34.

$$\begin{aligned} Z_i &= R_F \parallel \beta r_e = 120 \text{ k}\Omega \parallel 1.39 \text{ k}\Omega \\ &\cong 1.37 \text{ k}\Omega \end{aligned}$$

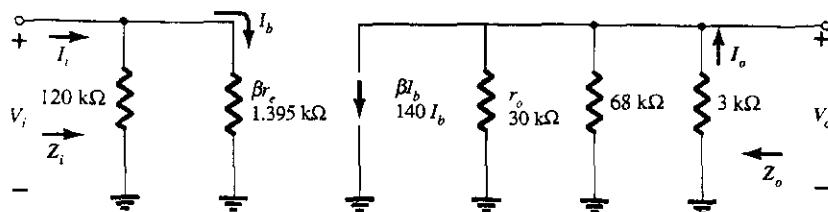


Figura 8.34 Sustitución del circuito equivalente r_e en la red equivalente de ac de la figura 8.33.

c) Probando la condición $r_o \geq 10R_C$, se encuentra

$$30 \text{ k}\Omega \geq 10(3 \text{ k}\Omega) = 30 \text{ k}\Omega$$

la cual, se satisface mediante el signo de igual en la condición. Por tanto,

$$\begin{aligned} Z_o &\cong R_C \parallel R_F = 3 \text{ k}\Omega \parallel 68 \text{ k}\Omega \\ &= 2.87 \text{ k}\Omega \end{aligned}$$

d) $r_o \geq 10R_C$, por tanto,

$$\begin{aligned} A_v &\cong -\frac{R_{F_2} \parallel R_C}{r_e} = -\frac{68 \text{ k}\Omega \parallel 3 \text{ k}\Omega}{9.92 \Omega} \\ &\cong -\frac{2.87 \text{ k}\Omega}{9.92 \Omega} \\ &\cong -289.3 \end{aligned}$$

e) Debido a que la condición $R_{F_1} \gg \beta r_e$ se satisface,

$$\begin{aligned} A_i &\cong \frac{\beta}{1 + \frac{R_C}{r_o \parallel R_{F_2}}} = \frac{140}{1 + \frac{3 \text{ k}\Omega}{30 \text{ k}\Omega \parallel 68 \text{ k}\Omega}} = \frac{140}{1 + 0.14} = \frac{140}{1.14} \\ &\cong 122.8 \end{aligned}$$

8.9 CIRCUITO EQUIVALENTE HÍBRIDO APROXIMADO

El análisis de la configuración de emisor común de la figura 8.35 y de la base común de la figura 8.36 mediante el empleo del circuito equivalente híbrido aproximado es muy parecido al realizado en el modelo r_e . Aunque el tiempo y las prioridades no permiten realizar un análisis detallado de todas las configuraciones tratadas hasta ahora, en esta sección se incluirá un breve repaso de algunas de las más importantes para demostrar las similitudes en los métodos y en las ecuaciones que se obtienen.

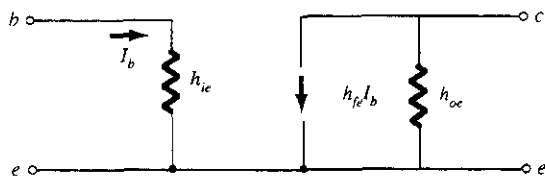


Figura 8.35 Circuito equivalente híbrido de emisor común aproximado.

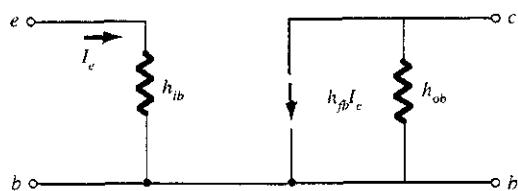


Figura 8.36 Circuito equivalente híbrido de base común aproximado.

Varios de los parámetros del modelo híbrido están especificados en una hoja de datos o mediante el análisis experimental. El análisis en dc asociado con el uso del modelo r_e no es una parte integral del empleo de los parámetros híbridos. En otras palabras, cuando se presenta el problema, los parámetros tales como h_{ie} , h_{fe} , h_{ib} , y así sucesivamente, se especifican. Sin embargo, debe tenerse en cuenta que los parámetros híbridos y los componentes del modelo r_e están relacionados mediante las siguientes ecuaciones tal como se discutió a detalle en el capítulo 7: $h_{ie} = \beta r_e$, $h_{fe} = \beta$, $h_{oe} = 1/r_o$, $h_{fb} = -\alpha$ y $h_{ib} = r_e$ (obsérvese el apéndice A).

Configuración de polarización fija

Para la configuración de polarización fija de la figura 8.37 aparecerá la red equivalente en pequeña señal en la figura 8.38, utilizando el modelo equivalente híbrido aproximado para

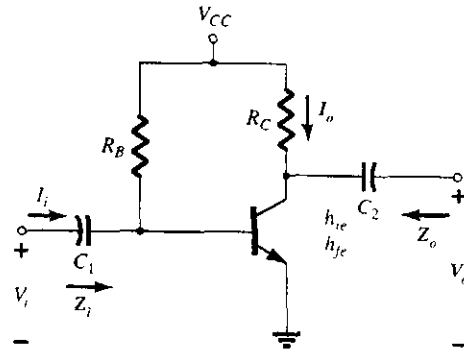


Figura 8.37 Configuración de polarización fija.

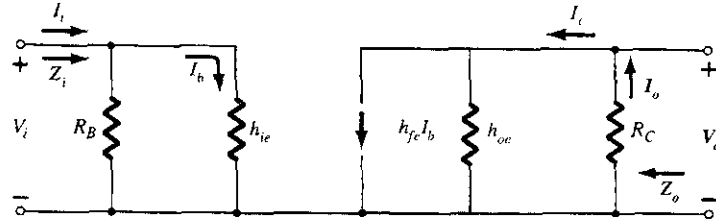


Figura 8.38 Sustitución del circuito equivalente híbrido aproximado en la red equivalente de ac de la figura 8.37.

emisor común. Compárense las similitudes aparentes con la figura 8.3 y el análisis del modelo r_e . Las semejanzas sugieren que el análisis será muy similar y los resultados de uno pueden relacionarse directamente con el otro.

Z_i : A partir de la figura 8.38,

$$Z_i = R_B \parallel h_{ie} \quad (8.83)$$

Z_o : A partir de la figura 8.38,

$$Z_o = R_C \parallel 1/h_{oe} \quad (8.84)$$

A_v : Utilizando $R' = 1/h_{oe} \parallel R_C$,

$$\begin{aligned} V_o &= -I_o R' = -I_C R' \\ &= -h_{fe} I_b R' \end{aligned}$$

y

$$I_b = \frac{V_i}{h_{ie}}$$

con

$$V_o = -h_{fe} \frac{V_i}{h_{ie}} R'$$

de tal forma que

$$A_v = \frac{V_o}{V_i} = -\frac{h_{fe}(R_C \parallel 1/h_{oe})}{h_{ie}} \quad (8.85)$$

A_i : Suponiendo que $R_B \gg h_{ie}$ y $1/h_{oe} \geq 10R_C$, entonces $I_b \cong I_i$ e $I_o = I_c = h_{fe} I_b = h_{fe} I_i$ con

$$A_i = \frac{I_o}{I_i} \cong h_{fe} \quad (8.86)$$

Para la red de la figura 8.39, calcule:

EJEMPLO 8.11

- Z_i
- Z_o
- A_v
- A_i

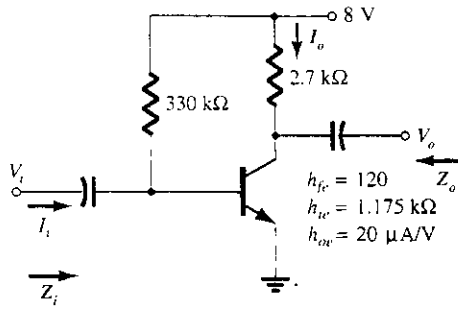


Figura 8.39 Ejemplo 8.11.

Solución

- $Z_i = R_B || h_{ie} = 330 \text{ k}\Omega || 1.175 \text{ k}\Omega$
 $\cong h_{ie} = 1.171 \text{ k}\Omega$
- $r_o = \frac{1}{h_{oe}} = \frac{1}{20 \text{ }\mu\text{A/V}} = 50 \text{ k}\Omega$
 $Z_o = \frac{1}{h_{oe}} || R_C = 50 \text{ k}\Omega || 2.7 \text{ k}\Omega = 2.56 \text{ k}\Omega \cong R_C$
- $A_v = -\frac{h_{fe}(R_C || 1/h_{oe})}{h_{ie}} = -\frac{(120)(2.7 \text{ k}\Omega || 50 \text{ k}\Omega)}{1.171 \text{ k}\Omega} = -262.34$
- $A_i \cong h_{fe} = 120$

Configuración de divisor de voltaje

Para la configuración de polarización mediante divisor de voltaje de la figura 8.40, la red equivalente en pequeña señal obtenida tendrá la misma apariencia que la figura 8.38 reemplazando a R_B por $R' = R_1 || R_2$.

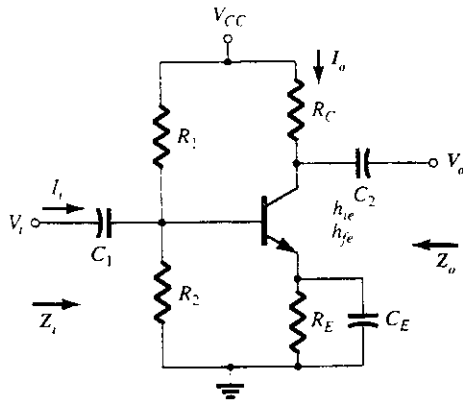


Figura 8.40 Configuración de polarización mediante divisor de voltaje.

Z_i : A partir de la figura 8.38 con $R_B = R'$.

$$Z_i = R' || h_{ie} \quad (8.87)$$

Z_o : De la figura 8.38.

$$Z_o \cong R_C \quad (8.88)$$



A_v :

$$A_v = - \frac{h_{fe}(R_C \parallel 1/h_{oe})}{h_{ie}} \quad (8.89)$$

A_i :

$$A_i = - \frac{h_{fe}R'}{R' + h_{ie}} \quad (8.90)$$

Configuración de polarización en emisor sin derivación

Para la configuración de emisor común con polarización en emisor sin derivación de la figura 8.41, el modelo de pequeña señal será el mismo que para la figura 8.11, reemplazando βr_e mediante h_{ie} y βI_b por $h_{fe}I_b$. El análisis será entonces, de la misma manera con

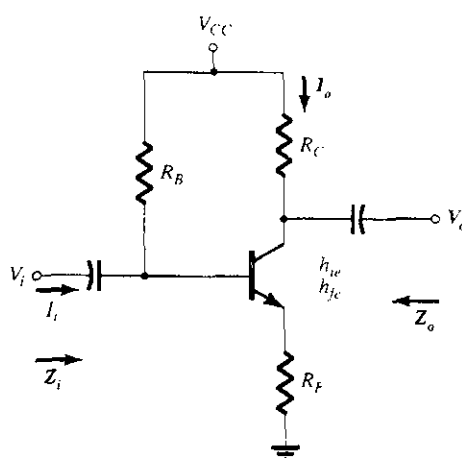


Figura 8.41 Configuración de polarización en emisor sin desvío.

Z_i :

$$Z_b \equiv h_{fe}R_E \quad (8.91)$$

y

$$Z_i = R_B \parallel Z_b \quad (8.92)$$

Z_o :

$$Z_o = R_C \quad (8.93)$$

A_v :

$$A_v = - \frac{h_{fe}R_C}{Z_b} \equiv - \frac{h_{fe}R_C}{h_{fe}R_E}$$

y

$$A_v \equiv - \frac{R_C}{R_E} \quad (8.94)$$

A_i :

$$A_i = \frac{h_{fe}R_B}{R_B + Z_b} \quad (8.95)$$

o

$$A_i = -A_v \frac{Z_i}{R_C} \quad (8.96)$$

Configuración emisor-seguidor

Para el emisor-seguidor de la figura 8.42 el modelo de pequeña señal igualará la figura 8.18 con $\beta r_e = h_{ie}$ y $\beta = h_{fe}$. Las ecuaciones obtenidas serán, por tanto, similares.

Z_i :

$$Z_b \equiv h_{fe} R_E \quad (8.97)$$

$$Z_i = R_B \parallel Z_b \quad (8.98)$$

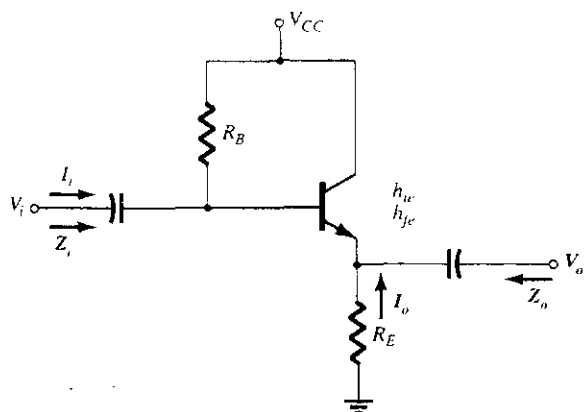


Figura 8.42 Configuración de emisor-seguidor.

Z_o : Para Z_o la red de salida definida por las ecuaciones obtenidas aparecerá como se muestra en la figura 8.43. Al revisar el desarrollo de las ecuaciones en la sección 8.5 y

$$Z_o = R_E \parallel \frac{h_{ie}}{1 + h_{fe}}$$

o ya que $1 + h_{fe} \approx h_{fe}$,

$$Z_o \equiv R_E \parallel \frac{h_{ie}}{h_{fe}} \quad (8.99)$$

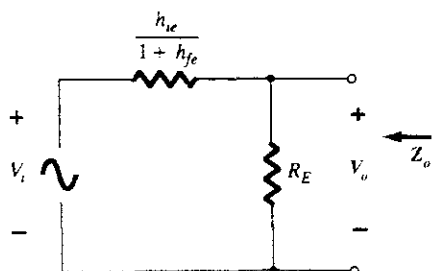


Figura 8.43 Definición de Z_o para la configuración de emisor-seguidor.

A_v : Para la ganancia de voltaje se puede aplicar la regla del divisor de voltaje a la figura 8.43 de la siguiente manera:

$$V_o = \frac{R_E(V_i)}{R_E + h_{ie}/(1 + h_{fe})}$$



pero ya que $1 + h_{fe} \cong h_{fe}$

$$A_v = \frac{V_o}{V_i} \cong \frac{R_E}{R_E + h_{ie}/h_{fe}} \quad (8.100)$$

A_i :

$$A_i = \frac{h_{fe} R_B}{R_B + Z_b} \quad (8.101)$$

o

$$A_i = -A_v \frac{Z_i}{R_E} \quad (8.102)$$

Configuración de base común

La última configuración que se examinará con el circuito equivalente híbrido aproximado será el amplificador de base común de la figura 8.44. Al sustituir el modelo equivalente híbrido aproximado de base común se obtiene la red de la figura 8.45, la cual es muy similar a la figura 8.24. A partir de la figura 8.45,

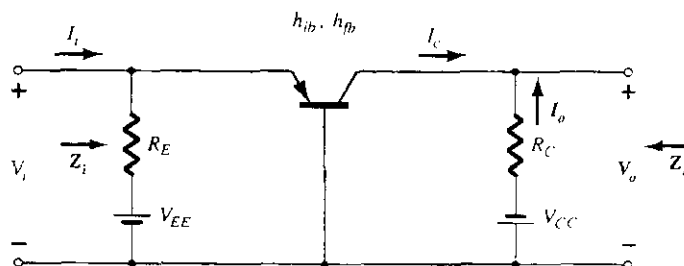


Figura 8.44 Configuración de base común.

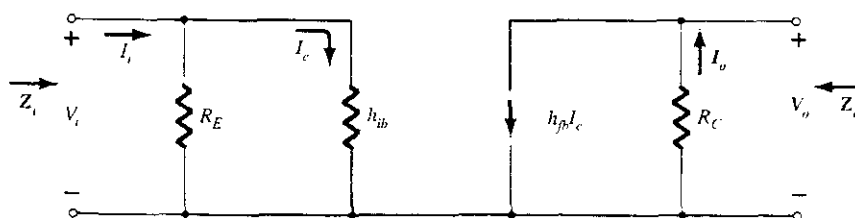


Figura 8.45 Sustitución del circuito equivalente híbrido aproximado en la red equivalente de ac de la figura 8.44.

Z_i :

$$Z_i = R_E \parallel h_{ib} \quad (8.103)$$

Z_o :

$$Z_o = R_C \quad (8.104)$$

A_v :

$$V_o = -I_o R_C = -(h_{fb} I_e) R_C$$

con

$$I_e = \frac{V_i}{h_{ib}} \quad \text{y} \quad V_o = -h_{fb} \frac{V_i}{h_{ib}} R_C$$

de tal forma que

$$A_v = \frac{V_o}{V_i} = -\frac{h_{fb} R_C}{h_{ib}} \quad (8.105)$$

A_i :

$$A_i = \frac{I_o}{I_i} = h_{fb} \cong -1 \quad (8.106)$$

Para la red de la figura 8.46, determine:

EJEMPLO 8.12

- Z_i .
- Z_o .
- A_v .
- A_i .

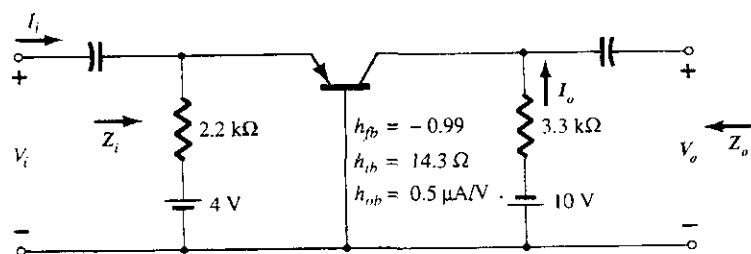


Figura 8.46 Ejemplo 8.12.

Solución

$$a) \quad Z_i = R_E || h_{ib} = 2.2 \text{ k}\Omega || 14.3 \Omega = 14.21 \Omega \cong h_{ib}$$

$$b) \quad r_o = \frac{1}{h_{ob}} = \frac{1}{0.5 \mu\text{A/V}} = 2 \text{ M}\Omega$$

$$Z_o = \frac{1}{h_{ob}} || R_C \cong R_C = 3.3 \text{ k}\Omega$$

$$c) \quad A_v = -\frac{h_{fb} R_C}{h_{ib}} = -\frac{(-0.99)(3.3 \text{ k}\Omega)}{14.21} = 229.91$$

$$d) \quad A_i \cong h_{fb} = -1$$

Las configuraciones restantes de las secciones 8.1 a 8.8 que no se analizaron en esta sección se dejan como un ejercicio para la sección de problemas de este capítulo. Se supone que el análisis anterior revela las similitudes en el método utilizando los modelos r_e o el híbrido equivalente aproximado y eliminando, por tanto, cualquier dificultad real cuando se analicen las redes restantes de las secciones previas.

8.10 MODELO EQUIVALENTE HÍBRIDO COMPLETO

El análisis de la sección 8.9 se limitó al circuito equivalente híbrido aproximado además de alguna discusión acerca de la impedancia de salida. En esta sección se utiliza el circuito equivalente completo para mostrar el impacto de h_r y para definir en términos más específicos el

impacto de h_o . Es importante entender que debido a que el modelo híbrido equivalente tiene la misma apariencia para las configuraciones de base común, de emisor común y de colector común, se pueden aplicar a cada configuración las ecuaciones desarrolladas en esta sección. Sólo es necesario insertar los parámetros definidos para cada configuración. Esto es, para la configuración de base común, se utilizan h_{fb} , h_{ib} y así sucesivamente, se emplean para una configuración de emisor común h_{fe} , h_{ie} , y así sucesivamente. Se debe recordar que el apéndice A permite hacer una conversión de un conjunto de parámetros al otro si se proporciona alguno y se requiere algún otro.

Considérese la configuración general de la figura 8.47 con los parámetros de dos puertos de interés particular. El modelo equivalente híbrido completo se sustituye más adelante en la figura 8.48 empleando parámetros que no especifican el tipo de configuración de que se trata. En otras palabras, las soluciones estarán en términos de h_i , h_r , h_f y h_o . A diferencia del análisis de las secciones previas de este capítulo, la ganancia de corriente A_i se determinará en primer lugar porque las ecuaciones que se desarrollaron para precisar los otros parámetros.

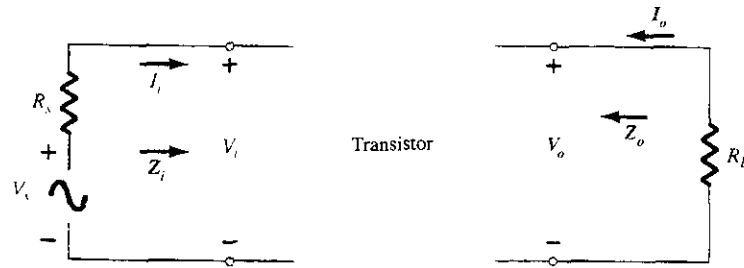


Figura 8.47 Sistema de dos puertos.

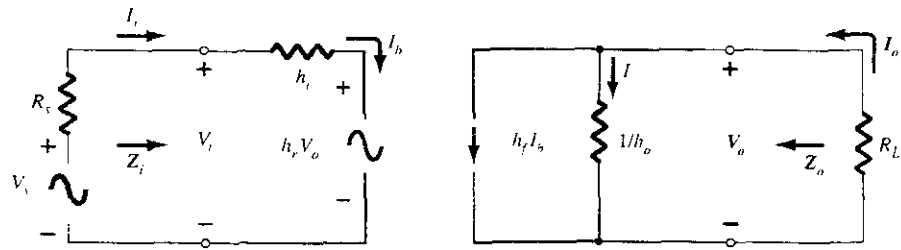


Figura 8.48 Sustitución del circuito equivalente híbrido completo en el sistema de dos puertos de la figura 8.47.

Ganancia de corriente, $A_i = I_o/I_i$

Al aplicar la ley de corriente de Kirchhoff al circuito de salida se obtiene

$$I_o = h_f I_b + I = h_f I_i + \frac{V_o}{1/h_o} = h_f I_i + h_o V_o$$

Sustituyendo $V_o = -I_o R_L$ se obtiene

$$I_o = h_f I_i - h_o R_L I_o$$

Al escribir la ecuación anterior, se tiene

$$I_o + h_o R_L I_o = h_f I_i$$

e

$$I_o(1 + h_o R_L) = h_f I_i$$

de manera que

$$A_i = \frac{I_o}{I_i} = \frac{h_f}{1 + h_o R_L} \quad (8.107)$$

Se observa que la ganancia de corriente reducirá el resultado de $A_i = h_f$ en caso de que el factor $h_o R_L$ sea suficientemente pequeño comparado con uno.

Ganancia de voltaje, $A_v = V_o/V_i$

Al aplicar la ley de voltaje de Kirchhoff al circuito de entrada se consigue

$$V_i = I_i h_i + h_r V_o$$

Sustituyendo $I_i = (1 + h_o R_L)I_o/h_f$ de la ecuación (8.107) e $I_o = -V_o/R_L$ de arriba, se obtiene

$$V_i = \frac{-(1 + h_o R_L)h_i}{h_f R_L} V_o + h_r V_o$$

Al resolver la relación V_o/V_i se obtiene

$$A_v = \frac{V_o}{V_i} = \frac{-h_f R_L}{h_i + (h_i h_o - h_f h_r) R_L} \quad (8.108)$$

En este caso se obtendrá la forma familiar de $A_v = -h_f R_L/h_i$ en caso de que el factor $(h_i h_o - h_f h_r) R_L$ sea lo suficientemente pequeño comparado con h_i .

Impedancia de entrada, $Z_i = V_i/I_i$

Para el circuito de entrada

$$V_i = h_i I_i + h_r V_o$$

Sustituyendo

$$V_o = -I_o R_L$$

se tiene

$$V_i = h_i I_i - h_r R_L I_o$$

Dado que

$$A_i = \frac{I_o}{I_i}$$

$$I_o = A_i I_i$$

de manera que la ecuación anterior se convierte en

$$V_i = h_i I_i - h_r R_L A_i I_i$$

Al resolver la relación V_i/I_i se obtiene

$$Z_i = \frac{V_i}{I_i} = h_i - h_r R_L A_i$$

y sustituyendo

$$A_i = \frac{h_f}{1 + h_o R_L}$$

se obtiene

$$Z_i = \frac{V_i}{I_i} = h_i - \frac{h_f h_r R_L}{1 + h_o R_L} \quad (8.109)$$

La forma familiar de $Z_i = h_i$ se obtendrá cuando el segundo factor sea lo suficientemente menor que el primero.



Impedancia de salida, $Z_o = V_o/I_o$

La impedancia de salida de un amplificador está definida como el cociente del voltaje de salida a la corriente de salida cuando la señal V_s se iguala a cero. Para el circuito de entrada, cuando $V_s = 0$,

$$I_i = \frac{-h_r V_o}{R_s + h_i}$$

Sustituyendo esta relación en la siguiente ecuación que se obtuvo a partir del circuito de salida se tiene

$$\begin{aligned} I_o &= h_f I_i + h_o V_o \\ &= \frac{-h_f h_r V_o}{R_s + h_i} + h_o V_o \end{aligned}$$

y

$$Z_o = \frac{V_o}{I_o} = \frac{1}{h_o - [h_f h_r / (h_i + R_s)]} \quad (8.110)$$

En este caso la impedancia de salida se reducirá a la forma familiar de $Z_o = 1/h_o$ para el transistor cuando el segundo factor del denominador es suficientemente más pequeño que el primero.

EJEMPLO 8.13

Para la red de la figura 8.49, calcule los siguientes parámetros empleando el modelo equivalente híbrido completo y compare los resultados obtenidos por medio del modelo aproximado.

- Z_i y Z'_i .
- A_v .
- $A_i = I_o/I_i$ y $A'_i = I'_o/I'_i$.
- Z_o (dentro de R_C) y Z'_o (incluido R_C).

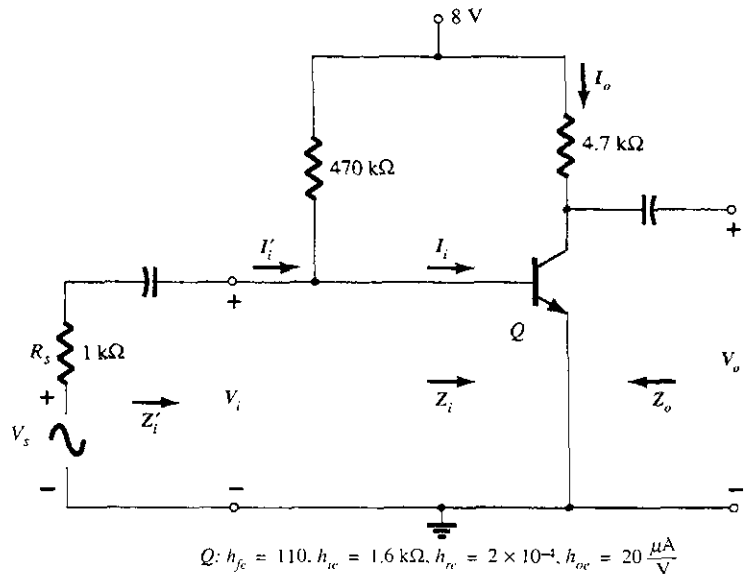


Figura 8.49 Ejemplo 8.13.

Solución

Ahora que están derivadas las ecuaciones básicas para cada cantidad, el orden en que se calculan es arbitrario. Sin embargo, a menudo es una cantidad útil la impedancia de entrada y por tanto se calculará de manera inicial. El circuito equivalente híbrido de emisor común completo se sustituyó y se volvió a dibujar la red como se muestra en la figura 8.50. Se obtendrá un circuito Thévenin equivalente para la sección de entrada de la figura 8.50 en el equivalente de entrada de la figura 8.51 debido a que $E_{Th} \equiv V_s$ y $R_{Th} \equiv R_s = 1 \text{ k}\Omega$ (un resultado debido a que $R_B = 470 \text{ k}\Omega$ es mucho mayor que $R_s = 1 \text{ k}\Omega$). En este ejemplo $R_L = R_C$ e I_o está definida como la

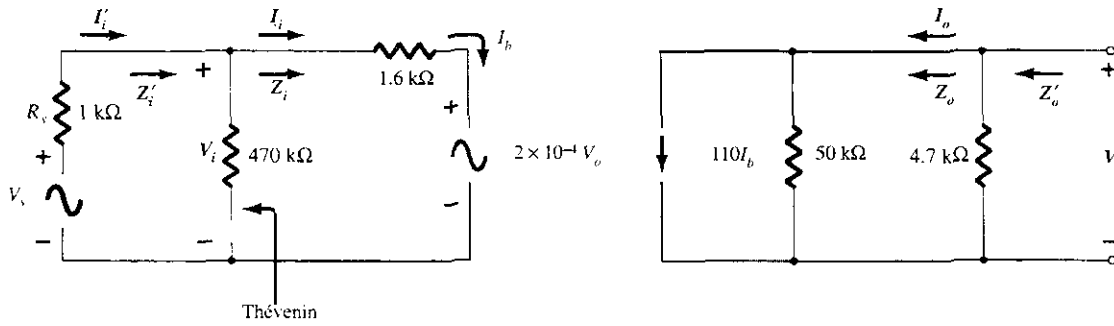


Figura 8.50 Sustitución del circuito equivalente híbrido completo en la red equivalente de ac de la figura 8.49.

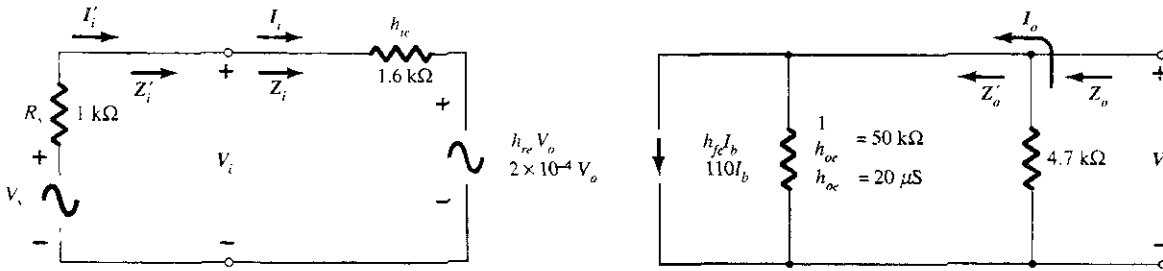


Figura 8.51 Reemplazo de la sección de entrada de la figura 8.50 mediante un circuito equivalente Thévenin.

corriente R_C igual que en los ejemplos anteriores de este capítulo. La impedancia de salida Z_o que está definida mediante la ecuación (8.110) es sólo para las terminales de salida del transistor. No incluye los efectos de R_C . Z'_o simplemente es la combinación en paralelo de Z_o y R_L . La configuración que se obtiene en la figura 8.51 es una réplica exacta de la red definida en la figura 8.48 y pueden aplicarse las ecuaciones derivadas anteriormente.

$$\begin{aligned} \text{a) La ecuación (8.109): } Z_i &= \frac{V_i}{I_i} = h_{ie} - \frac{h_{fe}h_{re}R_L}{1 + h_{oe}R_L} \\ &= 1.6 \text{ k}\Omega - \frac{(110)(2 \times 10^{-4})(4.7 \text{ k}\Omega)}{1 + (20 \mu\text{S})(4.7 \text{ k}\Omega)} \\ &= 1.6 \text{ k}\Omega - 94.52 \Omega \\ &= \mathbf{1.51 \text{ k}\Omega} \end{aligned}$$

contra 1.6 kΩ utilizando sólo h_{ie} .

$$Z'_i = 470 \text{ k}\Omega \parallel Z_i \cong Z_i = \mathbf{1.51 \text{ k}\Omega}$$

$$\begin{aligned} \text{b) La ecuación (8.108): } A_v &= \frac{V_o}{V_i} = \frac{-h_{fe}R_L}{h_{ie} + (h_{ie}h_{oe} - h_{fe}h_{re})R_L} \\ &= \frac{-(110)(4.7 \text{ k}\Omega)}{1.6 \text{ k}\Omega + [(1.6 \text{ k}\Omega)(20 \mu\text{S}) - (110)(2 \times 10^{-4})]4.7 \text{ k}\Omega} \\ &= \frac{-517 \times 10^3 \Omega}{1.6 \text{ k}\Omega + (0.032 - 0.022)4.7 \text{ k}\Omega} \\ &= \frac{-517 \times 10^3 \Omega}{1.6 \text{ k}\Omega + 47 \Omega} \\ &= \mathbf{-313.9} \end{aligned}$$

contra -323.125 al utilizar $A_v \cong -h_{fe}R_L/h_{ie}$.

c) La ecuación (8.107):
$$A_i = \frac{I_o}{I_i} = \frac{h_{fe}}{1 + h_{oe}R_L} = \frac{110}{1 + (20 \mu S)(4.7 \text{ k}\Omega)}$$
$$= \frac{110}{1 + 0.094} = \mathbf{100.55}$$

contra 110 mediante el simple empleo de h_{fe} . Ya que $470 \text{ k}\Omega \gg Z_i$, $I_i' \approx I_i$, y $A_i' \approx \mathbf{100.55}$ también.

d) La ecuación (8.110):
$$Z_o = \frac{V_o}{I_o} = \frac{1}{h_{oe} - [h_{fe}h_{re}]/(h_{ie} + R_s)}$$
$$= \frac{1}{20 \mu S - [(110)(2 \times 10^{-4})/(1.6 \text{ k}\Omega + 1 \text{ k}\Omega)]}$$
$$= \frac{1}{20 \mu S - 8.46 \mu S}$$
$$= \frac{1}{11.54 \mu S}$$
$$= \mathbf{86.66 \text{ k}\Omega}$$

el cual es mayor que el valor determinado mediante $1/h_{oe} = 50 \text{ k}\Omega$.

$$Z_o' = R_C || Z_o = 4.7 \text{ k}\Omega || 86.66 \text{ k}\Omega = \mathbf{4.46 \text{ k}\Omega}$$

contra $4.7 \text{ k}\Omega$ utilizando sólo R_C .

A partir de los resultados anteriores se observa que las soluciones aproximadas para A_v y Z_i son muy cercanas a las calculadas con el modelo equivalente completo. De hecho, aún A_v se diferenció por menos del 10%. El valor alto de Z_o sólo contribuyó a la conclusión anterior que Z_o a menudo es tan alto que puede ignorarse comparado con la carga aplicada. Sin embargo, se debe considerar que cuando existe la necesidad de determinar el impacto de h_{re} y de h_{oe} , debe utilizarse el modelo equivalente como se describió arriba.

La hoja de especificaciones de un transistor en particular proporciona los parámetros de emisor común, tal como se observó en la figura 7.28. El siguiente ejemplo utilizará los mismos parámetros de transistor que aparecen en la figura 8.49 con una configuración *pnp* de base común para presentar el procedimiento de conversión de parámetros y enfatizar el hecho de que el modelo equivalente híbrido mantiene la misma distribución.

EJEMPLO 8.14

Para el amplificador de base común de la figura 8.52, calcúlese los siguientes parámetros empleando el modelo híbrido equivalente completo y compárese con los resultados obtenidos utilizando el modelo aproximado.

- Z_i y Z_i'
- A_v y A_v'
- A_v
- Z_o y Z_o'

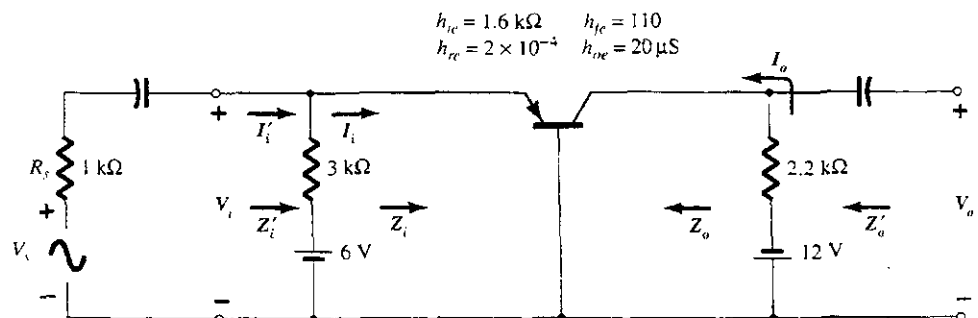


Figura 8.52 Ejemplo 8.14.



Solución

Los parámetros híbridos de base común están derivados de los parámetros de emisor común empleando las ecuaciones aproximadas del apéndice A.

$$h_{ib} \cong \frac{h_{ic}}{1 + h_{fe}} = \frac{1.6 \text{ k}\Omega}{1 + 110} = \mathbf{14.41 \text{ }\Omega}$$

Se observa lo cercano que están las magnitudes con los valores determinados por medio de

$$h_{ib} = r_e = \frac{h_{ie}}{\beta} = \frac{1.6 \text{ k}\Omega}{110} = 14.55 \text{ }\Omega$$

$$h_{rb} \cong \frac{h_{ie}h_{oe}}{1 + h_{fe}} - h_{re} = \frac{(1.6 \text{ k}\Omega)(20 \text{ }\mu\text{S})}{1 + 110} - 2 \times 10^{-4} \\ = \mathbf{0.883 \times 10^{-4}}$$

$$h_{fb} \cong \frac{-h_{fe}}{1 + h_{fe}} = \frac{-110}{1 + 110} = \mathbf{-0.991}$$

$$h_{ob} \cong \frac{h_{oe}}{1 + h_{fe}} = \frac{20 \text{ }\mu\text{S}}{1 + 110} = \mathbf{0.18 \text{ }\mu\text{S}}$$

Sustituyendo el circuito híbrido equivalente de base común de la figura 8.52, se tendrá la red equivalente de pequeña señal de la figura 8.53. La red Thévenin para el circuito de entrada dará $R_{Th} = 3 \text{ k}\Omega \parallel 1 \text{ k}\Omega = 0.75 \text{ k}\Omega$ para R_s en la ecuación para Z_o .

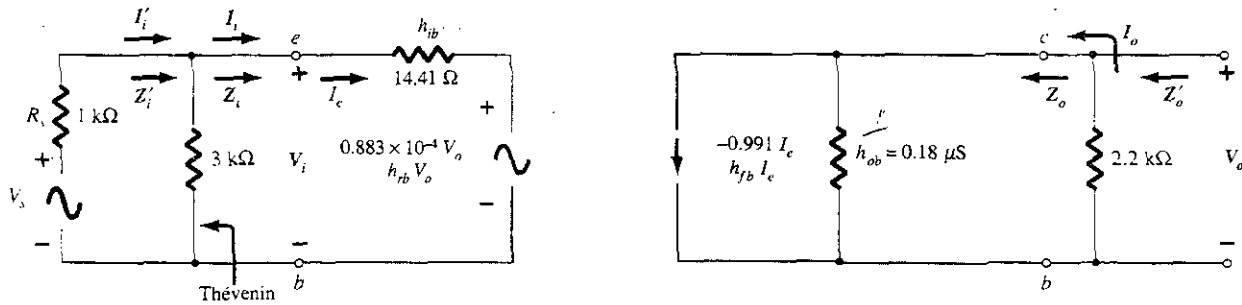


Figura 8.53 Equivalente a pequeña señal para la red de la figura 8.52.

a) La ecuación (8.109): $Z_i = \frac{V_i}{I_i} = h_{ib} - \frac{h_{fb}h_{rb}R_L}{1 + h_{ob}R_L}$

$$= 14.41 \text{ }\Omega - \frac{(-0.991)(0.883 \times 10^{-4})(2.2 \text{ k}\Omega)}{1 + (0.18 \text{ }\mu\text{S})(2.2 \text{ k}\Omega)}$$

$$= 14.41 \text{ }\Omega + 0.19 \text{ }\Omega$$

$$= \mathbf{14.60 \text{ }\Omega}$$

contra $14.41 \text{ }\Omega$ al utilizar $Z_i \cong h_{ib}$.

$$Z'_i = 3 \text{ k}\Omega \parallel Z_i \cong Z_i = \mathbf{14.60 \text{ }\Omega}$$

b) La ecuación (8.107): $A_i = \frac{I_o}{I_i} = \frac{h_{fb}}{1 + h_{ob}R_L}$

$$= \frac{-0.991}{1 + (0.18 \text{ }\mu\text{S})(2.2 \text{ k}\Omega)}$$

$$= \mathbf{-0.991 = h_{fb}}$$

Debido a que $3 \text{ k}\Omega \gg Z_i$, $I'_i \cong I_i$ y $A'_i = I_o / I'_i \cong -1$ también.



$$\begin{aligned} \text{c) La ecuación (8.108): } A_v &= \frac{V_o}{V_i} = \frac{-h_{fb}R_L}{h_{ib} + (h_{ib}h_{ob} - h_{fb}h_{rb})R_L} \\ &= \frac{-(-0.991)(2.2 \text{ k}\Omega)}{14.41 \text{ }\Omega + [(14.41 \text{ }\Omega)(0.18 \text{ }\mu\text{S}) - (-0.991)(0.883 \times 10^{-4})]2.2 \text{ k}\Omega} \\ &= \mathbf{149.25} \end{aligned}$$

contra 151.3 utilizando $A_v \cong -h_{fb}R_L/h_{ib}$.

$$\begin{aligned} \text{d) La ecuación (8.110): } Z_o &= \frac{1}{h_{ob} - [h_{fb}h_{rb}/(h_{ib} + R_s)]} \\ &= \frac{1}{0.18 \text{ }\mu\text{S} - [(-0.991)(0.883 \times 10^{-4})/(14.41 \text{ }\Omega + 0.75 \text{ k}\Omega)]} \\ &= \frac{1}{0.295 \text{ }\mu\text{S}} \\ &= \mathbf{3.39 \text{ M}\Omega} \end{aligned}$$

contra 5.56 M Ω utilizando $Z_o \cong 1/h_{ob}$. Para Z'_o como se definió mediante la figura 8.53:

$$Z'_o = R_C || Z_o = 2.2 \text{ k}\Omega || 3.39 \text{ M}\Omega = \mathbf{2.199 \text{ k}\Omega}$$

contra 2.2 k Ω utilizando $Z'_o \cong R_C$.

8.11 TABLA RESUMEN

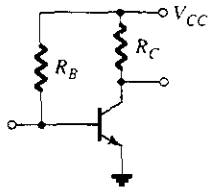
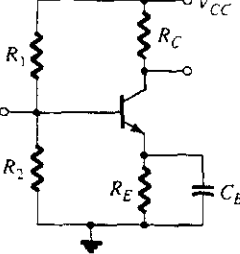
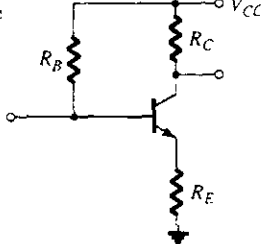
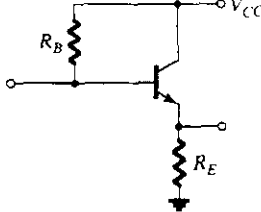
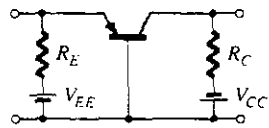
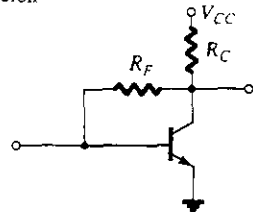
Una vez expuestas las configuraciones más comunes de los amplificadores de pequeña señal a transistor, se pueden resumir sus características generales en la tabla 8.1. Debe quedar absolutamente claro que los valores que se listan son sólo valores típicos con objeto de establecer una base de comparación. Por lo general, los niveles que se adquieren en un análisis real son diferentes y seguramente no son iguales entre una configuración y otra. Poder repetir la mayoría de la información en la tabla constituye un importante primer paso para familiarizarse con la materia tratada. Por ejemplo, el lector debe ser capaz de establecer con cierta seguridad que la configuración emisor-seguidor casi siempre tiene una impedancia de entrada alta, baja impedancia de salida y una ganancia de voltaje ligeramente menor a uno. No debe existir una gran variedad de cálculos para recordar los hechos sobresalientes como los anteriores. Para el futuro, esto permitirá realizar el estudio de una red o sistema sin involucrarse en la parte matemática. La función de cada componente de un diseño se hará cada vez más familiar cuando los hechos generales tales como los anteriores se conviertan en parte de la experiencia personal.

Una ventaja obvia de recordar las propiedades generales como las anteriores consiste en la capacidad de verificar los resultados de un análisis matemático. Si la impedancia de entrada de una configuración de base común se encuentra en el rango de los kilohms, existe un buen motivo para volver a verificar el análisis. Por otro lado, un resultado de 22 Ω sugiere que el análisis puede estar correcto.

8.12 SOLUCIÓN DE PROBLEMAS

Aunque la terminología de *solución de problemas* sugiere que los procedimientos que se describirán están diseñados sólo para aislar una función mal realizada, es importante observar que pueden aplicarse las mismas técnicas para asegurar que un sistema está operando de manera apropiada. En cualquier caso, los procedimientos para probar, verificar o aislar requieren de un entendimiento de lo que debe esperarse en varios lugares de la red tanto en los dominios de

TABLA 8.1 Niveles relativos para los parámetros importantes de los amplificadores de emisor común, base común y colector común.

Configuración	Z_i	Z_o	A_v	A_i
Polarización fija: 	Medio (1 kΩ) $\approx R_B \parallel \beta r_e$ $\approx \beta r_e$ $(R_B \geq 10 \beta r_e)$	Medio (2 kΩ) $\approx R_C \parallel r_o$ $\approx R_C$ $(r_o \geq 10 R_C)$	Alto (-200) $\approx -\frac{R_C \parallel r_o}{r_e}$ $\approx -\frac{R_C}{r_e}$ $(r_o \geq 10 R_C)$	Alto (100) $\approx \frac{\beta R_B r_o}{(r_o + R_C)(R_B + \beta r_e)}$ $\approx \beta$ $(r_o \geq 10 R_C)$ $R_B \geq 10 \beta r_e$
Polarización mediante divisor de voltaje: 	Medio (1 kΩ) $\approx R_1 \parallel R_2 \parallel \beta r_e$	Medio (2 kΩ) $\approx R_C \parallel r_o$ $\approx R_C$ $(r_o \geq 10 R_C)$	Alto (-200) $\approx -\frac{R_C \parallel r_o}{r_e}$ $\approx -\frac{R_C}{r_e}$ $(r_o \geq 10 R_C)$	Alto (50) $\approx \frac{\beta R_1 \parallel R_2 r_o}{(r_o + R_C)(R_1 \parallel R_2 + \beta r_e)}$ $\approx \frac{\beta (R_1 \parallel R_2)}{R_1 \parallel R_2 + \beta r_e}$ $(r_o \geq 10 R_C)$
Polarización de emisor sin derivación: 	Alto (100 kΩ) $\approx R_B \parallel Z_b$ $Z_b \approx \beta(r_e + R_E)$ $\approx R_B \parallel \beta R_E$ $(R_E \gg r_e)$	Medio (2 kΩ) $\approx R_C$ (cualquier nivel de r_o)	Bajo (-5) $\approx -\frac{R_C}{r_e + R_E}$ $\approx -\frac{R_C}{R_E}$ $(R_E \gg 10 r_e)$	Alto (50) $\approx \frac{\beta R_B}{R_B + Z_b}$
Emisor-seguidor 	Alto (100 kΩ) $\approx R_B \parallel Z_b$ $Z_b \approx \beta(r_e + R_E)$ $\approx R_B \parallel \beta R_E$ $(R_E \gg r_e)$	Bajo (20 Ω) $\approx R_E \parallel r_e$ $\approx r_e$ $(R_E \gg r_e)$	Bajo (≈ 1) $\approx \frac{R_E}{R_E + r_e}$ ≈ 1	Alto (-50) $\approx \frac{\beta R_B}{R_B + Z_b}$
Base común 	Bajo (20 Ω) $\approx R_E \parallel r_e$ $\approx r_e$ $(R_E \gg r_e)$	Medio (2 kΩ) $\approx R_C$	Alto (200) $\approx \frac{R_C}{r_e}$	Bajo (-1) ≈ -1
Retroalimentación en colector 	Medio (1 kΩ) $\approx \frac{r_e}{1 + \frac{R_C}{R_E}}$ $\approx \frac{r_e}{\beta}$ $(r_o \geq 10 R_C)$	Medio (2 kΩ) $\approx R_C \parallel R_F$ $(r_o \geq 10 R_C)$	Alto (-200) $\approx -\frac{R_C}{r_e}$ $(r_o \geq 10 R_C)$ $R_F \gg R_C$	Alto (50) $\approx \frac{\beta R_F}{R_F + \beta R_C}$ $\approx \frac{R_F}{R_C}$

dc como ac. En la mayoría de los casos, una red que se encuentra operando correctamente en el modo dc también se comportará adecuadamente en el dominio ac. Además, una red que proporciona la respuesta de ac esperada está polarizada como se planeó. En una instalación de laboratorio se aplican tanto las fuentes dc como ac y se verifica la respuesta de ac en varios puntos de la red mediante un osciloscopio como se muestra en la figura 8.54. Se observa que la punta negra (tierra) del osciloscopio está conectada directamente a tierra y la punta roja se mueve de un punto a otro dentro de la red, con lo cual se obtienen los patrones que aparecen en la figura 8.54. Los canales verticales están en el modo ac para eliminar cualquier componente de dc asociado con el voltaje en un punto en particular. La pequeña señal de ac aplicada a la base se amplifica al nivel que aparece del colector a la tierra. Se observa la diferencia en las escalas verticales para los dos voltajes. No existe una respuesta en ac en la terminal del emisor debido a las características de corto circuito del capacitor en la frecuencia establecida. El hecho que v_o se mida en volts y v_i en milivolts sugiere una ganancia grande del amplificador. En general, aparece que la red se encuentra operando de forma adecuada. Si se desea, puede utilizarse el multímetro en el modo dc para verificar V_{BE} y los niveles de V_B , V_{CE} y V_E con objeto de revisar si caen en el rango esperado. Desde luego, el osciloscopio también puede utilizarse para comparar los niveles de dc tan sólo con cambiar al modo de dc para cada canal.

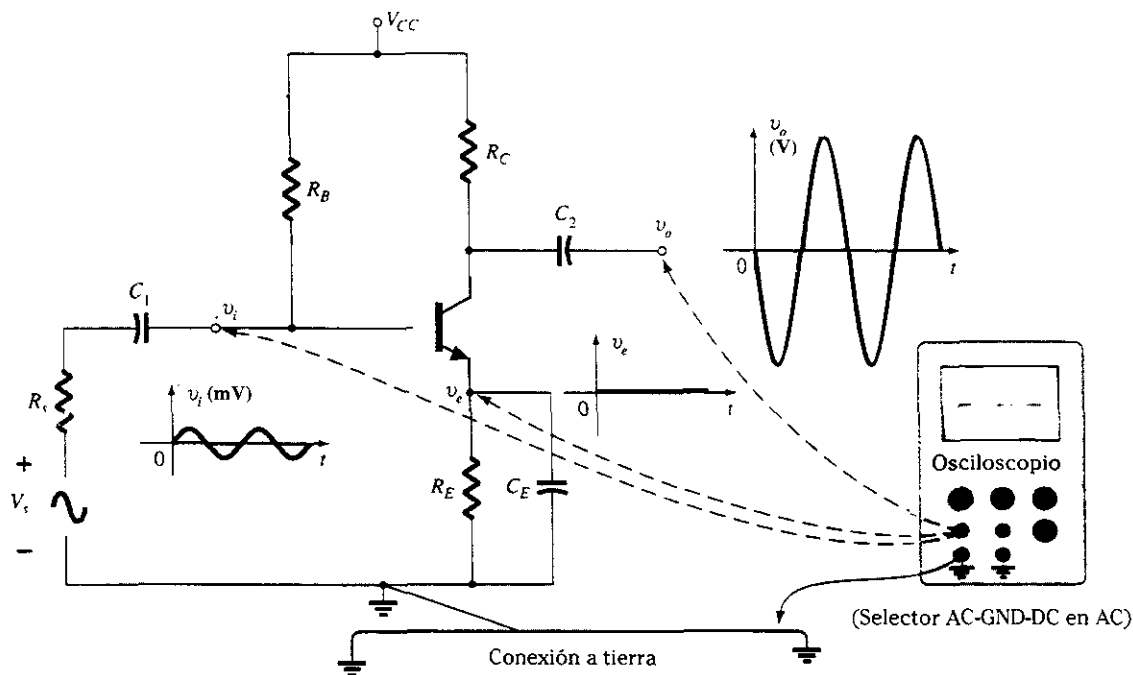


Figura 8.54 Utilización del osciloscopio para medir y observar varios voltajes de un amplificador BJT.

No es necesario decir que una respuesta pobre en ac puede deberse a una variedad de motivos. De hecho, puede haber más de un área con problema en el mismo sistema. Sin embargo, afortunadamente con el tiempo y la experiencia puede predecirse la probabilidad de problemas en algunas áreas, de modo que una persona experimentada puede aislar las áreas problemáticas con cierta rapidez.

Por lo general, no hay nada misterioso acerca del proceso general de solución de problemas. Si se decide seguir la respuesta en ac, resulta ser un buen procedimiento el comenzar con la señal aplicada y avanzar a través del sistema hacia la verificación de cargas en los puntos críticos a lo largo de la trayectoria. Una respuesta inesperada en algún punto supone que la red se encuentra bien hasta dicha área, definiendo entonces la región que debe investigarse más a detalle. La forma de la onda que se obtiene en el osciloscopio ayudará con toda seguridad la definición de los posibles problemas con el sistema.

Si la respuesta para la red de la figura 8.54 es como aparece en la figura 8.55, la red tiene un problema y probablemente se trata del área del emisor. No se espera respuesta a través del

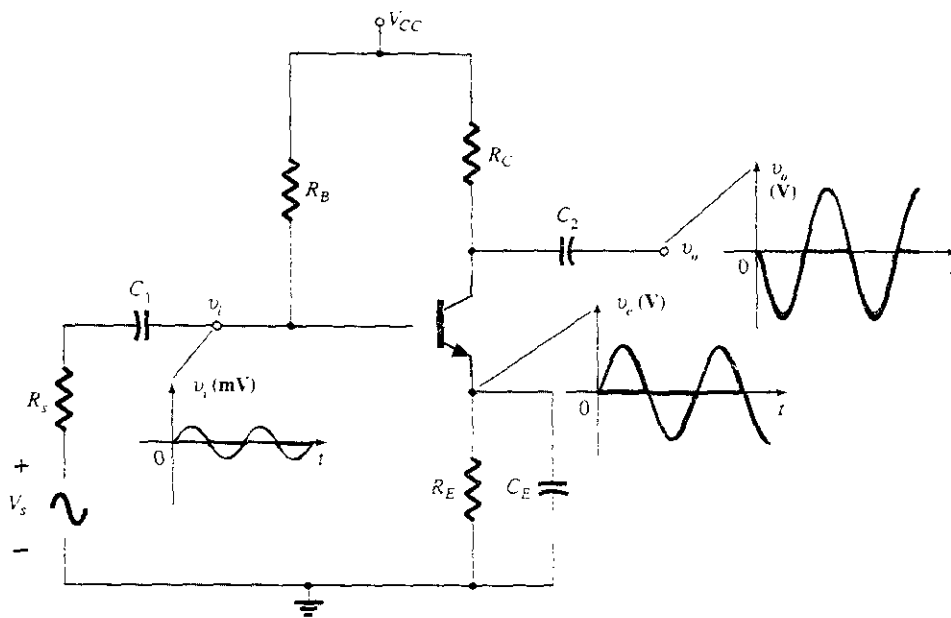


Figura 8.55 Formas de onda obtenidas a partir de un problema en el área del emisor.

emisor y la ganancia del sistema que está definida mediante v_o es mucho menor. Se recuerda que para esta configuración la ganancia es mucho mayor en caso de que R_E se desvíe. La respuesta que se obtiene sugiere que R_E no está en desvío por el capacitor y las conexiones terminales del capacitor y el mismo capacitor deben ser verificados. En este caso una verificación de los niveles de dc probablemente no aislarán el área del problema debido a que el capacitor tiene un equivalente de "circuito abierto" para dc. En general, un conocimiento previo sobre qué esperar, una familiaridad con la instrumentación y, lo más importante, la experiencia, son los factores que contribuyen al desarrollo de un método efectivo en el arte de la solución de problemas.

8.13 ANÁLISIS POR COMPUTADORA

El análisis a una pequeña señal de un amplificador a BJT puede llevarse a cabo utilizando un paquete de programas tal como PSpice o mediante un lenguaje como el BASIC. Ambos serán necesarios en el análisis de la misma configuración de polarización mediante un divisor de voltaje para permitir una comparación de los métodos. PSpice (versión para DOS y Windows) está bien equipado para analizar las redes de transistores y utiliza un modelo Gummel-Poon mejorado, mismo que se describe con detalle en los manuales de PSpice. La utilización de un lenguaje como el BASIC requiere que las diversas ecuaciones que se desarrollaron en el libro se apliquen en un orden específico para obtener las incógnitas deseadas. En realidad la dirección general de un programa en BASIC utilizaría la misma secuencia de pasos que se necesitan para analizar la red de manera manual (con la ayuda de una calculadora). Desde luego, el empleo de BASIC ofrece al usuario la oportunidad de definir el objetivo y el tipo de salida para un análisis, mientras que PSpice está limitado a una lista específica de cantidades de salida. Sin embargo, en general, la lista de PSpice es lo suficientemente extensa para la mayoría de las investigaciones. El análisis primero se describirá utilizando PSpice seguido después por el lenguaje BASIC.

PSpice (versión para DOS)

La lista de los parámetros que pueden especificarse para el modelo PSpice es tan extensa (40 en total) que se limitará la atención a aquellos parámetros requeridos para llevar a cabo el tipo



de análisis cubierto en este capítulo. Según se necesiten ciertos parámetros adicionales en los capítulos subsecuentes, éstos se definirán con el mismo grado de detalle. No es necesario especificar todos los parámetros. Si se requiere un parámetro en particular para desarrollar un análisis PSpice y no está detallado, el paquete de programas utilizará un valor implícito que es típico para el dispositivo que se está investigando. Algunos de los parámetros necesitan especificarse sólo en caso de requerir la profundidad del análisis o del diseño. El intento básico de esta sección es ofrecer una introducción lo más clara y sencilla posible para el uso de los modelos. Según aumente la experiencia, están disponibles los manuales de PSpice y una larga lista de publicaciones para mayor detalle para una instrucción adicional.

En general, una vez que los nodos de la red se han definido y se ha capturado la estructura básica (resistores, capacitores, fuentes, etc.) en el archivo de entrada, se requiere de un mínimo de dos líneas para describir un transistor. La primera es la línea del elemento, la cual tiene el siguiente formato:

	<u>QXISTOR</u>	<u>9</u>	<u>8</u>	<u>7</u>	<u>QMODEL</u>
requerido	nombre	nodo	nodo	nodo	nombre
		del	de la	del	del modelo
		colector	base	emisor de	que estará
				transistor	definido
					mediante la
					siguiente línea

Existen otros parámetros en esta línea, cuya explicación rebasa las necesidades de este libro, aunque a veces se hace referencia a ellos en el manual PSpice.

La siguiente línea que se necesita para definir el transistor es la línea del modelo, la cual tiene el siguiente formato básico:

<u>.MODEL</u>	<u>QMODEL</u>	<u>NPN</u>	<u>(BF = 90, IS = 5E - 15)</u>
requerido	nombre	tipo de	parámetros que especifican
	del modelo	transistor	el modelo
	especificado	(requerido)	
	en la línea		
	de elementos		
	anterior		

El último agrupamiento de la línea anterior permite la especificación de los parámetros particulares del modelo (una lista que puede incluir hasta 40 parámetros). BF representa la beta directa máxima ideal (en este caso $\beta = 90$). Su valor implícito es de 100, lo cual indica que si el parámetro no se especifica por arriba, el paquete de programas utilizará un valor de 100. En el modelo la corriente de saturación inversa tiene un impacto importante sobre las características generales del modelo. Su valor implícito es de $1\text{E-}16$ o 0.0001 pA . Cambiar el nivel de I_s cambiará el nivel de importantes voltajes y corrientes de diseño como V_{BE} para el análisis de dc e I_C para el análisis en ac. De hecho, debido a que V_{BE} se fija en 0.7 V para el análisis en dc de este libro, se seleccionó un nivel de $5 \times 10^{-15}\text{ A}$ para I_s , ya que el nivel resultante de V_{BE} por lo general es muy cercano a 0.7 V para el rango de niveles de corriente esperado para el análisis a pequeña señal de BJT. En otras palabras, PSpice no permite especificar el nivel de V_{BE} para el análisis en dc sino que simplemente necesita la corriente de saturación y una serie de ecuaciones importantes para calcular el nivel resultante de V_{BE} . Por esta razón V_{BE} rara vez será exactamente igual a 0.7 V , pero estará apenas arriba o abajo de este valor. Debe considerarse que 0.7 V sea un promedio de los niveles esperados al emplear PSpice si se especifica I_s como $5 \times 10^{-15}\text{ A}$.

Ahora se está preparado para aplicar PSpice a la red con divisor de voltaje de la figura 8.9 (ejemplo 8.2). La red se ha redibujado en la figura 8.56 con los nodos definidos para el análisis. Debido a que las características específicas tales como A_v y A_i no forman parte de la lista de opciones de salida en PSpice, se aplicará una señal de 1 mV y se calculará la ganancia utilizando el nivel de salida.

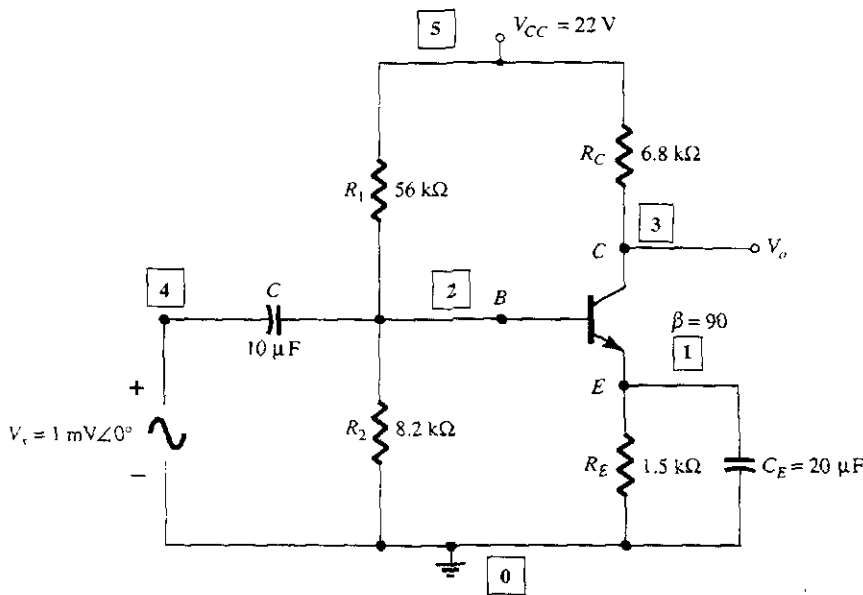


Figura 8.56 Definición de los nodos para un análisis por medio de PSpice de la configuración mediante divisor de voltaje.

Hasta ahora, las primeras ocho líneas del archivo de entrada de la figura 8.57 deben resultar bastante familiares y legibles. Luego se define el transistor en las dos líneas siguientes y QMODEL es el nombre del modelo del transistor. Se observa en el renglón del modelo que beta se especificó como de 90. Pero, no se especificó un valor de IS para demostrar el impacto sobre los resultados obtenidos. La segunda corrida incluirá el nivel sugerido de IS para propósitos de comparación. El comando .PRINT solicita tanto la magnitud como el ángulo de la fase para el voltaje de salida del colector a la tierra. Como se requirió para la fuente de ac, se seleccionó una frecuencia de 10 kHz para la corrida. El único impacto real de la frecuencia aplicada será sobre los elementos capacitivos y su efectividad como corto circuitos equivalentes para el análisis en ac.

Una vez que se ha capturado el archivo de entrada, se ejecuta PSpice y se enumera una lista de parámetros del modelo BJT. Se puede ver que β (BF) es 90 e I_s (IS) tiene el valor implícito de 1×10^{-4} pA. NF (el coeficiente de emisión de corriente directa), BR (la beta inversa máxima ideal) y NR (el coeficiente de emisión de corriente inversa) toman el valor implícito de uno. Las últimas tres cantidades definen el comportamiento del modelo de una manera que escapa a las necesidades de este libro y que tendrá un impacto despreciable sobre el análisis actual en pequeña señal.

Por tanto, PSpice está diseñado para llevar a cabo un análisis de automático de la red. Los resultados son

$$\begin{aligned} V_1 &= V_E = 1.9285 \text{ V} \\ V_2 &= V_B = 2.7089 \text{ V} \\ V_3 &= V_C = 13.354 \text{ V} \\ V_4 &= V_{\text{aterrizado (para dc)}} = 0 \text{ V} \\ V_5 &= V_{CC} = 22 \text{ V} \end{aligned}$$

Luego el archivo de salida ofrece la corriente de la fuente para V_{CC} con el nivel de dc de la fuente de ac, V_s , de 0.0 A. La potencia total disipada por los resistores y el transistor es de 35.6 mW.

Después se proporcionan otros niveles de dc para las redes tales como $I_B = 14.1 \mu\text{A}$, $I_C = 1.27 \text{ mA}$ (comparado contra 1.41 mA en el ejemplo 8.2), y $V_{BE} = 0.78 \text{ V}$ (el cual excede el nivel de 0.7 V utilizado en el ejemplo 8.2). Debe tenerse en mente el nivel de V_{BE} cuando se repasen los resultados al fijar I_s en $5 \times 10^{-15} \text{ A}$ en la siguiente corrida. Los valores dc de V_{BC} y V_{CE}

Voltage-Divider Bias - Configuration of Fig. 8.56 (IS = default value)

**** CIRCUIT DESCRIPTION

```
VCC 5 0 DC 22V
RB1 5 2 56K
RB2 2 0 8.2K
RE 1 0 1.5K
RC 5 3 6.8K
C1 4 2 10UF
CE 1 0 20UF
VS 4 0 AC 1MV 0
Q1 3 2 1 QMODEL
.MODEL QMODEL NPN (BF=90)
.OP
.AC LIN 1 10KH 10KH
.PRINT AC VM(3,0) VP(3,0)
.OPTIONS NOPAGE
.END
```

**** BJT MODEL PARAMETERS

```
QMODEL
NPN
IS 100.000000E-18
BF 90
NF 1
BR 1
NR 1
```

**** SMALL SIGNAL BIAS SOLUTION TEMPERATURE = 27.000 DEG C

NODE	VOLTAGE	NODE	VOLTAGE	NODE	VOLTAGE	NODE	VOLTAGE
(1)	1.9285	(2)	2.7089	(3)	13.3540	(4)	0.0000
(5)	22.0000						

VOLTAGE SOURCE CURRENTS

NAME	CURRENT
VCC	-1.616E-03
VS	0.000E+00

TOTAL POWER DISSIPATION 3.56E-02 WATTS

**** OPERATING POINT INFORMATION TEMPERATURE = 27.000 DEG C

**** BIPOLAR JUNCTION TRANSISTORS

```
NAME Q1
MODEL QMODEL
IB 1.41E-05
IC 1.27E-03
VBE 7.80E-01
VBC -1.06E+01
VCE 1.14E+01
BETADC 9.00E+01
GM 4.92E-02
RPI 1.83E+03
RX 0.00E+00
RO 1.00E+12
CBE 0.00E+00
CBC 0.00E+00
CBX 0.00E+00
CJS 0.00E+00
BETAAC 9.00E+01
FT 7.82E+17
```

**** AC ANALYSIS TEMPERATURE = 27.000 DEG C

FREQ	VM(3,0)	VP(3,0)
1.000E+04	3.340E-01	-1.777E+02

Figura 8.57 Análisis por medio de PSpice de la configuración mediante divisor de voltaje de la figura 8.56 con IS = valor implícito.



entonces se especifican como -10.6 V y 11.4 V , respectivamente, y la beta de dc es igual a la beta en ac de 90. La transconductancia $g_m = 1/r_e$ y $r_e = 20.3\ \Omega$. Entonces, la impedancia de entrada es $\beta r_e = (90)(20.3\ \Omega) = 1.827\text{ k}\Omega$ o $1.83\text{ k}\Omega$ como está especificado mediante RPI. La resistencia de salida está listada como de $1 \times 10^{12}\ \Omega$ y la beta en ac es de 90 siendo FT (el tiempo ideal de tránsito directo) (por las iniciales en inglés, Forward Transit) igual a $7.82 \times 10^{-17}\text{ s}$. De nuevo, algunos de los parámetros probablemente no tengan algún significado por el momento, pero algunos son muy reconocibles y pueden resultar útiles durante la verificación de un diseño o análisis.

El siguiente análisis en ac revela que la magnitud de V_o es de 334 mV para una ganancia de voltaje de 334 comparado con una ganancia de 368.76 calculada en el ejemplo 8.2. El cambio de fase es de 177.7° en lugar de 180° debido a los elementos de capacitancia de la red. La selección de una frecuencia mayor o el incremento del nivel de capacitancia acercaría al cambio de fase a 180° .

El efecto de cambiar I_s a $5 \times 10^{-15}\text{ A}$ se demostrará con claridad mediante la corrida de la figura 8.58. El nivel de V_E ahora es de 2.0235 V comparado con 2.11 V para el ejemplo 8.2. El nivel de I_C es de 1.33 mA comparado con 1.41 mA , y la ganancia de voltaje de ac ahora es de 350.4 en comparación con 368.76 del ejemplo 8.2. Por lo general, se obtiene una mejora definitiva cuando se comparan los resultados manuales y mediante el PSpice. Sin embargo, es considerablemente mejor si se obtiene la solución exacta en vez de la aproximada en el ejemplo

Voltage-Divider Bias - Configuration of Fig. 8.56(specified IS)

**** CIRCUIT DESCRIPTION

```
VCC 5 0 DC 22V
RB1 5 2 56K
RB2 2 0 8.2K
RE 1 0 1.5K
RC 5 3 6.8K
C1 4 2 10UF
CE 1 0 20UF
VS 4 0 AC 1MV 0
Q1 3 2 1 QMODEL
.MODEL QMODEL NPN(BF=90 IS=5E-15)
.OP
.AC LIN 1 10KH 10KH
.PRINT AC VM(3,0) VP(3,0)
.OPTIONS NOPAGE
.END
```

**** BJT MODEL PARAMETERS

```
QMODEL
NPN
IS      5.000000E-15
BF      90
NF      1
BR      1
NR      1
```

**** SMALL SIGNAL BIAS SOLUTION TEMPERATURE = 27.000 DEG C

NODE	VOLTAGE	NODE	VOLTAGE	NODE	VOLTAGE	NODE	VOLTAGE
(1)	2.0235	(2)	2.7039	(3)	12.9280	(4)	0.0000
(5)	22.0000						

VOLTAGE SOURCE CURRENTS

NAME	CURRENT
VCC	-1.679E-03
VS	0.000E+00

TOTAL POWER DISSIPATION 3.69E-02 WATTS

Figura 8.58 Análisis por medio de PSpice de la configuración mediante divisor de voltaje de la figura 8.56 con $I_S = 5 \times 10^{-15}\text{ A}$.

```

****      OPERATING POINT INFORMATION      TEMPERATURE =  27.000 DEG C

****      BIPOLAR JUNCTION TRANSISTORS

NAME      Q1
MODEL     QMODEL
IB        1.48E-05
IC        1.33E-03
VBE       6.80E-01
VBC       -1.02E+01
VCE       1.09E+01
BETADC    9.00E+01
GM        5.16E-02
RPI       1.74E+03
RX        0.00E+00
RO        1.00E+12
CBE       0.00E+00
CBC       0.00E+00
CBX       0.00E+00
CJS       0.00E+00
BETAAC    9.00E+01
FT        8.21E+17

****      AC ANALYSIS      TEMPERATURE =  27.000 DEG C

FREQ      VM(3,0)      VP(3,0)
1.000E+04  3.504E-01  -1.776E+02

```

Figura 8.58 Continuación.

8.2. En especial se observa que V_{BE} ahora es de 0.68 V, el cual se compara de manera muy favorable con el valor fijo aproximado de 0.7 V. Por tanto, para el análisis de pequeña señal que se desarrolló en este libro mediante el uso de PSpice, IS se especificará como 5×10^{-15} A.

Análisis del centro de diseño de PSpice para Windows

Ahora que se presentaron los movimientos básicos para el desarrollo de la red sobre la malla esquemática, la descripción actual se concentrará en las variaciones presentadas mediante el análisis de ac.

En la figura 8.56 se desarrolla la red empleando los esquemas, como se muestra en la figura 8.59. Se observan la fuente de ac de 1 mV y el símbolo de la impresora en la terminal de salida de la red.

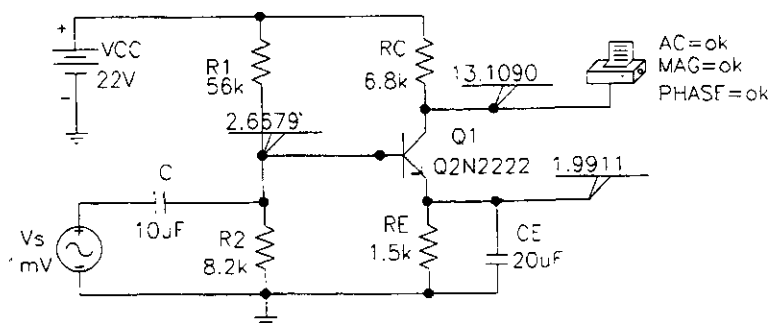


Figura 8.59 Red de la figura 8.56 después de la aplicación de PSpice para Windows.

La fuente senoidal es una parte (**New Part**) que aparece en la librería **source.slb** como **VSIN**. Al oprimir dos veces la fuente sobre el esquema aparece una lista de atributos que deben seleccionarse. Para el ejemplo,

VAMPL = 1 mV (el valor pico de la señal senoidal)
FREQ = 10 kHz (la frecuencia de interés)
PHASE = 0 (sin ángulo inicial de fase para V)
VOFF = 0 (sin desfase o desfasamiento de voltaje dc para V)
AC = 1 mV

Después de cada entrada debe asegurarse de guardar los atributos (**Save the Attribute**) antes de dejar la caja de diálogo.

El símbolo de la impresora se obtiene de la librería **special.slb** de la caja de diálogo de **Get Part** como **VPRINT1**. Cuando se coloca sobre el esquema, especifica el voltaje en el punto que será impreso en el archivo de salida (.out). Al oprimir dos veces el símbolo sobre el esquema, se produce una caja de diálogo **PRINT1** en la cual deben hacerse las siguientes selecciones con objeto de obtener la magnitud y el ángulo de la fase del voltaje de salida:

AC = ok
MAG = ok
PHASE = ok

Las selecciones anteriores pueden listarse junto al símbolo de la impresora sobre el esquema con sólo oprimir la opción cambiar despliegue (**Change Display**) y seleccionando el nombre del despliegue (**Display Value**) y el nombre (**Name**) para cada una.

Se insertan los tres puntos de vista (**VIEWPOINTS**) mediante la siguiente secuencia: **Draw – Get New Part – Browse – special.slb – VIEWPOINT**. Cada uno se coloca en su lugar y luego se oprime para introducirlos al sistema. Cuando se han colocado los tres, el proceso se completa al oprimir el botón derecho del mouse.

Antes de ejecutar el programa deben definirse los nodos que sean iguales a los representados en la figura 8.56 de forma que puedan compararse los resultados. En general, cuando se construye una red, se colocan todos los elementos similares tales como el resistor antes de cambiarse a otro elemento como el capacitor. El resultado es que puede no haber un orden lógico para los nodos en la lista neta. Para ajustar los nodos asociados con cada elemento, simplemente se selecciona análisis (**Analysis**) y luego examinar lista neta (**Examine Netlist**). El resultado que se obtiene consiste de una lista de los elementos y los nodos asignados a cada uno. Los nodos asignados para cada elemento pueden cambiarse después por medio de una sencilla secuencia de insertar/borrar hasta que concuerden con aquellos de la figura 8.56. Cuando se ha completado, se sale del listado. Surgirá un texto que pregunta si se desean guardar los cambios, lo cual es ahora el caso.

Ahora se está listo para desarrollar el análisis mediante la selección de **Analysis** seguido por la inicialización (**Setup**). Dentro de la caja de diálogo de **Setup** se elige (barrido de ac) (**AC Sweep**) aunque la intención sea la de trabajar con una única frecuencia. Después de oprimir dos veces la caja **AC Sweep**, deben tomarse algunas decisiones acerca de la frecuencia aplicada. Se selecciona tipo de barrido ac lineal (**Linear AC Sweep Type**) junto con lo siguiente:

Total Pts. = 1
Start Freq. = 10 kHz
End Freq. = 10 kHz

Después de seleccionar **OK** en las entradas, se elige **Probe Setup**, seguido de **Do not Auto-Run Probe**, lo cual ahorrará tiempo en la obtención de los datos deseados al evitar una cantidad de cajas de diálogo de pruebas. Ahora se está listo para simular bajo el encabezado **Analysis** para obtener los resultados deseados. Si todo se capturó de forma adecuada, aparecerá una caja de diálogo, la cual indicará eventualmente que se ha concluido el análisis ac. Para revisar los resultados simplemente se abandona la caja de diálogo, se regresa a **Analysis** y se selecciona **Examine output** (examinar salida). El listado es algo extenso y la figura 8.60 incluye solamente aquellas partes que por el momento son de interés.

**** CIRCUIT DESCRIPTION

 * Schematics Netlist *

```
R_RE 0 $N_0001 1.5k
C_CE 0 $N_0001 20uF
R_R2 0 $N_0002 8.2k
Q_Q1 $N_0003 $N_0002 $N_0001 Q2N2222-X
V_Vs $N_0004 0 AC 1mV
+SIN 0 1mV 10kHz 0 0 0
C_C $N_0004 $N_0002 10uF
R_R1 $N_0002 $N_0005 56k
R_RC $N_0003 $N_0005 6.8k
V_Vcc $N_0005 0 DC 22V
```

**** BJT MODEL PARAMETERS

```
Q2N2222-X
NPN
IS 5.000000E-15
BF 90
NF 1
VAF 74.03
IKF .2847
ISE 14.340000E-15
NE 1.307
BR 6.092
NR 1
RB 10
RBM 10
RC 1
CJE 22.010000E-12
MJE .377
CJC 7.306000E-12
MJC 3416
TF 411.100000E-12
XTF 3
VTF 1.7
ITF .6
TR 46.910000E-09
XTB 1.5
```

**** SMALL SIGNAL BIAS SOLUTION TEMPERATURE = 27.000 DEG C

NODE	VOLTAGE	NODE	VOLTAGE	NODE	VOLTAGE	NODE	VOLTAGE
(\$N_0001)	1.9911	(\$N_0002)	2.6679				
(\$N_0003)	13.1090	(\$N_0004)	0.0000				
(\$N_0005)	22.0000						

VOLTAGE SOURCE CURRENTS

NAME	CURRENT
V_Vs	0.000E+00
V_Vcc	-1.653E-03

TOTAL POWER DISSIPATION 3.64E-02 WATTS

Figura 8.60 Respuesta de salida para el análisis en ac de la figura 8.56.

```
**** OPERATING POINT INFORMATION  TEMPERATURE = 27.000 DEG C
```

```
*****
```

```
**** BIPOLAR JUNCTION TRANSISTORS
```

```
NAME      Q_Q1
MODEL     Q2N2222-X
IB        1.99E-05
IC        1.31E-03
VBE       6.77E-01
VBC       -1.04E+01
VCE       1.11E+01
BETADC    6.58E+01
GM        5.03E-02
RPI       1.42E+03
RX        1.00E+01
RO        6.46E+04
CBE       5.80E-11
CBC       2.90E-12
CBX       0.00E+00
CJS       0.00E+00
BETAAC    7.15E+01
FT        1.32E+08
```

```
**** AC ANALYSIS  TEMPERATURE = 27.000 DEG C
```

```
*****
```

```
FREQ      VM($N_0003) VP($N_0003)
```

```
1.000E+04 3.073E-01 -1.779E+02
```

Figura 8.60 Continuación.

Se observa que los nodos listados tienen los mismos valores numéricos que los que aparecen en la figura 8.56. Luego, siguen los parámetros del modelo BJT (**BJT MODEL PARAMETERS**), los cuales indican el valor seleccionado de 90 para la beta dc y 5×10^{-15} para **IS**. Se proporcionan los niveles para los varios nodos: luego se igualan los valores que aparecen con los puntos de observación (**VIEWPOINTS**) de la figura 8.56. El siguiente listado de transistores bipolar es de unión **BIPOLAR JUNCTION TRANSISTORS** proporciona una variedad de niveles de dc y de parámetros de la red. Se observa que ahora la beta de dc es de 65.8 con la beta de ac de 71.5 en lugar del valor capturado de 90. La versión para Windows ajusta la beta según las condiciones de operación. Por tanto, los resultados de ac serán un poco diferentes de los obtenidos con anterioridad al emplear el modelo r_c . Si se requiriera una similitud exacta, no se seleccionaría el símbolo del transistor sino que se insertaría en la red el transistor del modelo r_c con una fuente de corriente controlada y los niveles de resistores adecuados. La respuesta en ac indica que la magnitud del voltaje ac de salida es de 307.3 mV con un ángulo de la fase de 177.9° comparado contra 334.0 mV y 177.7° de la versión para DOS de PSpice. Los capacitores presentes crearon un cambio de fase menor a 180° .

Si se desea una impresión del voltaje de salida, puede utilizarse la opción **Probe**. El primer paso consiste en regresar a la opción de análisis (**Analysis**) seguido por la selección de inicialización (**Setup**). Ahora se selecciona la opción (**Transient**) transitorio y se desactiva el barrido (**AC Sweep**) recién utilizada. Al oprimir dos veces la caja **Transient**, pueden hacerse decisiones acerca del análisis que debe desarrollarse. El periodo de la señal aplicada de 10 kHz es de 0.1 ms o 100 μ s. La opción del intervalo de impresión **Print Step** se refiere al intervalo de tiempo entre la impresión o graficación de los resultados del análisis transitorio. Para el ejemplo, se selecciona 1 μ s para ofrecer 100 puntos por ciclo. El tiempo final (**Final Time**) es el último instante en que se calculará la respuesta de la red. La selección es de 500 μ s o 0.5 ms para proporcionar cinco ciclos completos. Se eligió no imprimir el retardo (**No-Print Delay**)

en 0 debido a que todos los capacitores se encuentran esencialmente en corto circuito a 10 kHz. La última selección es el intervalo máximo **Step Ceiling** que establece un valor máximo entre los cálculos obtenidos para el sistema, que en este caso se fijaron en $1\ \mu\text{s}$. El tiempo entre los cálculos será ajustado de manera interna por el paquete de programas para asegurar información suficiente en los momentos en que la respuesta deseada cambie más rápido de lo usual. Sin embargo, nunca estará separado por un periodo mayor que el establecido en **Step Ceiling**.

Ahora se regresará a **Probe Setup** y se seleccionará la opción **Automatically Run Probe After Simulation** (ejecutar prueba después de la simulación de manera automática). Al regresar a análisis (**Analysis**) debe seleccionarse simulación (**Simulate**) para establecer los datos solicitados para la respuesta de Probe. No se puede ir de manera directa a **Run Probe** porque aún no se ha establecido el archivo de datos. Una vez que se ha completado el análisis se activa la opción trazar **Trace** seguida por la opción **Add** (añadir) para “añadir” un trazo a la gráfica. Ahora aparecerá una lista de opciones, y ya que se desea observar al voltaje de salida en el colector del transistor, debe seleccionarse **V(Q1:c)**. Debido a que no aparece en la lista que se proporciona, se oprime en **Alias Names** (nombres ficticios) y aparecerá una lista mayor donde aparece **V(Q1:c)**. Al seleccionarse aparece en el comando de rastreo (**Trace Command**) el cual se activará mediante **OK** (figura 8.61).

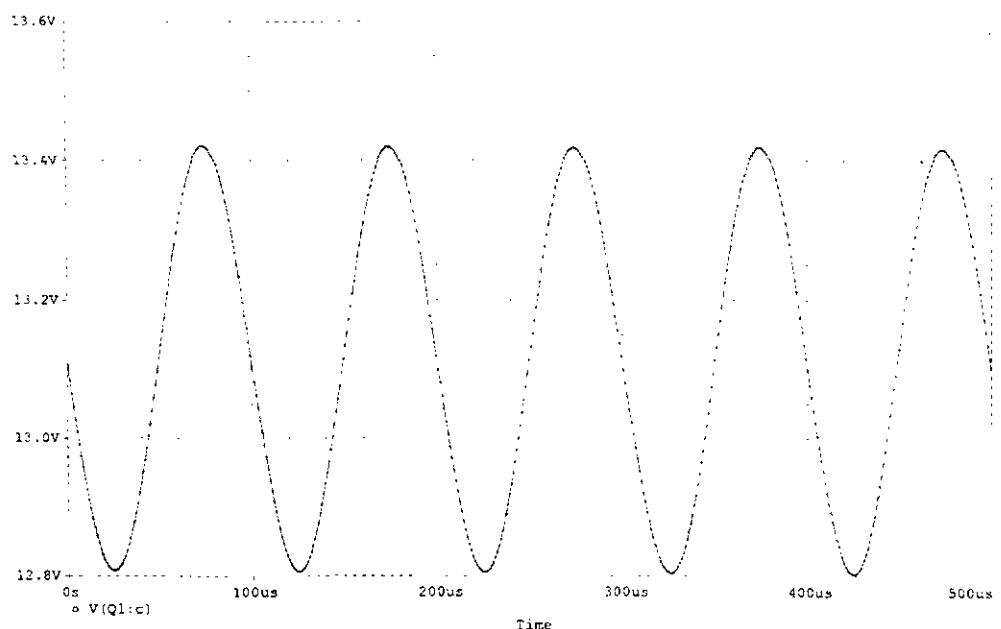


Figura 8.61 Voltajes de salida $v_o = v_c$ para la red de la figura 8.59.

El rango del eje y se seleccionó automáticamente para mostrar con claridad la forma completa de la onda. Se muestran cinco ciclos completos de la forma de salida de la onda (con 100 puntos de datos para cada ciclo) dentro del periodo de tiempo seleccionado de cinco periodos completos de la señal aplicada. El valor entre los picos de la forma de onda es de aproximadamente $13.42\text{ V} - 12.81\text{ V} = 0.61\text{ V}$, como resultado un valor de pico de cerca de $0.61\text{ V} / 2 = 0.305\text{ V} = 305\text{ mV}$, el cual se encuentra muy cercano al valor impreso con anterioridad.

Si debe hacerse una comparación entre los voltajes de entrada y de salida en la misma gráfica, puede utilizarse la opción añadir eje (**Add Y-Axis**) y dentro de la selección del menú de graficación (**Plot**). Después de seleccionarse, debe regresarse al comando **Trace** para utilizar la opción **ADD** (añadir) una vez más. Esta vez puede procederse con la lista de **Alias Names**, la cual incluye **V(Vs:~)** como una opción. Tomar esta opción dará por resultado las formas de ondas de la figura 8.62, la cual incluye una escala para cada forma de onda a la izquierda de la gráfica.

Se añadieron los textos en los diagramas al elegir la opción herramientas (**Tools**) de la lista del menú seguido por la etiqueta (**Label**) y texto (**Text**). Una vez que se selecciona **Text**, aparece una caja de diálogo que solicita el texto que aparecerá en la gráfica. Después de teclear

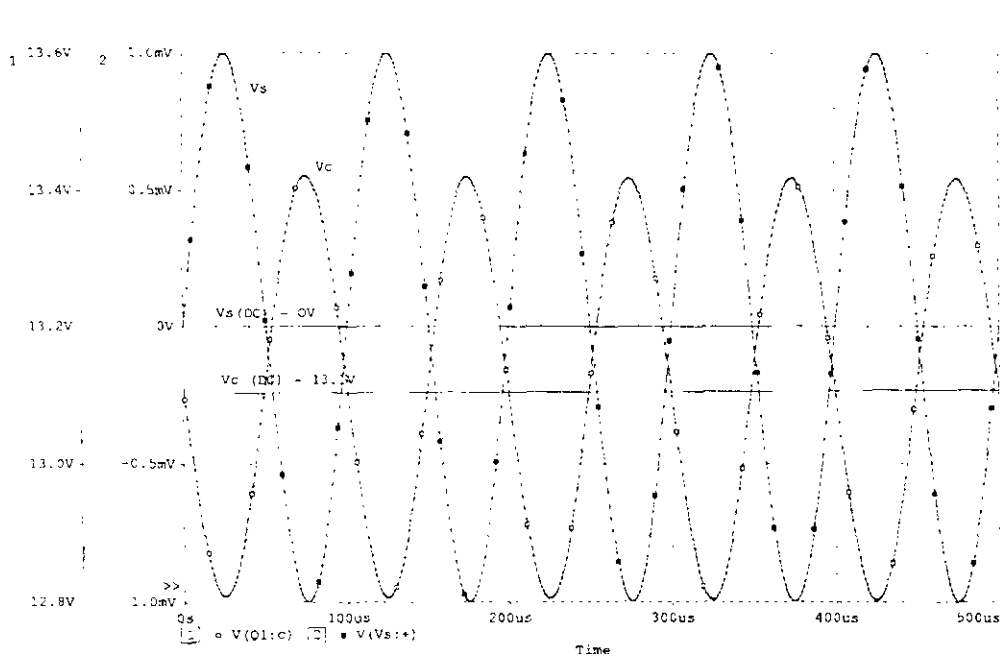


Figura 8.62 v_C y v_s para la red de la figura 8.59.

V_s (contra) y oprimir la opción **OK**, aparecerá V_s en la pantalla y podrá colocarse donde sea necesario. De la misma manera se colocaron las etiquetas restantes en la gráfica. Las líneas se añadieron al seleccionar otra vez la opción **Tools** y luego la opción línea (**line**). Aparecerá un lápiz y utilizando la misma técnica que la que se emplea para las líneas en los trabajos de arte, pueden añadirse las líneas que se muestran. Se observa la relación fuera de fase entre las dos formas de onda y el hecho de que V_C se encuentra sobre un nivel dc de 13.1 V.

En caso de desear dos gráficas por separado, puede seleccionarse la opción **Plot** y seleccionar **Add Plot** (añadir gráfica). Al seleccionarse aparecerá otra gráfica esperando que se tome la siguiente selección por medio del regreso a la opción **Trace** y **Add** de **V(Vs: +)** a partir de la lista de **Alias**. El resultado que se obtiene es el par de gráficas de la figura 8.63 que

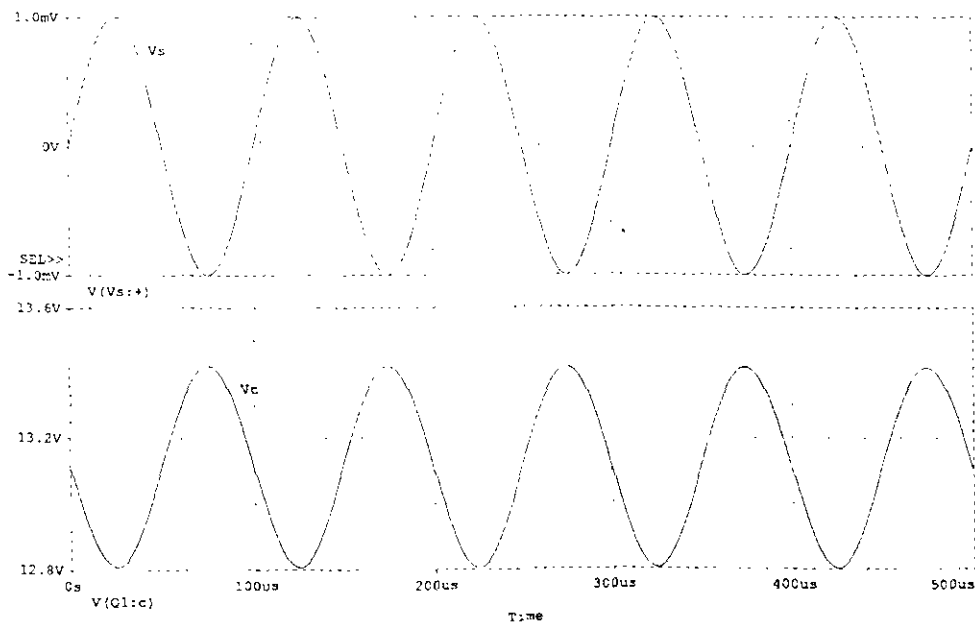


Figura 8.63 v_o y v_C como gráficas por separado.

presenta cada forma de onda de manera separada. Una vez más se añaden las etiquetas V_s y V_c utilizando la opción de herramientas (**Tools**). Sin embargo, debe tenerse en cuenta que las etiquetas para la primera gráfica deben ser capturadas antes de seleccionar las etiquetas para la segunda gráfica.

La última forma de onda que se muestra en la figura 8.64 demuestra el empleo de la opción **Cursor** bajo el encabezado de herramientas (**Tools**). Al seleccionar **Cursor** y luego **Display** (desplegar), aparecerá una línea en el nivel de dc de 13.1 V. Al oprimir el mouse, aparecerán una línea horizontal y una línea vertical que se intersecan sobre la curva. Al oprimir sobre la línea vertical y manteniendo oprimido el botón del mouse, puede moverse la línea vertical sobre la forma de onda. Se observa en la caja **Probe Cursor** que se registra la ubicación de la intersección llamada **A1**. Si se mueve al valor pico, su valor es de 13.421 V y el elemento del tiempo es de 75 μs . Al oprimir el botón derecho del mouse, aparece una segunda intersección, llamada **A2**, la cual también registra su ubicación en la caja **Probe Cursor**. La información restante en la tercera línea de la caja consiste en la diferencia entre las dos intersecciones sobre los ejes horizontal y vertical, respectivamente. Si se fija **A2** al fondo de v_c será de 12.807 V a 125 μs (se debe observar la línea del fondo de la figura 8.64). Por tanto la posición del cursor indica la magnitud y tiempo de la localización de la señal, lo cual puede ser muy conveniente para una gran cantidad de aplicaciones. Obsérvense las etiquetas sobre la gráfica al emplear la opción **Tools-text**. Puede obtenerse con facilidad al utilizar dos diferentes intersecciones.

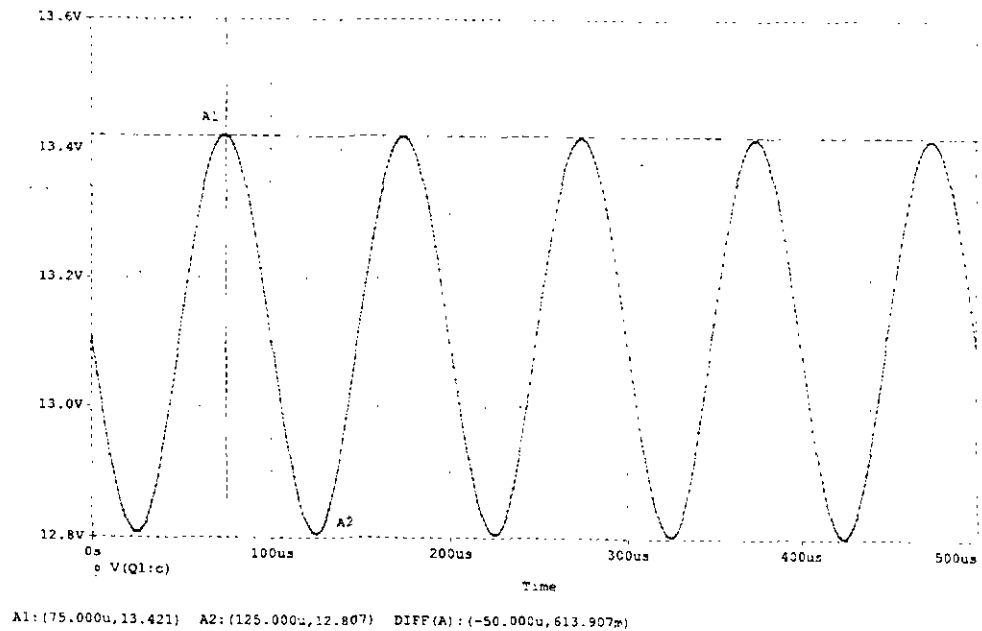


Figura 8.64 Utilización de la opción **Cursor** sobre v_c para la red de la figura 8.59.

La introducción anterior fue relativamente breve debido a las restricciones de espacio y prioridad, pero su propósito se cumplió si ahora parece evidente la relativa simplicidad de la aplicación de PSpice para calcular la respuesta a pequeña señal. Cuando el tiempo así lo permita, deben leerse muy cuidadosamente los manuales para entender por completo el efecto de los varios parámetros y las ecuaciones involucradas con el modelo PSpice. Está disponible una versión comercial de PSpice que tiene un catálogo completo de transistores específicos en memoria listos para ser utilizados por el paquete de programas PSpice. En otras palabras, el archivo de entrada puede incluir la referencia a un transistor en particular y el paquete insertará automáticamente los parámetros que describan mejor al transistor para el análisis que se llevará a cabo. Puede obtenerse información adicional respecto a la versión disponible en el mercado



al escribir directamente a Microsim Corp. Ahora se comparará el análisis anterior con el análisis del mismo circuito utilizando ahora el lenguaje BASIC.

BASIC

El programa BASIC de la figura 8.65 analizará la configuración de polarización mediante divisor de voltaje de la figura 8.56 con las características adicionales de que también puede proporcionar una solución en caso que una porción del resistor del emisor no presente desvío y pueda también incluir los efectos de una resistencia fuente y de carga. La resistencia del emisor se ha designado como R_{E_1} en caso de no estar en desvío y R_{E_2} en caso de tener desvío.

```
10 REM *****
20 REM          PROGRAM 8.1
30 REM *****
40 REM          BJT AC ANALYSIS
50 REM          USING re AND BETA PARAMETERS
60 REM *****
70 REM
100 CLS
110 PRINT "This program performs the ac calculations"
120 PRINT "for a BJT voltage-divider using the re and beta parameters."
130 PRINT
140 PRINT "Enter the following circuit data:"
150 PRINT
160 INPUT "RB1=";R1
170 INPUT "RB2=";R2
180 INPUT "RC=";RC
190 INPUT "Unbypassed emitter resistance, RE1=";E1
200 INPUT "Bypassed emitter resistance, RE2=";E2
210 PRINT
220 INPUT "Beta=";BETA
230 INPUT "Supply voltage, VCC=";CC
240 INPUT "Load resistance, RL=";RL
250 INPUT "Source resistance, RS=";RS
260 INPUT "Source voltage, VS=";VS
270 PRINT:PRINT
280 GOSUB 11200:REM Perform ac analysis
290 PRINT "The results of the ac analysis are:"
300 PRINT
310 PRINT "Transistor dynamic resistance, re=";RE;"ohms"
320 PRINT
330 IF CC-IE*(RC+E1+E2)<=0 THEN PRINT "Circuit in saturation." :GOTO 420
340 PRINT "Input impedance, Ri=";RI;"ohms"
350 PRINT "Output impedance, Ro=";RO;"ohms"
360 PRINT "Voltage-gain(no-load), Av=";AV
370 PRINT "Current gain, Ai=";AI
380 PRINT
390 PRINT "Output voltage(no load), Vo=";VO;"volts"
400 PRINT
410 PRINT "Output voltage(under load), VL=";VL;"volts"
420 PRINT
430 VM=CC-IE*(BETA/(BETA+1))*(RC+E1+E2) :REM Maximum signal swing
440 IF ABS(VL)>VM THEN PRINT "but maximum undistorted output is";VM;"volts"
450 END
11200 REM Module to perform BJT ac analysis using re model
11210 RB=R1*(R2/(R1+R2))
11220 RP=RC*(RL/(RC+RL))
11230 BB=R2*CC/(R1+R2)
11240 IE=(BB-.7)*(BETA+1)/(RB+BETA*(E1+E2))
11250 RE=.026/IE
11260 R3=BETA*(RE+E1)
11270 R1=RB*(R3/(RB+R3))
11280 RO=RC
11290 AI=(RC/(RC+RL))*BETA*(RB/(RB+R3))
11300 AV=-RC/(E1+RE)
11310 VI=VS*(RI/(RI+RS))
11320 VO=AV*VI
11330 VL=VO*(RL/(RO+RL))
11340 RETURN
```

Figura 8.65 Programa BASIC para el análisis en ac de una configuración BJT.



```

RUN
This program performs the ac calculations
for a BJT voltage-divider using the re and beta parameters.

Enter the following circuit data:

RB1=? 56E3
RB2=? 8.2E3
RC=? 6.8E3
Unbypassed emitter resistance, RE1=? 0
Bypassed emitter resistance, RE2=? 1.5E3

Beta=? 90
Supply voltage, VCC=? 22
Load resistance, RL=? 10E3
Source resistance, RS=? 600
Source voltage, VS=? 1E-3

The results of the ac analysis are:

Transistor dynamic resistance, re= 19.24912 ohms

Input impedance, Ri= 1394.631 ohms
Output impedance, Ro= 6800 ohms
Voltage-gain(no-load), Av=-353.263
Current gain, Ai= 29.32569

Output voltage(no load), Vo=-.2469988 volts
Output voltage(under load), VL=-.1470231 volts

```

Figura 8.65 Continuación.

El módulo de las líneas 11210 a 11260 calcularán los parámetros importantes para el modelo de transistor de la figura 8.66 y llevaría a cabo el análisis requerido. Los pasos secuenciales del módulo deben revisarse con cuidado y compararse con los cálculos desarrollados de forma manual (calculadora).

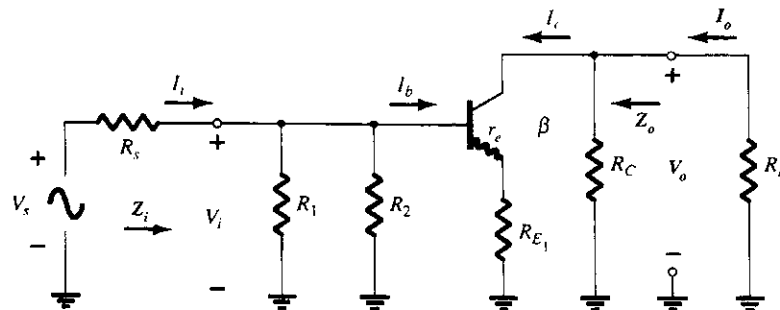


Figura 8.66 Red analizada mediante el módulo que se extiende desde la línea 11210 a la línea 11260 del programa BASIC de la figura 8.65.

Una ejecución del programa con los valores de la figura 8.56 proporcionará los resultados que aparecen al final de la figura 8.65. En particular, debe observarse la forma en que puede escribirse el programa BASIC con objeto de proporcionar información acerca del sistema de una manera clara, concisa, tabulada. El nivel de $R_i = R' \parallel \beta r_e = 1,394.63 \Omega$, el cual es diferente a R_i en la versión para DOS de PSpice debido a que R_i incluye sólo la impedancia de entrada de la configuración del transistor (βr_e). La ganancia sin carga es de 353.26, la cual se compara favorablemente con los 334 que se obtuvieron al emplear PSpice. La ganancia de corriente de $4.9 \times 10^{-25} A \approx 0 A$, es debida a la ausencia de una carga para definir la corriente de salida. La ausencia de una carga también da por resultado que $A_v = A_{v_{NL}}$.

§ 8.2 Configuración de emisor común con polarización fija

PROBLEMAS

1. Para la red de la figura 8.67:
 - a) Determinar Z_i y Z_o .
 - b) Encontrar A_v y A_i .
 - c) Repetir el inciso a cuando $r_o = 20 \text{ k}\Omega$.
 - d) Repetir el inciso b cuando $r_o = 20 \text{ k}\Omega$.

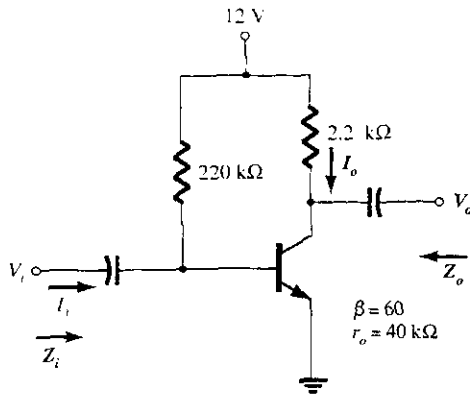


Figura 8.67 Problemas 1, 21.

2. Calcular V_{CC} para la red de la figura 8.68 para una ganancia de voltaje de $A_v = -200$.

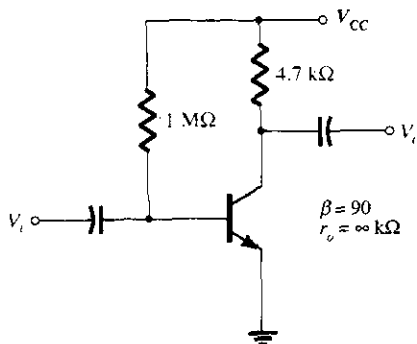


Figura 8.68 Problema 2.

- * 3. Para la red de la figura 8.69:
 - a) Calcular I_B , I_C y r_e .
 - b) Determinar Z_i y Z_o .
 - c) Calcular A_v y A_i .
 - d) Determinar el efecto de $r_o = 30 \text{ k}\Omega$ sobre A_v y A_i .

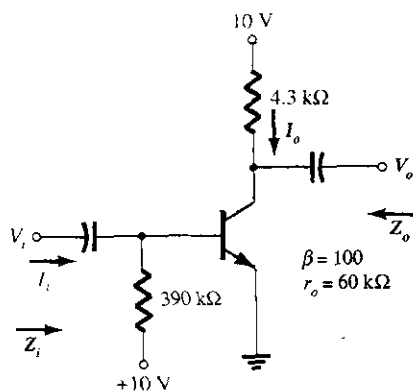


Figura 8.69 Problema 3.



§ 8.3 Polarización mediante divisor de voltaje

4. Para la red de la figura 8.70:

- Determinar r_e .
- Encontrar Z_i y Z_o .
- Encontrar A_v y A_i .
- Repetir los incisos b y c cuando $r_o = 25 \text{ k}\Omega$.

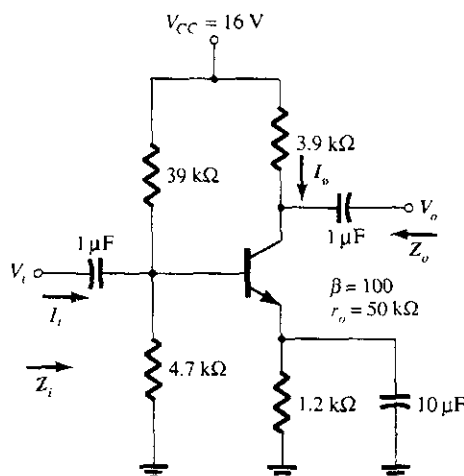


Figura 8.70 Problema 4.

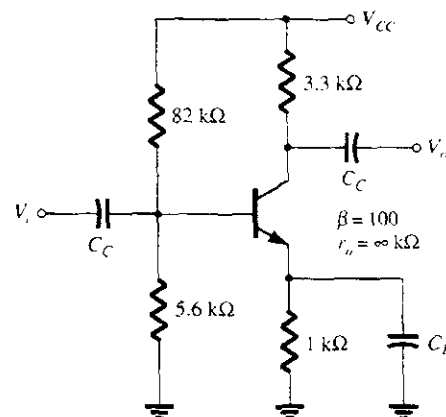


Figura 8.71 Problema 5.

5. Calcular V_{CC} para la red de la figura 8.71 si $A_v = -160$ y $r_o = 100 \text{ k}\Omega$.

6. Para la red de la figura 8.72:

- Determinar r_e .
- Calcular V_B y V_C .
- Determinar Z_i y $A_v = V_o/V_i$.

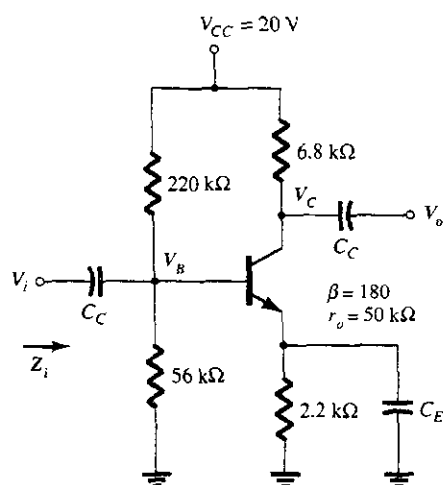


Figura 8.72 Problema 6.

§ 8.4 Configuración de E-C con polarización en emisor

7. Para la red de la figura 8.73:

- Determinar r_e .
- Encontrar Z_i y Z_o .
- Calcular A_v y A_i .
- Repetir los incisos b y c cuando $r_o = 20 \text{ k}\Omega$.

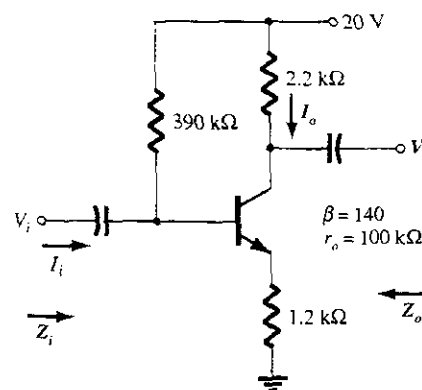


Figura 8.73 Problemas 7, 9.



8. Calcular R_E y R_B para la red de la figura 8.74 si $A_v = -10$ y $r_e = 3.8 \Omega$. Suponga que $Z_b = \beta R_E$.
9. Repita el problema 7 cuando R_E encuentre desví. Compare los resultados.
- * 10. Para la red de la figura 8.75:
- Determinar r_e .
 - Encontrar Z_i y A_v .
 - Calcular A_i .

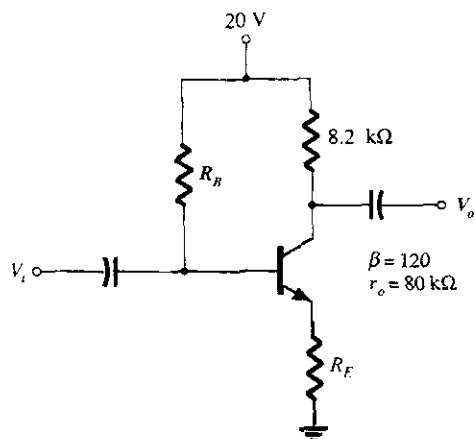


Figura 8.74 Problema 8.

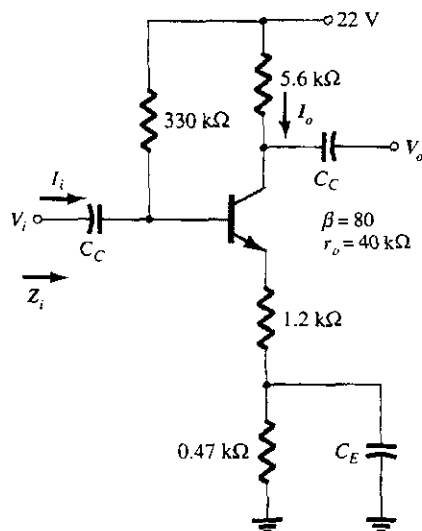


Figura 8.75 Problema 10.

§ 8.5 Configuración emisor-seguidor

11. Para la red de la figura 8.76:
- Determinar r_e y βr_e .
 - Encontrar Z_i y Z_o .
 - Calcular A_v y A_i .
- * 12. Para la red de la figura 8.77:
- Determinar Z_i y Z_o .
 - Encontrar A_v .
 - Calcular V_o cuando $V_i = 1 \text{ mV}$.

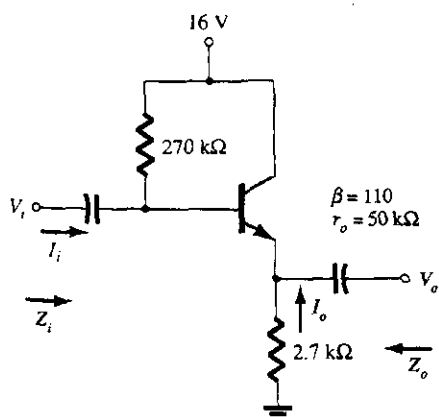


Figura 8.76 Problema 11.

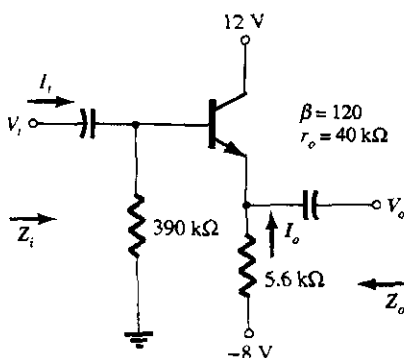


Figura 8.77 Problema 12.



* 13. Para la red de la figura 8.78:

- Calcular I_B e I_C .
- Determinar r_e .
- Determinar Z_i y Z_o .
- Encontrar A_v y A_i .

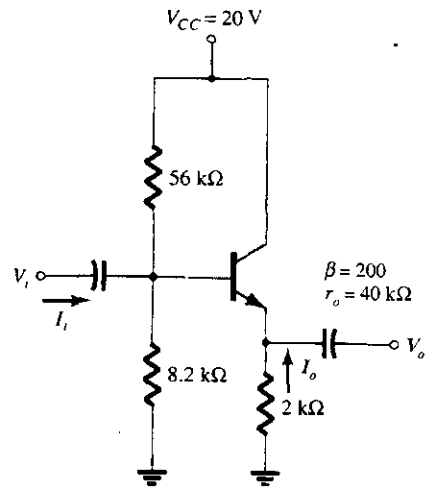


Figura 8.78 Problema 13.

§ 8.6 Configuración de base común

14. Para la red de la figura 8.79:

- Determinar r_e .
- Encontrar Z_i y Z_o .
- Calcular A_v y A_i .

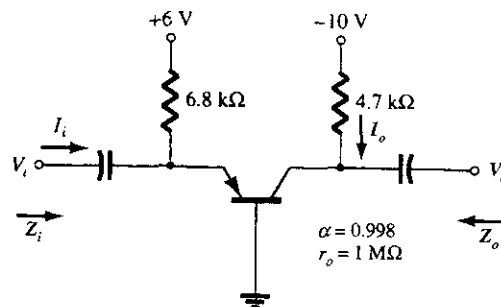


Figura 8.79 Problema 14.

* 15. Para la red de la figura 8.80, determinar A_v y A_i .

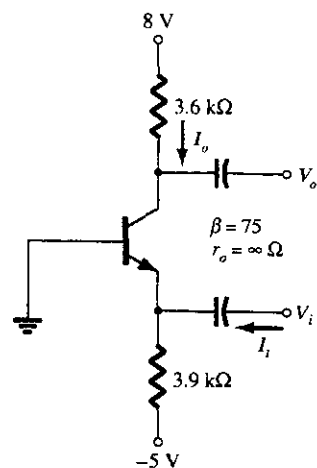


Figura 8.80 Problema 15.

§ 8.7 Configuración con retroalimentación en colector

16. Para la configuración de retroalimentación en colector de la figura 8.81:

- Determinar r_e .
- Encontrar Z_i y Z_o .
- Calcular A_v y A_i .

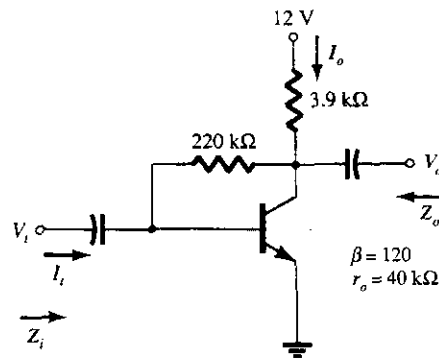


Figura 8.81 Problema 16.

* 17. Dados $r_e = 10 \Omega$, $\beta = 200$, $A_v = -160$ y $A_i = 19$ para la red de la figura 8.82, determinar R_C , R_F y V_{CC} .

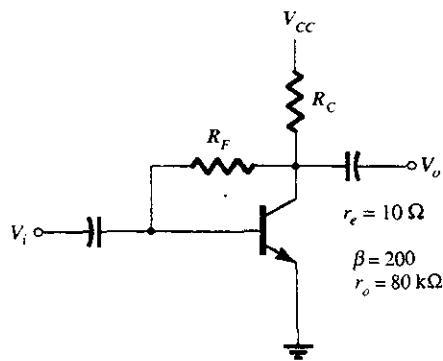


Figura 8.82 Problema 17.

* 18. Para la red de la figura 8.30:

- Derivar la ecuación aproximada para A_v .
- Derivar la ecuación aproximada para A_i .
- Derivar las ecuaciones aproximadas para Z_i y Z_o .
- Dados $R_C = 2.2 \text{ k}\Omega$, $R_F = 120 \text{ k}\Omega$, $R_E = 1.2 \text{ k}\Omega$, $\beta = 90$ y $V_{CC} = 10 \text{ V}$, calcular las magnitudes de A_v , A_i , Z_i y Z_o utilizando las ecuaciones de los incisos a a c.

§ 8.8 Configuración con retroalimentación de dc en colector

19. Para la red de la figura 8.83:

- Determinar Z_i y Z_o .
- Encontrar A_v y A_i .

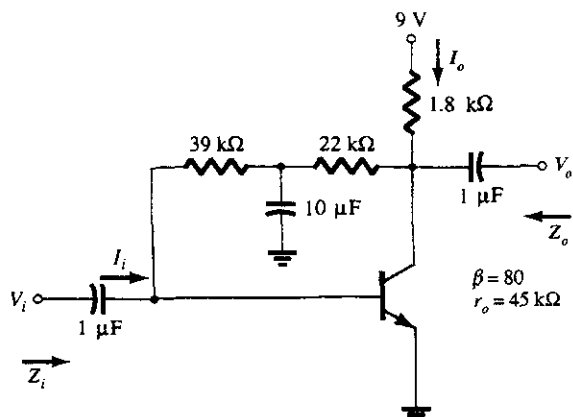


Figura 8.83 Problema 19.

§ 8.9 Circuito equivalente híbrido aproximado

20. a) Dados $\beta = 120$, $r_e = 4.5 \Omega$ y $r_o = 40 \Omega$, trazar el circuito híbrido equivalente aproximado.
 b) Dados $h_{ie} = 1 \text{ k}\Omega$, $h_{re} = 2 \times 10^{-4}$, $h_{fe} = 90$ y $h_{oe} = 20 \mu\text{S}$, trazar el modelo r_e .
21. Para la red del problema 1:
- Determinar r_e .
 - Encontrar h_{fe} y h_{ie} .
 - Encontrar Z_i y Z_o utilizando los parámetros híbrdos.
 - Calcular A_v y A_i con los parámetros híbrdos.
 - Determinar Z_i y Z_o cuando $h_{oe} = 50 \mu\text{S}$.
 - Determinar A_v y A_i cuando $h_{oe} = 50 \mu\text{S}$.
 - Comparar las soluciones anteriores con aquellas del problema 1. (Nota: Las soluciones están disponibles en el apéndice E en caso de no haberse llevado a cabo el problema 1.)
22. Para la red de la figura 8.84:
- Determinar Z_i y Z_o .
 - Calcular A_v y A_i .
 - Determinar r_e y comparar βr_e con h_{ie} .

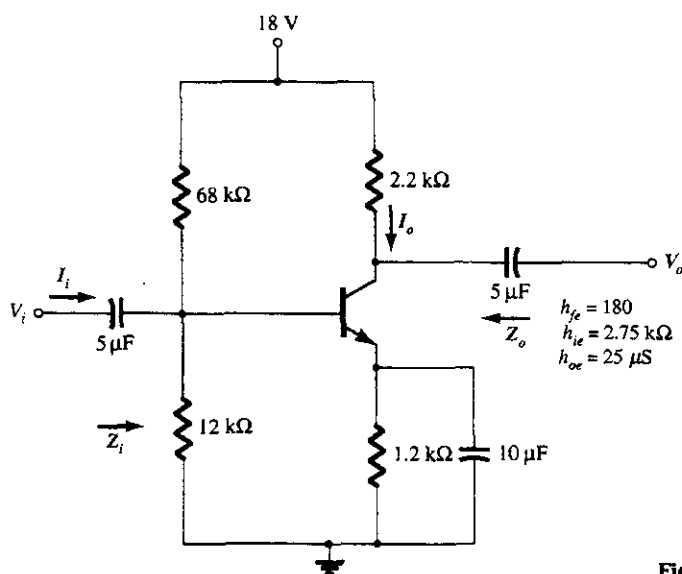


Figura 8.84 Problemas 22, 24.

- * 23. Para la red de base común de la figura 8.85:
- Determinar Z_i y Z_o .
 - Calcular A_v y A_i .
 - Determinar α , β , r_e y r_o .

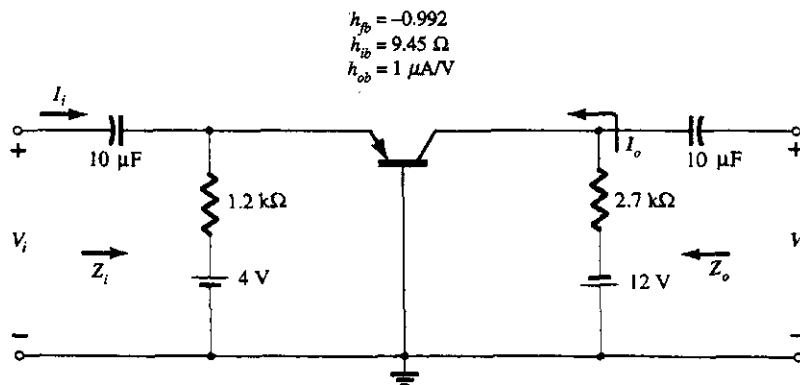


Figura 8.85 Problema 23.

§ 8.10 Modelo equivalente híbrido completo

* 24. Repetir los incisos a y b del problema 22 cuando $h_{re} = 2 \times 10^{-4}$ y compare los resultados.

* 25. Para la red de la figura 8.86, determinar:

- Z_i
- A_v
- $A_i = I_o/I_i$
- Z_o

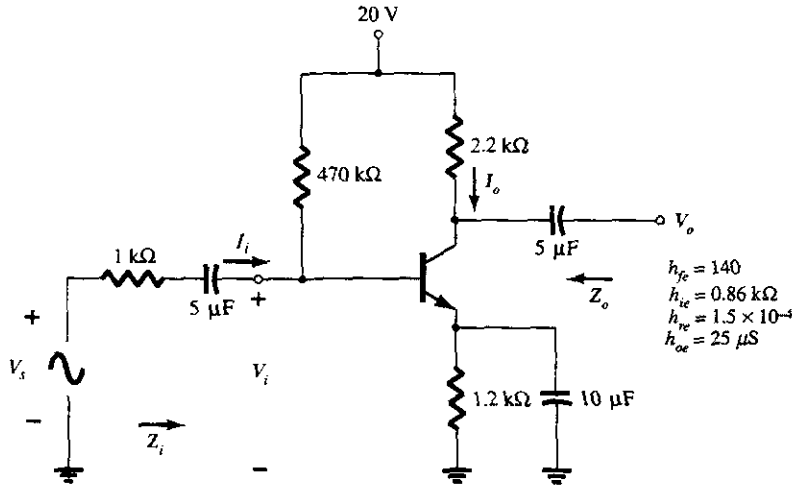


Figura 8.86 Problema 25.

* 26. Para el amplificador de base común de la figura 8.87, determinar:

- Z_i
- A_i
- A_v
- Z_o

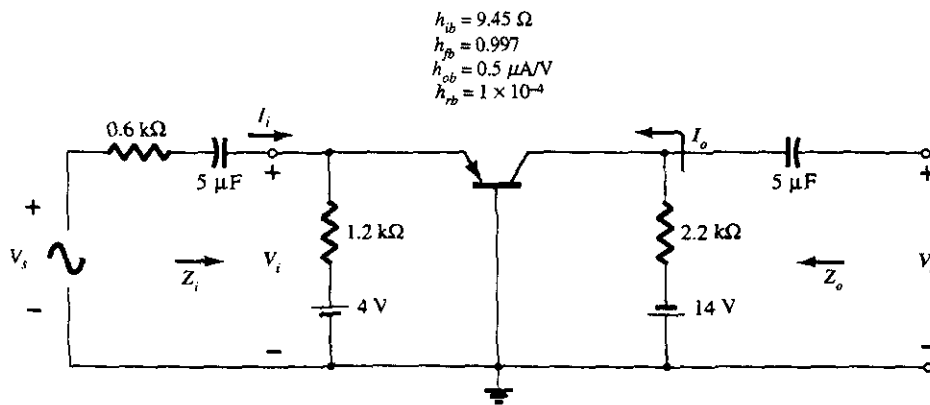


Figura 8.87 Problema 26.

§ 8.12 Solución de problemas

* 27. Dada la red de la figura 8.88:

- Determinar si el sistema está operando adecuadamente basándose en los niveles de polarización mediante divisor de voltaje y en las formas de onda esperadas para v_o y v_E .
- Determinar el motivo de los niveles de dc obtenidos y la razón por la que se obtuvo la forma de onda para v_o .

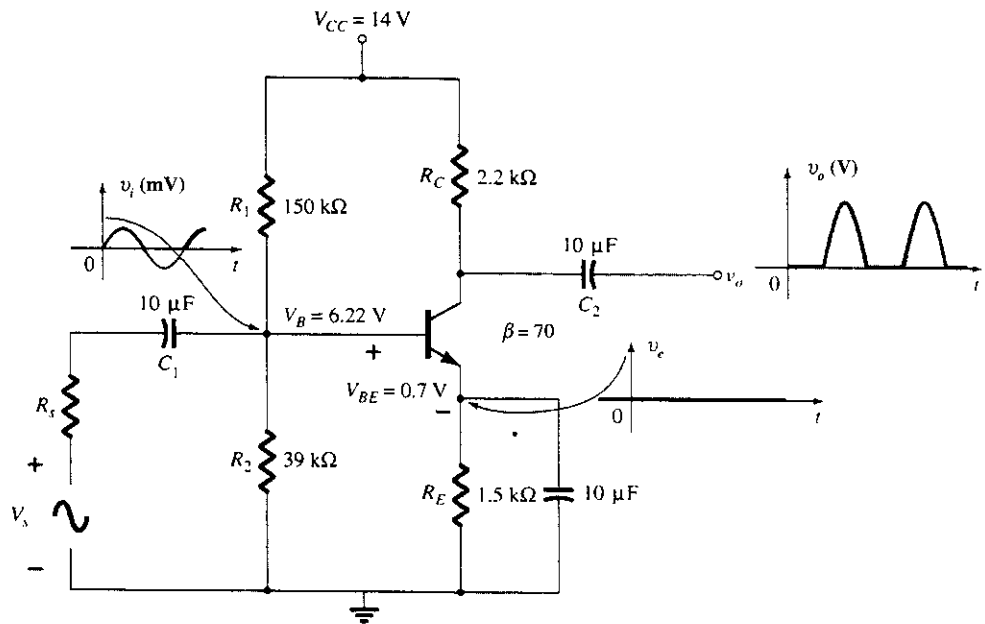


Figura 8.88 Problema 27.

§ 8.13 Análisis por computadora

28. a) Escribir el archivo de entrada de PSpice para la red de la figura 8.6 (ejemplo 8.1) y solicitar el nivel de V_o para $V_i = 1$ mV.
b) Llevar a cabo el análisis por medio de PSpice y comparar el resultado para V_o con los resultados obtenidos en el ejemplo 8.1.
29. a) Escribir el archivo de entrada de PSpice para la red de la figura 8.13 (ejemplo 8.3) y solicitar el nivel de V_o para $V_i = 1$ mV.
b) Llevar a cabo el análisis por medio de PSpice y comparar el resultado para V_o con los resultados obtenidos en el ejemplo 8.3.
30. a) Escribir el archivo de entrada de PSpice para la red de la figura 8.25 (ejemplo 8.8) y solicitar el nivel de V_o para $V_i = 1$ mV.
b) Llevar a cabo el análisis por medio de PSpice y comparar el resultado para V_o con los resultados obtenidos en el ejemplo 8.8.
31. a) Escribir un programa en BASIC para calcular Z_i , Z_o , A_v y A_i para la red de la figura 8.9 (ejemplo 8.2).
b) Llevar a cabo el análisis del inciso a) y comparar contra los resultados obtenidos en el ejemplo 8.2.
32. a) Escribir un programa en BASIC para calcular Z_i , Z_o , A_v y A_i para la red de la figura 8.13 (ejemplo 8.3).
b) Llevar a cabo el análisis del inciso a) y comparar contra los resultados obtenidos en el ejemplo 8.3.
33. a) Escribir un programa en BASIC para calcular Z_i , Z_o , A_v y A_i para la red de la figura 8.25 (ejemplo 8.8).
b) Llevar a cabo el análisis del inciso a) y comparar contra los resultados obtenidos en el ejemplo 8.8.
34. Mediante la utilización de PSpice para Windows, determinar la ganancia para la red de la figura 8.6. Utilice Probe para desplegar las formas de onda tanto de entrada como de salida.
35. Mediante la utilización de PSpice para Windows, determinar la ganancia para la red de la figura 8.13. Utilice Probe para desplegar las formas de onda tanto de entrada como de salida.
36. Mediante la utilización de PSpice para Windows, determinar la ganancia para la red de la figura 8.25. Utilice Probe para desplegar las formas de onda tanto de entrada como de salida.

*Nota: Los asteriscos indican problemas más difíciles.

Análisis a pequeña señal del FET

9

 g_m

9.1 INTRODUCCIÓN

Los amplificadores con transistores de efecto de campo proporcionan una excelente ganancia de voltaje aunada a la característica de una alta impedancia de entrada. Además, se trata de configuraciones de bajo consumo de potencia con un buen rango de frecuencia y tamaño y peso mínimos. Los dispositivos JFET y el MOSFET de decremento pueden utilizarse para diseñar amplificadores que tengan ganancias similares de voltaje. Sin embargo, el circuito con MOSFET decremental tiene una impedancia de entrada mucho mayor que una configuración JFET similar.

Mientras que un dispositivo BJT controla una gran corriente de salida (colector) por medio de una corriente de entrada (base) relativamente pequeña, el dispositivo FET controla una corriente de salida (drenaje) mediante un pequeño voltaje de entrada (voltaje en la compuerta). Por tanto, el BJT generalmente es un dispositivo *controlado por corriente* y el FET un dispositivo *controlado por voltaje*, pero en ambos casos se observa que la corriente de salida es la variable controlada. Debido a la característica de gran impedancia de entrada de los FET, el modelo equivalente de ac es más sencillo que el utilizado por los BJT. Así que mientras el BJT tuvo un factor de amplificación β (beta), el FET tiene un factor de transconductancia, g_m .

El FET puede utilizarse como un amplificador lineal o como un dispositivo digital en los circuitos lógicos. De hecho, el MOSFET incremental es muy popular en los circuitos digitales, especialmente en los circuitos CMOS que requieren un consumo muy bajo de potencia. Los dispositivos FET también se utilizan en las aplicaciones de alta frecuencia y en las aplicaciones de acoplamiento (interfases). La tabla 9.1, localizada al final del capítulo, muestra un resumen de los circuitos FET a pequeña señal y sus fórmulas asociadas.

Aunque la configuración de fuente común es la más popular al proporcionar una señal invertida y amplificada, también existen circuitos de drenaje común (fuente-seguidor) que proporcionan ganancia unitaria sin inversión, así como circuitos de compuerta común que proporcionan ganancia sin inversión. Al igual que con los amplificadores BJT, las características importantes del circuito que se describen en este capítulo incluyen la ganancia de voltaje, la impedancia de entrada y la impedancia de salida. Debido a la muy alta impedancia de entrada, la corriente de entrada por lo general se asume de $0 \mu\text{A}$ y la ganancia de corriente es una cantidad indefinida. Mientras que la ganancia de voltaje de un amplificador FET es casi siempre menor que la obtenida al utilizar un amplificador BJT, el amplificador FET proporciona una impedancia de entrada mucho mayor que la de la configuración de un BJT. Los valores de la impedancia de salida son comparables tanto para los circuitos BJT como para los FET.

Las redes de amplificadores FET también pueden analizarse mediante el empleo de programas de computadora. Al utilizar PSpice puede llevarse a cabo un análisis en dc para obtener las condiciones de polarización del circuito y un análisis en ac para calcular la ganancia de voltaje a pequeña señal. Al utilizar los modelos de transistores de PSpice se puede analizar el

circuito empleando los modelos específicos de transistores. Por otro lado, es posible desarrollar un programa utilizando un lenguaje como el BASIC que puede realizar tanto el análisis de dc como el de ac y proporcionar los resultados en un formato muy especial.

9.2 MODELO DE PEQUEÑA SEÑAL DEL FET

El análisis en ac de una configuración FET requiere que se desarrolle un modelo de pequeña señal. Un componente muy importante del modelo hará evidente que un voltaje de ac aplicado a las terminales de entrada de la compuerta a la fuente controla el nivel de corriente del drenaje a la fuente.

El voltaje de la compuerta a la fuente controla la corriente del drenaje a la fuente (canal) de un FET.

En el capítulo 6, se indicó que un voltaje en dc de la compuerta a la fuente controlaba el nivel de la corriente de drenaje mediante una relación conocida como la ecuación de Shockley: $I_D = I_{DSS}(1 - V_{GS}/V_P)^2$. El *cambio* en la corriente del colector que se obtendrá de un *cambio* en el voltaje de la compuerta a la fuente se puede determinar utilizando el factor de transconductancia g_m de la siguiente manera:

$$\Delta I_D = g_m \Delta V_{GS} \quad (9.1)$$

El prefijo *trans* (o *tras*) que se aplica a g_m en la terminología indica que se establece una relación entre las cantidades de salida y de entrada. Se seleccionó la palabra raíz *conductancia* debido a que g_m se determina por la relación del voltaje a la corriente, similar a la relación que define la conductancia de un resistor $G = 1/R = I/V$.

Al despejar g_m en la ecuación (9.1) se tiene:

$$g_m = \frac{\Delta I_D}{\Delta V_{GS}} \quad (9.2)$$

Determinación gráfica de g_m

Si ahora se examinan las características de transferencia de la figura 9.1, se encuentra que g_m es en realidad la pendiente de las características en el punto de operación. Esto es,

$$g_m = m = \frac{\Delta y}{\Delta x} = \frac{\Delta I_D}{\Delta V_{GS}} \quad (9.3)$$

Al seguir la curvatura de las características de transferencia, resulta bastante claro que la pendiente, y por tanto g_m , se incrementa cuando se pasa desde V_P a I_{DSS} . O, dicho en otras palabras, cuando V_{GS} se acerca a 0 V, se incrementa la magnitud de g_m .

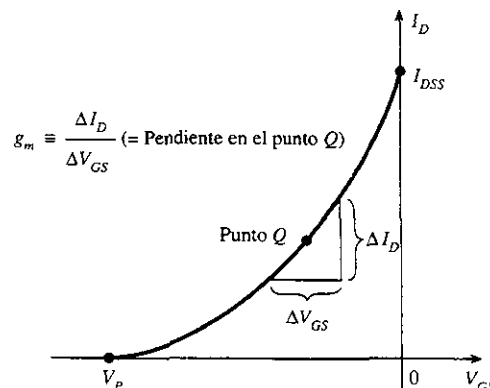


Figura 9.1 Definición de g_m utilizando la característica de transferencia.

La ecuación (9.2) indica que g_m puede determinarse en cualquier punto Q sobre las características de transferencia con sólo seleccionar un incremento finito en V_{GS} (o en I_D) cercano al punto Q y luego encontrar el cambio correspondiente en I_D (o V_{GS} , respectivamente). Los cambios que se obtienen en cada cantidad se sustituyen después en la ecuación (9.2) para calcular g_m .

Determinar la magnitud de g_m para un JFET con $I_{DSS} = 8 \text{ mA}$ y $V_P = -4 \text{ V}$ en los siguientes puntos de polarización.

EJEMPLO 9.1

- $V_{GS} = -0.5 \text{ V}$.
- $V_{GS} = -1.5 \text{ V}$.
- $V_{GS} = -2.5 \text{ V}$.

Solución

Las características de transferencia se generaron como en la figura 9.2 al utilizar el procedimiento definido en el capítulo 6. Cada punto de operación se identifica posteriormente y se dibuja una línea tangente a través de cada punto para reflejar mejor la pendiente de la curva de transferencia en esta región. Luego se selecciona un incremento adecuado para V_{GS} para reflejar una variación a cualquier lado de cada punto Q . Entonces se aplica la ecuación (9.2) para determinar g_m .

$$\text{a) } g_m = \frac{\Delta I_D}{\Delta V_{GS}} \cong \frac{2.1 \text{ mA}}{0.6 \text{ V}} = 3.5 \text{ mS}$$

$$\text{b) } g_m = \frac{\Delta I_D}{\Delta V_{GS}} \cong \frac{1.8 \text{ mA}}{0.7 \text{ V}} \cong 2.57 \text{ mS}$$

$$\text{c) } g_m = \frac{\Delta I_D}{\Delta V_{GS}} = \frac{1.5 \text{ mA}}{1.0 \text{ V}} = 1.5 \text{ mS}$$

Puede observarse la disminución en g_m cuando V_{GS} se aproxima a V_P .

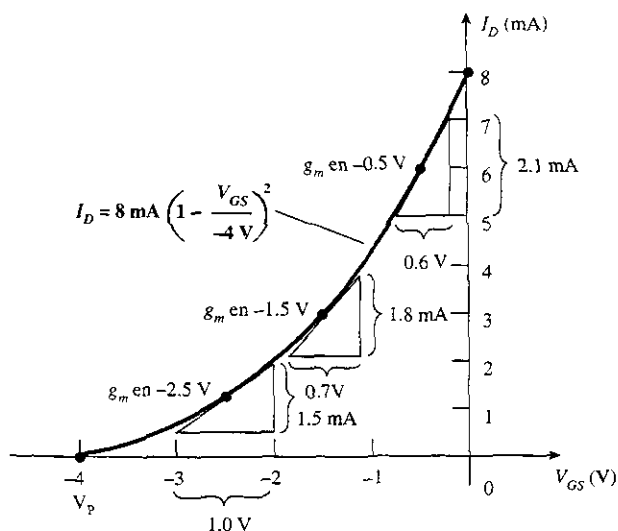


Figura 9.2 Cálculo de g_m en diferentes puntos de polarización.

Definición matemática de g_m

El procedimiento gráfico descrito está limitado por la exactitud de la gráfica de transferencia y el cuidado con que pueden determinarse los cambios en cada cantidad, pero entonces puede tornarse un problema engorroso. Un método alternativo para calcular g_m

utiliza un enfoque empleado para encontrar la resistencia ac de un diodo en el capítulo 1, donde se estableció que

La derivada de una función en un punto es igual a la pendiente de la línea tangente dibujada en dicho punto.

Si se toma la derivada de I_D respecto a V_{GS} (cálculo diferencial) utilizando la ecuación de Shockley, es posible derivar una ecuación para g_m de la siguiente manera:

$$\begin{aligned}
 g_m &= \left. \frac{\Delta I_D}{\Delta V_{GS}} \right|_{\text{pt. } Q} = \left. \frac{dI_D}{dV_{GS}} \right|_{\text{pt. } Q} = \frac{d}{dV_{GS}} \left[I_{DSS} \left(1 - \frac{V_{GS}}{V_P} \right)^2 \right] \\
 &= I_{DSS} \frac{d}{dV_{GS}} \left(1 - \frac{V_{GS}}{V_P} \right)^2 = 2I_{DSS} \left[1 - \frac{V_{GS}}{V_P} \right] \frac{d}{dV_{GS}} \left(1 - \frac{V_{GS}}{V_P} \right) \\
 &= 2I_{DSS} \left[1 - \frac{V_{GS}}{V_P} \right] \left[\frac{d}{dV_{GS}} (1) - \frac{1}{V_P} \frac{dV_{GS}}{dV_{GS}} \right] = 2I_{DSS} \left[1 - \frac{V_{GS}}{V_P} \right] \left[0 - \frac{1}{V_P} \right] \\
 \text{y} \quad &\boxed{g_m = \frac{2I_{DSS}}{|V_P|} \left[1 - \frac{V_{GS}}{V_P} \right]} \quad (9.4)
 \end{aligned}$$

donde $|V_P|$ denota la magnitud, sólo con objeto de asegurar un valor positivo de g_m .

Ya se mencionó que la pendiente de la curva de transferencia es un máximo cuando $V_{GS} = 0$ V. Sustituyendo $V_{GS} = 0$ V en la ecuación (9.4) se obtiene la siguiente ecuación del valor máximo de g_m para un JFET, en el cual se han especificado I_{DSS} y V_P .

$$g_m = \frac{2I_{DSS}}{|V_P|} \left[1 - \frac{0}{V_P} \right]$$

$$\text{y} \quad \boxed{g_{m0} = \frac{2I_{DSS}}{|V_P|}} \quad (9.5)$$

donde el subíndice 0 que se añadió recuerda que se trata del valor de g_m cuando $V_{GS} = 0$ V. Entonces la ecuación (9.4) se convierte en

$$\boxed{g_m = g_{m0} \left[1 - \frac{V_{GS}}{V_P} \right]} \quad (9.6)$$

EJEMPLO 9.2

Para el JFET que tiene las características de transferencia del ejemplo 9.1,

- Encontrar el valor máximo de g_m .
- Encontrar el valor de g_m en cada punto de operación del ejemplo 9.1 utilizando la ecuación (9.6) y comparar con los resultados gráficos.

Solución

$$\text{a) } g_{m0} = \frac{2I_{DSS}}{|V_P|} = \frac{2(8\text{ mA})}{4\text{ V}} = 4\text{ mS} \quad (\text{máximo valor posible de } g_m)$$

b) Cuando $V_{GS} = -0.5$ V,

$$g_m = g_{m0} \left[1 - \frac{V_{GS}}{V_P} \right] = 4\text{ mS} \left[1 - \frac{-0.5\text{ V}}{-4\text{ V}} \right] = 3.5\text{ mS} \quad (\text{contra } 3.5\text{ mS de la solución gráfica})$$

Cuando $V_{GS} = -1.5 \text{ V}$,

$$g_m = g_{m0} \left[1 - \frac{V_{GS}}{V_P} \right] = 4 \text{ mS} \left[1 - \frac{-1.5 \text{ V}}{-4 \text{ V}} \right] = 2.5 \text{ mS} \quad (\text{contra } 2.57 \text{ mS de la solución gráfica})$$

Cuando $V_{GS} = -2.5 \text{ V}$,

$$g_m = g_{m0} \left[1 - \frac{V_{GS}}{V_P} \right] = 4 \text{ mS} \left[1 - \frac{-2.5 \text{ V}}{-4 \text{ V}} \right] = 1.5 \text{ mS} \quad (\text{contra } 1.5 \text{ mS de la solución gráfica})$$

Los resultados del ejemplo 9.2 de hecho son lo suficientemente cercanos como para validar la ecuación (9.4) a (9.6), para usos en el futuro cuando se requiera g_m .

En las hojas de especificaciones, g_m se proporciona como y_{fs} donde la y indica que es parte de un circuito equivalente de admitancia. La f significa que es un parámetro de transferencia directa (*forward*) y la s revela que está conectada con la terminal de la fuente (*source*).

En forma de ecuación,

$$g_m = y_{fs} \quad (9.7)$$

Para el JFET de la figura 5.18, y_{fs} está en el rango desde 1000 a 5000 μS o de 1 a 5 mS.

Gráfica de g_m en función de V_{GS}

Debido a que el factor $\left(1 - \frac{V_{GS}}{V_P} \right)$ de la ecuación (9.6) es menor que 1 para cualquier valor de V_{GS} diferente de 0 V, la magnitud de g_m se reducirá mientras V_{GS} se aproxime a V_P y la relación $\frac{V_{GS}}{V_P}$ se incrementa en magnitud. Cuando $V_{GS} = V_P$, $g_m = g_{m0}(1 - 1) = 0$. La ecuación (9.6) define una línea recta con un valor mínimo de 0 y un valor máximo de g_m como se muestra en la gráfica de la figura 9.3.

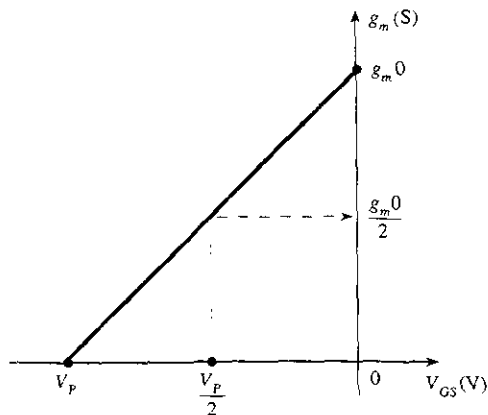


Figura 9.3 Gráfica de g_m en función de V_{GS} .

La figura 9.3 también indica que cuando V_{GS} es igual a la mitad del valor de estrechamiento, g_m tendrá únicamente la mitad del valor máximo.

Graficar g_m en función de V_{GS} para el JFET de los ejemplos 9.1 y 9.2.

EJEMPLO 9.3

Solución

Obsérvese la figura 9.4.

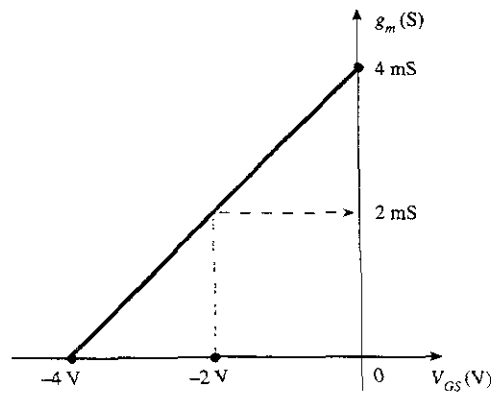


Figura 9.4 Gráfica de g_m en función de V_{GS} para un JFET con $I_{DSS} = 8 \text{ mA}$ y $V_P = -4 \text{ V}$.

Impacto de I_D sobre g_m

Puede derivarse una relación matemática entre g_m y la corriente de polarización I_D al observar que la ecuación de Shockley puede escribirse de la siguiente manera:

$$1 - \frac{V_{GS}}{V_P} = \sqrt{\frac{I_D}{I_{DSS}}} \quad (9.8)$$

Al sustituir la ecuación (9.8) en la ecuación (9.6) se obtiene

$$g_m = g_{m0} \left(1 - \frac{V_{GS}}{V_P} \right) = g_{m0} \sqrt{\frac{I_D}{I_{DSS}}} \quad (9.9)$$

Al utilizar la ecuación (9.9) para determinar g_m para algunos valores específicos de I_D , los resultados son

a) Si $I_D = I_{DSS}$,

$$g_m = g_{m0} \sqrt{\frac{I_{DSS}}{I_{DSS}}} = g_{m0}$$

b) Si $I_D = I_{DSS}/2$,

$$g_m = g_{m0} \sqrt{\frac{I_{DSS}/2}{I_{DSS}}} = 0.707 g_{m0}$$

c) Si $I_D = I_{DSS}/4$,

$$g_m = g_{m0} \sqrt{\frac{I_{DSS}/4}{I_{DSS}}} = \frac{g_{m0}}{2} = 0.5 g_{m0}$$

EJEMPLO 9.4

Graficar g_m en función de I_D para el JFET de los ejemplos 9.1 a 9.3.

Solución

Ver figura 9.5.

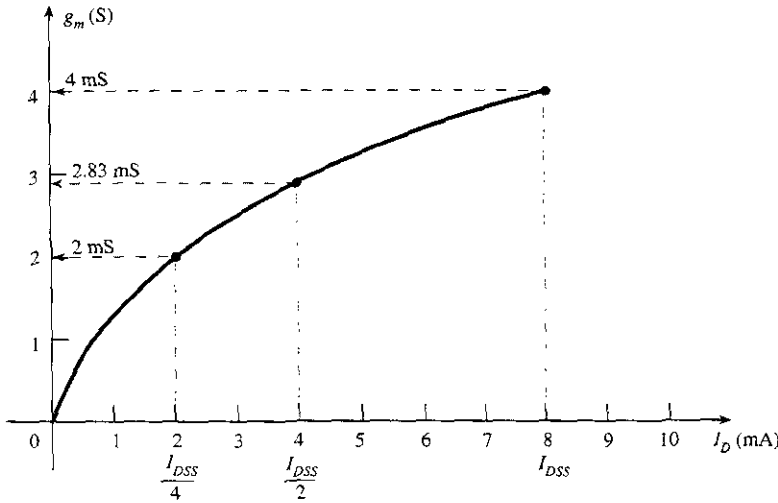


Figura 9.5 Gráfica de g_m en función de I_D para un JFET con $I_{DSS} = 8 \text{ mA}$ y $V_{GS} = -4 \text{ V}$.

Las gráficas de los ejemplos 9.3 y 9.4 revelan con claridad que los valores más altos de g_m se obtienen cuando V_{GS} se aproxima a 0 V e I_D a su valor máximo de I_{DSS} .

Impedancia de entrada Z_i del FET

La impedancia de entrada de todos los FET disponibles en el mercado es lo suficientemente grande para suponer que las terminales de entrada son similares a un circuito abierto. En forma de ecuación,

$$Z_i (\text{FET}) = \infty \Omega \quad (9.10)$$

Así como para un JFET un valor práctico de $10^9 \Omega$ (1000 M Ω) es un valor característico, un valor entre 10^{12} y $10^{15} \Omega$ es típico de los MOSFET.

Impedancia de salida Z_o del FET

La impedancia de salida de los FET es similar en magnitud a la de los BJT convencionales. En las hojas de especificaciones de los FET la impedancia de salida aparecerá normalmente como y_{os} con las unidades de μS . El parámetro y_{os} es un componente de un *circuito equivalente de admitancia* y el subíndice o significa un parámetro de salida de la red (*output*) y s la terminal fuente (*source*) a la cual está asignada en el modelo. Para el JFET de la figura 5.18, y_{os} tiene un rango entre 10 y 50 μS o 20 k Ω ($R = 1/G = 1/50 \mu\text{S}$) y 100 k Ω ($R = 1/G = 1/10 \mu\text{S}$).

En forma de ecuación,

$$Z_o (\text{FET}) = r_d = \frac{1}{y_{os}} \quad (9.11)$$

Con base en la figura 9.6 puede definirse la impedancia de salida como la pendiente de la curva horizontal característica en el punto de operación. Mientras más horizontal sea la curva, mayor será la impedancia de salida. Cuando la curva es perfectamente horizontal, se tendrá la situación ideal pues será la impedancia de salida (un circuito abierto) infinita; esta es una aproximación que se utiliza a menudo.

En forma de ecuación,

$$r_d = \left. \frac{\Delta V_{DS}}{\Delta I_D} \right|_{V_{GS} = \text{constante}} \quad (9.12)$$

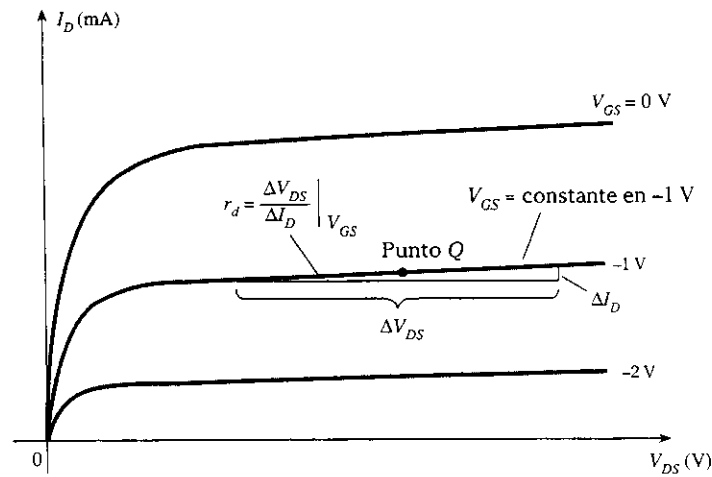


Figura 9.6 Definición de r_d utilizando las características de drenaje del FET.

Obsérvese que al aplicar la ecuación (9.12) el voltaje V_{GS} permanece constante cuando se calcula r_d . Esto se logra dibujando una línea recta aproximada a la línea V_{GS} en el punto de operación. Luego se selecciona un ΔV_{DS} o ΔI_D y se mide la otra cantidad para utilizarse en la ecuación.

EJEMPLO 9.5

Determinar la impedancia de salida para el FET de la figura 9.7 para $V_{GS} = 0$ V y $V_{GS} = -2$ V cuando $V_{DS} = 8$ V.

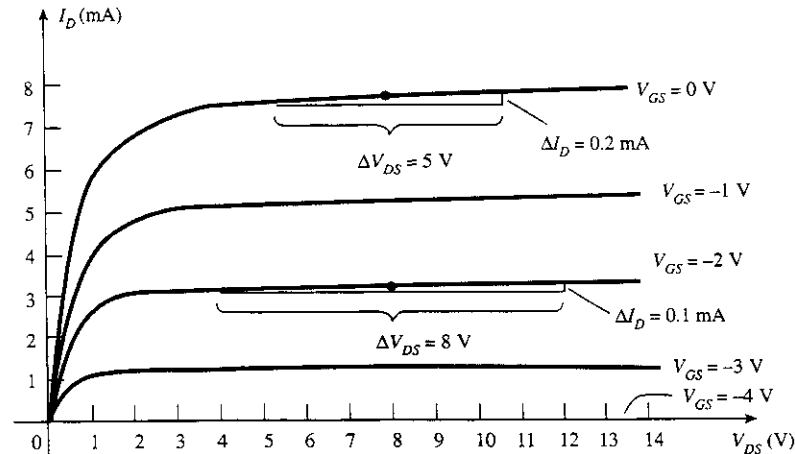


Figura 9.7 Características del drenaje de uso para calcular r_d en el ejemplo 9.5.

Solución

Para $V_{GS} = 0$ V se dibuja una línea tangente y se selecciona ΔV_{DS} como de 5 V y así se obtiene un ΔI_D de 0.2 mA. Sustituyendo en la ecuación (9.12),

$$r_d = \left. \frac{\Delta V_{DS}}{\Delta I_D} \right|_{V_{GS}=0 \text{ V}} = \frac{5}{0.2 \text{ mA}} = 25 \text{ k}\Omega$$

Para $V_{GS} = -2$ V se dibuja una línea tangente y se selecciona ΔV_{DS} como de 8 V y así se obtiene un ΔI_D de 0.1 mA. Sustituyendo en la ecuación (9.12),

$$r_d = \left. \frac{\Delta V_{DS}}{\Delta I_D} \right|_{V_{GS} = -2 \text{ V}} = \frac{8 \text{ V}}{0.1 \text{ mA}} = 80 \text{ k}\Omega$$

lo cual muestra que r_d sí cambia entre una región de operación y la otra, y que comúnmente se presentan los valores más pequeños en los niveles bajos de V_{GS} (más cercanos a 0 V).

Circuito equivalente en ac del FET

Una vez presentados y discutido los parámetros importantes de un circuito equivalente de ac, puede construirse un modelo para el transistor FET en el dominio de ac. El control de I_d mediante V_{gs} se encuentra incluido como una fuente de corriente $g_m V_{gs}$ conectada desde el drenaje a la fuente como se muestra en la figura 9.8. La fuente de corriente tiene su flecha apuntando del drenaje hacia la fuente para establecer un cambio de fase de 180° entre los voltajes de salida y de entrada como sucederá con la operación real.

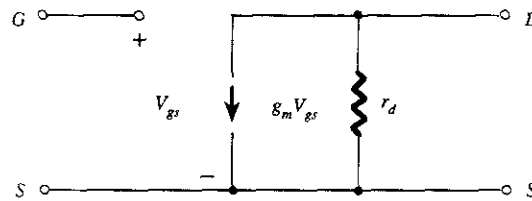


Figura 9.8 Circuito para equivalente de ac del FET.

La impedancia de entrada está representada por el circuito abierto en las terminales de entrada y la impedancia de salida por medio del resistor r_d desde el drenaje hacia la fuente. Obsérvese que el voltaje fuente se representa ahora mediante V_{gs} (subíndices en minúscula) para distinguirlo de los niveles dc. Además, la corriente es común tanto para los circuitos de entrada como de salida, mientras que las terminales de la compuerta y el drenaje sólo están en “contacto” mediante la fuente de corriente controlada $g_m V_{gs}$.

En las situaciones donde se ignora r_d (se supone que es lo suficientemente grande respecto a los otros elementos de la red como para aproximarla por medio de un circuito abierto), el circuito equivalente es una fuente de corriente cuya magnitud se controla por medio de la señal V_{gs} y el parámetro g_m , el cual claramente representa un dispositivo controlado por voltaje.

Dados $y_{fs} = 3.8 \text{ mS}$ y $y_{os} = 20 \text{ }\mu\text{S}$, dibujar el modelo en ac del FET.

EJEMPLO 9.6

Solución

$$g_m = y_{fs} = 3.8 \text{ mS} \quad \text{y} \quad r_d = \frac{1}{y_{os}} = \frac{1}{20 \text{ }\mu\text{S}} = 50 \text{ k}\Omega$$

lo cual da por resultado el modelo equivalente en ac de la figura 9.9.

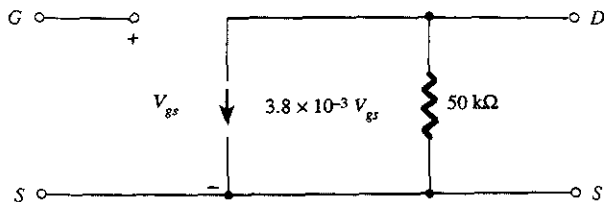


Figura 9.9 Modelo para equivalente de ac del FET para el ejemplo 9.6.

9.3 CONFIGURACIÓN DE POLARIZACIÓN FIJA PARA EL JFET

Ahora que se ha definido el circuito equivalente para FET, se investigarán una serie de configuraciones de FET básicas a pequeña señal. El método será similar al análisis en ac de los amplificadores BJT acompañados de una determinación de los parámetros importantes de Z_i , Z_o y A_v para cada configuración.

La configuración de *polarización fija* de la figura 9.10 incluye los capacitores de acoplamiento C_1 y C_2 que tienen por objeto aislar el arreglo de polarización de la señal y carga aplicados; se consideran como cortos circuitos equivalentes para el análisis en ac.

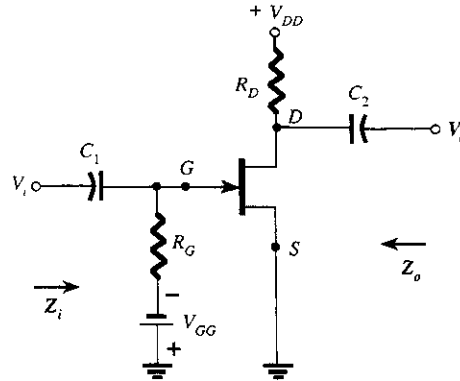


Figura 9.10 Configuración JFET con polarización fija.

Una vez calculados los niveles de g_m y r_d a partir del arreglo de polarización de la hoja de especificaciones, o de las características, el modelo equivalente en ac puede sustituirse entre las terminales adecuadas como se muestra en la figura 9.11. Ambos capacitores tienen el equivalente de corto circuito porque la reactancia $X_C = 1/(2\pi fC)$ es pequeña comparada con los otros niveles de impedancia de la red, y las baterías V_{GG} y V_{DD} se hacen cero volts mediante un corto circuito equivalente.

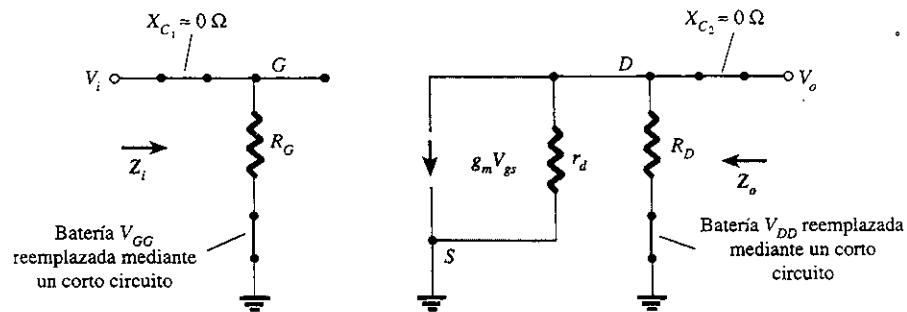


Figura 9.11 Sustitución del circuito equivalente del JFET en la red de la figura 9.10.

Luego se redibuja con cuidado la red de la figura 9.11 como se muestra en la figura 9.12. Se observa la polaridad definida mediante V_{gs} , la cual define la dirección de $g_m V_{gs}$. Cuando V_{gs} es negativo, la dirección de la fuente de corriente se invierte. La señal aplicada se representa mediante V_i y la señal de salida a través de R_D se representa mediante V_o .

Z_i : La figura 9.12 revela con claridad que

$$Z_i = R_G \quad (9.13)$$

debido a la equivalencia de circuito abierto en las terminales de entrada del JFET.

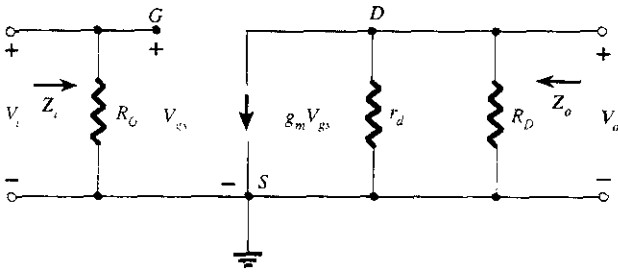


Figura 9.12 Redibujo de la red de la figura 9.11.

Z_o : Al hacer $V_i = 0$ V como se requiere debido a la definición de Z_o , V_{gs} se hará 0 V también. El resultado es $g_m V_{gs} = 0$ mA y la fuente de corriente puede reemplazarse mediante un circuito abierto equivalente, como se muestra en la figura 9.13. La impedancia de salida es

$$Z_o = R_D \parallel r_d \quad (9.14)$$

Si la resistencia r_d es suficientemente grande (por lo menos 10:1) comparada contra R_D , a menudo puede aplicarse la aproximación $r_d \parallel R_D \cong R_D$ y

$$Z_o \cong R_D \quad r_d \geq 10R_D \quad (9.15)$$

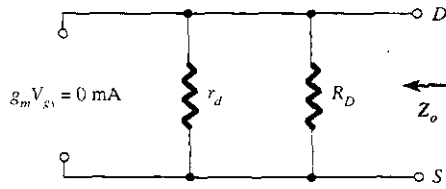


Figura 9.13 Determinación de Z_o .

A_v : Resolviendo V_o en la figura 9.12, se encuentra

$$V_o = -g_m V_{gs} (r_d \parallel R_D)$$

pero

$$V_{gs} = V_i$$

y

$$V_o = -g_m V_i (r_d \parallel R_D)$$

de tal forma que

$$A_v = \frac{V_o}{V_i} = -g_m (r_d \parallel R_D) \quad (9.16)$$

Si $r_d \geq 10R_D$:

$$A_v = \frac{V_o}{V_i} = -g_m R_D \quad r_d \geq 10R_D \quad (9.17)$$

Relación de la fase: El signo negativo en la ecuación obtenida para A_v revela con claridad un cambio de fase de 180° entre los voltajes de entrada y de salida.

EJEMPLO 9.7

La configuración de polarización fija del ejemplo 6.1 tuvo un punto de operación definido mediante $V_{GS_Q} = -2$ V e $I_{D_Q} = 5.625$ mA con $I_{DSS} = 10$ mA y $V_p = -8$ V. Se redibuja la red según la figura 9.14 con una señal aplicada V_i . El valor de y_{os} se proporciona como $40 \mu\text{S}$.

- Determinar g_m .
- Encontrar r_d .
- Determinar Z_i .
- Calcular Z_o .
- Determinar la ganancia de voltaje A_v .
- Determinar A_v ignorando los efectos de r_d .

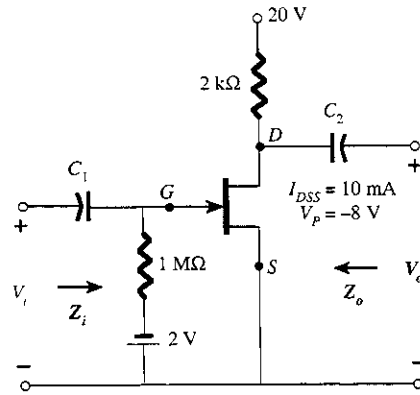


Figura 9.14 Configuración JFET para el ejemplo 9.7.

Solución

$$\text{a) } g_{m0} = \frac{2I_{DSS}}{|V_p|} = \frac{2(10 \text{ mA})}{8 \text{ V}} = 2.5 \text{ mS}$$

$$g_m = g_{m0} \left(1 - \frac{V_{GS_Q}}{V_p} \right) = 2.5 \text{ mS} \left(1 - \frac{(-2 \text{ V})}{(-8 \text{ V})} \right) = 1.88 \text{ mS}$$

$$\text{b) } r_d = \frac{1}{y_{os}} = \frac{1}{40 \mu\text{S}} = 25 \text{ k}\Omega$$

$$\text{c) } Z_i = R_G = 1 \text{ M}\Omega$$

$$\text{d) } Z_o = R_D \parallel r_d = 2 \text{ k}\Omega \parallel 25 \text{ k}\Omega = 1.85 \text{ k}\Omega$$

$$\text{e) } A_v = -g_m(R_D \parallel r_d) = -(1.88 \text{ mS})(1.85 \text{ k}\Omega) = -3.48$$

$$\text{f) } A_v = -g_m R_D = -(1.88 \text{ mS})(2 \text{ k}\Omega) = -3.76$$

Como se demostró en el inciso (f), se obtuvo una relación de $25 \text{ k}\Omega : 2 \text{ k}\Omega = 12.5 : 1$ entre r_d y R_D en una diferencia del 8% en la solución.

9.4 CONFIGURACIÓN DE AUTOPOLARIZACIÓN PARA EL JFET

R_S con desvío

La configuración de polarización fija tiene la desventaja de necesitar dos fuentes de voltaje dc. La configuración de *autopolarización* de la figura 9.15 requiere sólo de una fuente para establecer el punto de operación deseado.

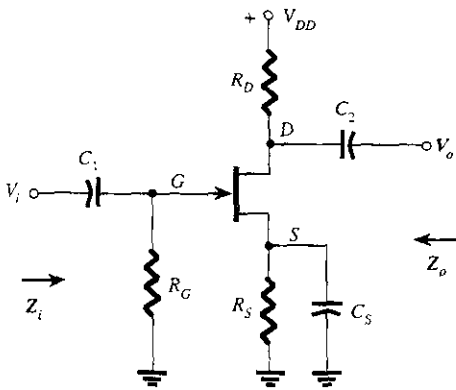


Figura 9.15 Configuración JFET con autopolarización.

El capacitor C_S a través de la resistencia de la fuente es un corto circuito equivalente para dc, lo cual permite que R_S defina el punto de operación. Bajo condiciones de ac el capacitor asume el estado de corto circuito y hace "corto circuito" en los efectos de R_S . Si se deja en ac, se reducirá la ganancia según se muestra a continuación.

El circuito equivalente a JFET se establece en la figura 9.16 y se redibuja con cuidado en la figura 9.17.

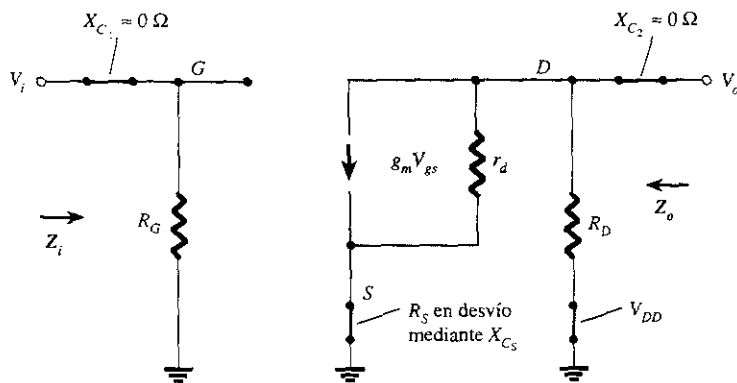


Figura 9.16 Red de la figura 9.15 después de la sustitución del circuito equivalente de ac para el JFET.

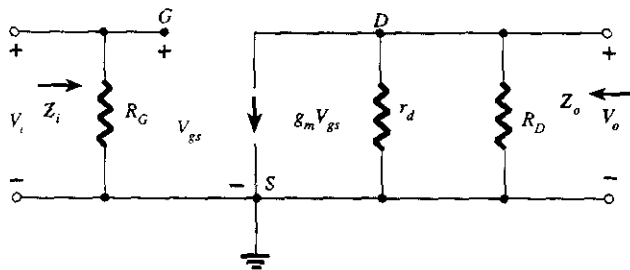


Figura 9.17 Redibujo de la red de la figura 9.16.

Debido a que la configuración que se obtiene es la misma que aparece en la figura 9.12, las ecuaciones resultantes para Z_i , Z_o y A_v serán las mismas.

Z_i :

$$\boxed{Z_i = R_G} \quad (9.18)$$

Z_o :

$$Z_o = r_d \parallel R_D \quad (9.19)$$

Si $r_d \geq 10R_D$,

$$Z_o \cong R_D \quad r_d \geq 10R_D \quad (9.20)$$

A_v :

$$A_v = -g_m(r_d \parallel R_D) \quad (9.21)$$

Si $r_d \geq 10R_D$,

$$A_v = -g_m R_D \quad r_d \geq 10R_D \quad (9.22)$$

Relación de la fase: El signo negativo en las soluciones para A_v de nuevo indica un cambio de fase de 180° entre V_i y V_o .

R_S sin desvío

Si se elimina C_s de la figura 9.15, la resistencia R_S será parte del circuito equivalente de ac, como se aprecia en la figura 9.18. En este caso no existe una manera obvia de reducir la red con objeto de bajar su nivel de complejidad. Al determinar los niveles de Z_i , Z_o y A_v , es necesario ser muy cuidadoso con la notación, las polaridades y la dirección definidas.

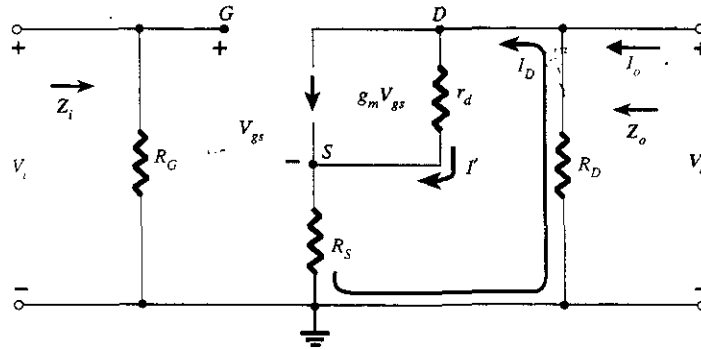


Figura 9.18 Configuración JFET con autopolarización incluyendo los efectos de R_S .

Z_i : Debido a la condición de circuito abierto entre la compuerta y la red de salida, la entrada permanece de la siguiente manera:

$$Z_i = R_G \quad (9.23)$$

Z_o : La impedancia de salida está definida mediante

$$Z_o = \left. \frac{V_o}{I_o} \right|_{V_i=0}$$

Al hacer $V_i = 0$ V en la figura 9.18 se obtiene el circuito que se muestra en la figura 9.19, debido a que la terminal de la compuerta y la tierra estarán con el mismo potencial. En otras palabras, establecer el voltaje a través de R_G igual a 0 V es como "cortar" los efectos de R_G .

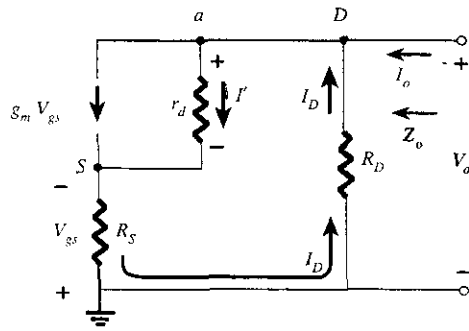


Figura 9.19 Determinación de Z_o para la configuración JFET con autopolarización incluyendo los efectos de R_S y r_d .

El voltaje V_o está definido mediante

$$V_o = -I_D R_D$$

con

$$V_{gs} = -I_D R_S$$

El voltaje a través de r_d puede encontrarse al aplicar la ley de voltaje de Kirchhoff de la siguiente manera:

$$-V_{gs} + V_{r_d} - V_o = 0$$

o

$$V_{r_d} = V_o + V_{gs}$$

y

$$I' = \frac{V_{r_d}}{r_d} = \frac{V_o + V_{gs}}{r_d} = \frac{-I_D R_D - I_D R_S}{r_d} = -I_D \left[\frac{R_D + R_S}{r_d} \right]$$

Al aplicar la ley de corriente de Kirchhoff en el nodo a ,

$$I_o + I_D = I' + g_m V_{gs}$$

o

$$\begin{aligned} I_o &= I' + g_m V_{gs} - I_D = -I_D \left[\frac{R_D + R_S}{r_d} \right] + g_m [-I_D R_S] - I_D \\ &= -I_D \left[1 + g_m R_S + \frac{R_D + R_S}{r_d} \right] \end{aligned}$$

y

$$Z_o = \frac{V_o}{I_o} = \frac{-I_D R_D}{-I_D \left[1 + g_m R_S + \frac{R_D + R_S}{r_d} \right]}$$

de manera que

$$Z_o = \frac{R_D}{1 + g_m R_S + \frac{R_D + R_S}{r_d}} \quad (9.24)$$

Para $r_d \geq 10(R_D + R_S)$, pueden ignorarse los efectos de r_d ; por tanto,

$$Z_o = \frac{R_D}{1 + g_m R_S} \quad r_d \geq 10(R_D + R_S) \quad (9.25)$$

A_v: Para la red de la figura 9.18, la aplicación de la ley de voltaje de Kirchhoff sobre el circuito de entrada tendrá como consecuencia:

$$V_i - V_{gs} - V_{R_S} = 0$$

o

$$V_{gs} = V_i - I_D R_S$$

9.4 Configuración de autopolarización para el JFET

El voltaje a través de r_d empleando la ley de voltaje de Kirchhoff es

$$V_o - V_{R_S}$$

y

$$I' = \frac{V_o - V_{R_S}}{r_d}$$

de manera que una aplicación de la ley de voltaje de Kirchhoff dará

$$I_D = g_m V_{gs} + \frac{V_o - V_{R_S}}{r_d}$$

Al sustituir la V_{gs} de arriba y sustituyendo V_o y V_{R_S} se tiene

$$I_D = g_m [V_i - I_D R_S] + \frac{(-I_D R_D) - (I_D R_S)}{r_d}$$

de modo que

$$I_D \left[1 + g_m R_S + \frac{R_D + R_S}{r_d} \right] = g_m V_i$$

o

$$I_D = \frac{g_m V_i}{1 + g_m R_S + \frac{R_D + R_S}{r_d}}$$

Entonces el voltaje de salida es

$$V_o = -I_D R_D = - \frac{g_m R_D V_i}{1 + g_m R_S + \frac{R_D + R_S}{r_d}}$$

y

$$A_v = \frac{V_o}{V_i} = - \frac{g_m R_D}{1 + g_m R_S + \frac{R_D + R_S}{r_d}} \quad (9.26)$$

De nuevo, si $r_d \geq 10(R_D + R_S)$,

$$A_v = \frac{V_o}{V_i} = - \frac{g_m R_D}{1 + g_m R_S} \quad r_d \geq 10(R_D + R_S) \quad (9.27)$$

Relación de la fase: El signo negativo en la ecuación (9.26) indica que existirá un cambio de fase de 180° entre V_i y V_o .

EJEMPLO 9.8

La configuración de autopolarización del ejemplo 6.2 tiene un punto de operación definido mediante $V_{GS_Q} = -2.6$ V e $I_{D_Q} = 2.6$ mA con $I_{DSS} = 8$ mA y $V_p = -6$ V. La red se redibuja según la figura 9.20 con una señal aplicada de V_i . El valor de y_{os} está dado como $20 \mu S$.

- Determinar g_m .
- Encontrar r_d .
- Encontrar Z_i .
- Calcular Z_o con y sin los efectos de r_d . Comparar los resultados.
- Calcular A_v con y sin los efectos de r_d . Comparar los resultados.

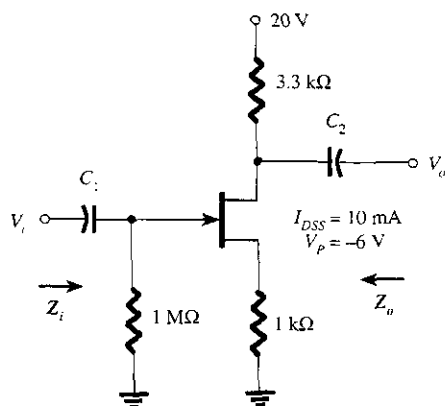


Figura 9.20 Red para el ejemplo 9.8.

Solución

$$a) \quad g_{m0} = \frac{2I_{DSS}}{|V_P|} = \frac{2(8 \text{ mA})}{6 \text{ V}} = 2.67 \text{ mS}$$

$$g_m = g_{m0} \left(1 - \frac{V_{GSQ}}{V_P} \right) = 2.67 \text{ mS} \left(1 - \frac{(-2.6 \text{ V})}{(-6 \text{ V})} \right) = 1.51 \text{ mS}$$

$$b) \quad r_d = \frac{1}{y_{os}} = \frac{1}{20 \mu\text{S}} = 50 \text{ k}\Omega$$

$$c) \quad Z_i = R_G = 1 \text{ M}\Omega$$

d) Con r_d :

$$Z_o = \frac{R_D}{1 + g_m R_S + \frac{R_D + R_S}{r_d}} = \frac{3.3 \text{ k}\Omega}{1 + (1.51 \text{ mS})(1 \text{ k}\Omega) + \frac{3.3 \text{ k}\Omega + 1 \text{ k}\Omega}{50 \text{ k}\Omega}}$$

$$= \frac{3.3 \text{ k}\Omega}{1 + 1.51 + 0.086} = \frac{3.3 \text{ k}\Omega}{2.596} = 1.27 \text{ k}\Omega$$

Sin r_d :

$$Z_o = \frac{R_D}{1 + g_m R_S} = \frac{3.3 \text{ k}\Omega}{1 + 1.51} = \frac{3.3 \text{ k}\Omega}{2.51}$$

$$= 1.31 \text{ k}\Omega = 1.31 \text{ k}\Omega$$

Si se revisa la condición $r_d \geq 10(R_D + R_S)$ se encontrará que ya está satisfecha. Esto es, $50 \text{ k}\Omega \geq 10(3.3 \text{ k}\Omega + 1 \text{ k}\Omega)$ y $50 \text{ k}\Omega \geq 43 \text{ k}\Omega$ se satisface, indicando que r_d tendrá el mínimo impacto sobre Z_o . Los resultados indican que así es. También se observa que Z_o no es igual a R_D , la cual es una suposición que a menudo se aplica de manera incorrecta. En este caso, el nivel correcto es menor que la mitad del valor definido solamente por R_D .

e) Con r_d :

$$A_v = \frac{-g_m R_D}{1 + g_m R_S + \frac{R_D + R_S}{r_d}} = \frac{-(1.51 \text{ mS})(3.3 \text{ k}\Omega)}{1 + (1.51 \text{ mS})(1 \text{ k}\Omega) + \frac{3.3 \text{ k}\Omega + 1 \text{ k}\Omega}{50 \text{ k}\Omega}}$$

$$= -1.92$$

Sin r_d :

$$A_v = \frac{-g_m R_D}{1 + g_m R_S} = \frac{-(1.51 \text{ mS})(3.3 \text{ k}\Omega)}{1 + (1.51 \text{ mS})(1 \text{ k}\Omega)} = -1.98$$

Como antes, el efecto de r_d fue mínimo debido a que la condición $r_d \geq 10(R_D + R_S)$ se cumplió.

La ganancia típica de un amplificador JFET es menor que la que normalmente se encuentra para los BJT de configuraciones similares. Sin embargo, debe tenerse en cuenta que Z_i es varias veces mayor que la Z_i típica de un BJT, lo cual tendrá un efecto muy positivo sobre la ganancia total de un sistema.

9.5 CONFIGURACIÓN DE DIVISOR DE VOLTAJE PARA EL JFET

La configuración de divisor de voltaje para los BJT también puede aplicarse a los JFET, como se demostró en la figura 9.21.

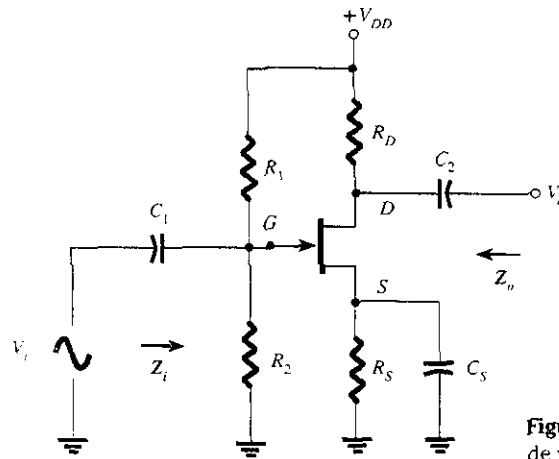


Figura 9.21 Configuración JFET mediante divisor de voltaje.

Al sustituir el modelo equivalente de ac para el IFET se obtendrá la configuración de la figura 9.22. Reemplazando la fuente V_{DD} por un corto circuito equivalente conectado a tierra una terminal de R_1 y R_D . Debido a que cada red tiene una tierra común, R_1 queda en paralelo con R_2 , como se muestra en la figura 9.23. R_D también puede conectarse a la tierra, pero en el circuito de salida a través de r_d . La red equivalente en ac que se obtiene ahora tiene el formato básico de alguna de las redes ya analizadas.

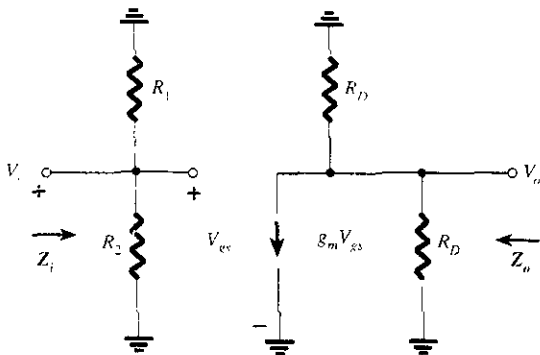


Figura 9.22 Red de la figura 9.21 bajo condiciones de ac.

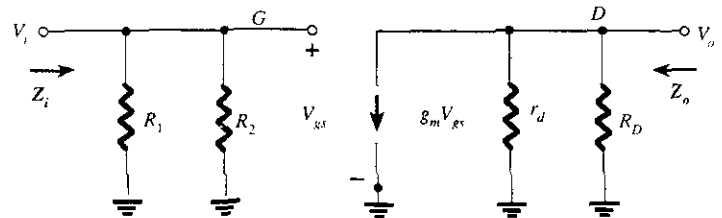


Figura 9.23 Redibujo de la red de la figura 9.22.

Z_i : R_1 y R_2 están en paralelo con el cual se obtiene el equivalente de circuito abierto del JFET

$$Z_i = R_1 \parallel R_2 \quad (9.28)$$

Z_o : Al hacer $V_i = 0$ V se fijarán V_{gs} y $g_m V_{gs}$ cero y

$$Z_o = r_d \parallel R_D \quad (9.29)$$

Para $r_d \geq 10R_D$.

$$Z_o \cong R_D \quad r_d \geq 10R_D \quad (9.30)$$

A_v :

$$V_{gs} = V_i$$

y

$$V_o = -g_m V_{gs} (r_d \parallel R_D)$$

de modo que

$$A_v = \frac{V_o}{V_i} = \frac{-g_m V_{gs} (r_d \parallel R_D)}{V_{gs}}$$

y

$$A_v = \frac{V_o}{V_i} = -g_m (r_d \parallel R_D) \quad (9.31)$$

Si $r_d \geq 10R_D$,

$$A_v = \frac{V_o}{V_i} \cong -g_m R_D \quad r_d \geq 10R_D \quad (9.32)$$

Se observa que las ecuaciones para Z_o y A_v son las mismas que las obtenidas para las configuraciones de polarización fija y autopolarización (con R_S en desvío). La única diferencia es la ecuación para Z_i que ahora es sensible a la combinación en paralelo de R_1 y R_2 .

9.6 CONFIGURACIÓN FUENTE-SEGUIDOR (DRENAJE COMÚN) PARA EL JFET

El equivalente a JFET de la configuración emisor-seguiror BJT es la configuración fuente-seguiror de la figura 9.24. Obsérvese que la salida se toma de la terminal de la fuente y cuando se reemplaza la fuente dc por su corto circuito equivalente el drenaje se conecta a tierra (de ahí la terminología de drenaje común).

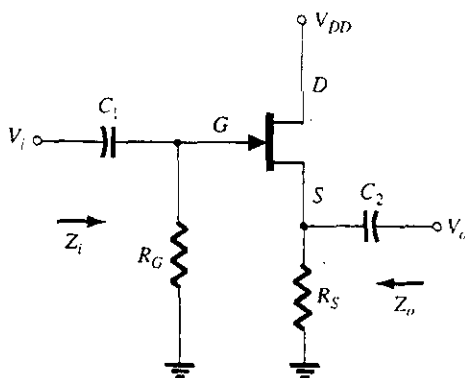


Figura 9.24 Configuración JFET fuente-seguiror.

Al sustituir el circuito equivalente del JFET se tiene la configuración de la figura 9.25. La fuente controlada y la impedancia interna de salida del JFET se encuentran en tierra en una terminal y a R_S en la otra junto con V_o a través de R_S . Debido a que $g_m V_{gs}$, r_d y R_S están conectados a la misma terminal y tierra, se pueden reemplazar por el circuito en paralelo que se muestra en la figura 9.26. La fuente de corriente invirtió su dirección, pero V_{gs} aún está definida entre las terminales de la compuerta y la fuente.

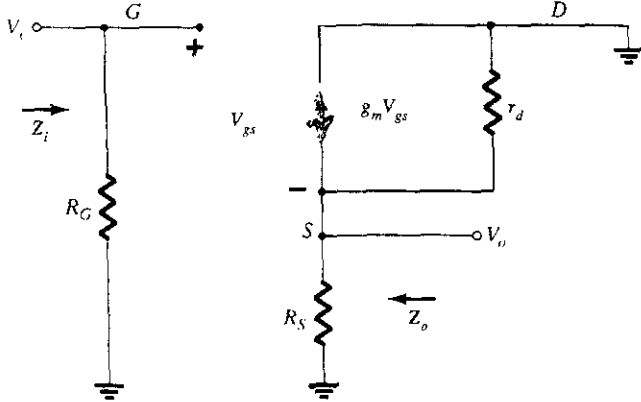


Figura 9.25 Red de la figura 9.24 después de la sustitución del modelo equivalente de ac para el JFET.

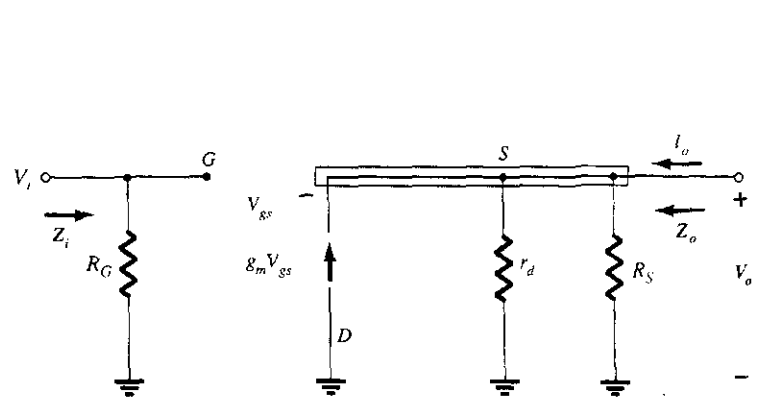


Figura 9.26 Redibujo de la red de la figura 9.25.

Z_i : La figura 9.26 indica con claridad que Z_i está definida por

$$Z_i = R_G \quad (9.33)$$

Z_o : Al hacer $V_i = 0$ V da por resultado que la terminal de la compuerta se conecte directamente a la tierra como se muestra en la figura 9.27. El hecho de que tanto V_{gs} como V_o se encuentren a través de la misma red en paralelo da por resultado $V_o = -V_{gs}$.

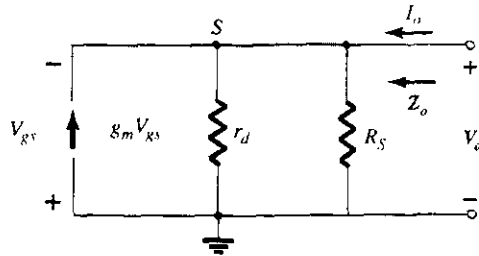


Figura 9.27 Determinación de Z_o para la red de la figura 9.24.

Al aplicar la ley de corriente de Kirchhoff en el nodo a ,

$$\begin{aligned} I_o + g_m V_{gs} &= I_{r_d} + I_{R_S} \\ &= \frac{V_o}{r_d} + \frac{V_o}{R_S} \end{aligned}$$

El resultado es

$$\begin{aligned} I_o &= V_o \left[\frac{1}{r_d} + \frac{1}{R_S} \right] - g_m V_{gs} \\ &= V_o \left[\frac{1}{r_d} + \frac{1}{R_S} \right] - g_m [-V_o] \\ &= V_o \left[\frac{1}{r_d} + \frac{1}{R_S} + g_m \right] \end{aligned}$$

$$y \quad Z_o = \frac{V_o}{I_o} = \frac{V_o}{V_o \left[\frac{1}{r_d} + \frac{1}{R_S} + g_m \right]} = \frac{1}{\frac{1}{r_d} + \frac{1}{R_S} + g_m} = \frac{1}{\frac{1}{r_d} + \frac{1}{R_S} + \frac{1}{1/g_m}}$$

la cual tiene el mismo formato que la resistencia total de las tres resistencias en paralelo. Por tanto,

$$\boxed{Z_o = r_d \parallel R_S \parallel 1/g_m} \quad (9.34)$$

Para $r_d \geq 10R_S$,

$$\boxed{Z_o \cong R_S \parallel 1/g_m} \quad r_d \geq 10R_S \quad (9.35)$$

A_v : El voltaje de salida V_o se encuentra determinado mediante

$$V_o = g_m V_{gs} (r_d \parallel R_S)$$

y al aplicar la ley de voltaje de Kirchhoff alrededor del perímetro de la red de la figura 9.26 se obtiene

$$V_i = V_{gs} + V_o$$

$$y \quad V_{gs} = V_i - V_o$$

de manera que

$$V_o = g_m (V_i - V_o) (r_d \parallel R_S)$$

$$o \quad V_o = g_m V_i (r_d \parallel R_S) - g_m V_o (r_d \parallel R_S)$$

$$y \quad V_o [1 + g_m (r_d \parallel R_S)] = g_m V_i (r_d \parallel R_S)$$

de modo que

$$\boxed{A_v = \frac{V_o}{V_i} = \frac{g_m (r_d \parallel R_S)}{1 + g_m (r_d \parallel R_S)}} \quad (9.36)$$

En caso de ausencia de r_d o en el caso de $r_d \geq 10R_S$,

$$\boxed{A_v = \frac{V_o}{V_i} \cong \frac{g_m R_S}{1 + g_m R_S}} \quad r_d \geq 10R_S \quad (9.37)$$

Debido a que el denominador de la ecuación (9.36) es mayor que el numerador por un factor de uno, la ganancia nunca puede ser igual o mayor a uno (como se encontró en la red BJT emisor-seguir).

Relación de la fase: Debido a que A_v de la ecuación (9.36) es una cantidad positiva, V_o y V_i se encuentran en fase para la configuración JFET emisor-seguir.

Un análisis dc de la red fuente-seguir de la figura 9.28 dará $V_{GS_Q} = -2.86 \text{ V}$ e $I_{D_Q} = 4.56 \text{ mA}$.

EJEMPLO 9.9

- Determinar g_m .
- Encontrar r_d .
- Determinar Z_i .
- Calcular Z_o con y sin r_d . Comparar los resultados.
- Calcular A_v con y sin r_d . Comparar los resultados.

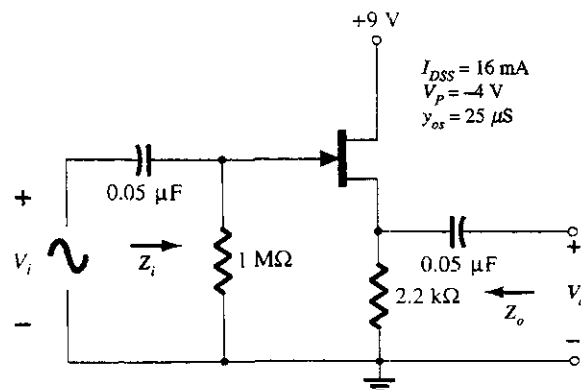


Figura 9.28 Red para el análisis del ejemplo 9.9.

Solución

$$a) \quad g_{m0} = \frac{2I_{DSS}}{|V_p|} = \frac{2(16 \text{ mA})}{4 \text{ V}} = 8 \text{ mS}$$

$$g_m = g_{m0} \left(1 - \frac{V_{GSQ}}{V_p} \right) = 8 \text{ mS} \left(1 - \frac{(-2.86 \text{ V})}{(-4 \text{ V})} \right) = 2.28 \text{ mS}$$

$$b) \quad r_d = \frac{1}{y_{os}} = \frac{1}{25 \mu\text{S}} = 40 \text{ k}\Omega$$

$$c) \quad Z_i = R_G = 1 \text{ M}\Omega$$

$$d) \quad \text{Con } r_d:$$

$$\begin{aligned} Z_o &= r_d \parallel R_S \parallel 1/g_m = 40 \text{ k}\Omega \parallel 2.2 \text{ k}\Omega \parallel 1/2.28 \text{ mS} \\ &= 40 \text{ k}\Omega \parallel 2.2 \text{ k}\Omega \parallel 438.6 \Omega \\ &= 362.52 \Omega \end{aligned}$$

lo cual revela que Z_o a menudo es relativamente pequeña y se calcula básicamente mediante $1/g_m$.

Sin r_d :

$$Z_o = R_S \parallel 1/g_m = 2.2 \text{ k}\Omega \parallel 438.6 \Omega = 365.69 \Omega$$

lo cual indica que r_d por lo general tiene poco impacto sobre Z_o .

$$e) \quad \text{Con } r_d:$$

$$\begin{aligned} A_v &= \frac{g_m(r_d \parallel R_S)}{1 + g_m(r_d \parallel R_S)} = \frac{(2.28 \text{ mS})(40 \text{ k}\Omega \parallel 2.2 \text{ k}\Omega)}{1 + (2.28 \text{ mS})(40 \text{ k}\Omega \parallel 2.2 \text{ k}\Omega)} \\ &= \frac{(2.28 \text{ mS})(2.09 \text{ k}\Omega)}{1 + (2.28 \text{ mS})(2.09 \text{ k}\Omega)} = \frac{4.77}{1 + 4.77} = 0.83 \end{aligned}$$

lo cual es menor que 1 como se predijo antes.

Sin r_d :

$$\begin{aligned} A_v &= \frac{g_m R_S}{1 + g_m R_S} = \frac{(2.28 \text{ mS})(2.2 \text{ k}\Omega)}{1 + (2.28 \text{ mS})(2.2 \text{ k}\Omega)} \\ &= \frac{5.02}{1 + 5.02} = 0.83 \end{aligned}$$

lo cual indica que r_d casi siempre tiene poco impacto en la ganancia de la configuración.

9.7 CONFIGURACIÓN DE COMPUERTA COMÚN PARA EL JFET

La última configuración JFET que se analizará con detalle es la configuración de compuerta común de la figura 9.29, la cual es paralela a la configuración de base común utilizada con los transistores BJT.

Al sustituir el circuito equivalente JFET se obtendrá la figura 9.30. Obsérvese la necesidad constante de que la fuente controlada $g_m V_{gs}$ esté conectada del drenaje a la fuente con r_d en paralelo. La aislación entre los circuitos de entrada y de salida obviamente se ha perdido debido a que la terminal de la compuerta ahora se encuentra conectada a la tierra común de la red. Además, el resistor conectado entre las terminales de entrada ya no es R_G sino el resistor R_S conectado de la fuente a la tierra. También se puede ver la localización del voltaje controlador V_{gs} y el hecho de que aparece directamente a través del resistor R_S .

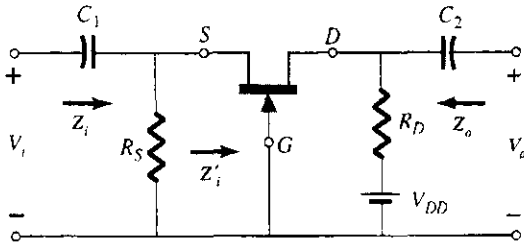


Figura 9.29 Configuración JFET de compuerta común.

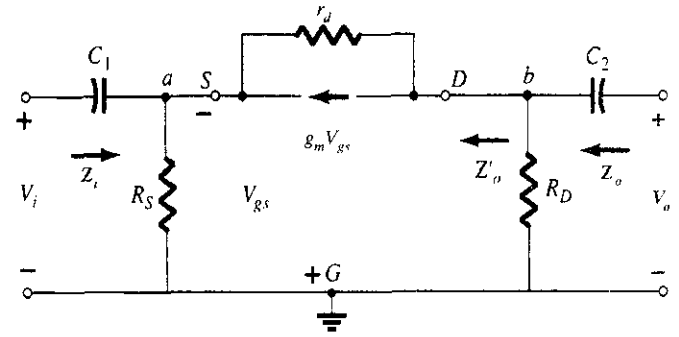


Figura 9.30 Red de la figura 9.29 después de la sustitución del modelo equivalente de ac para el JFET.

Z_i : El resistor R_S está directamente a través de las terminales que definen a Z_i . Por tanto, se encuentra la impedancia Z'_i de la figura 9.29, la cual simplemente estará en paralelo con R_S cuando se defina Z_i .

La red de interés se redibuja como la figura 9.31. El voltaje $V' = -V_{gs}$. Al aplicar la ley de voltaje de Kirchhoff alrededor del perímetro se salida de la red se obtiene

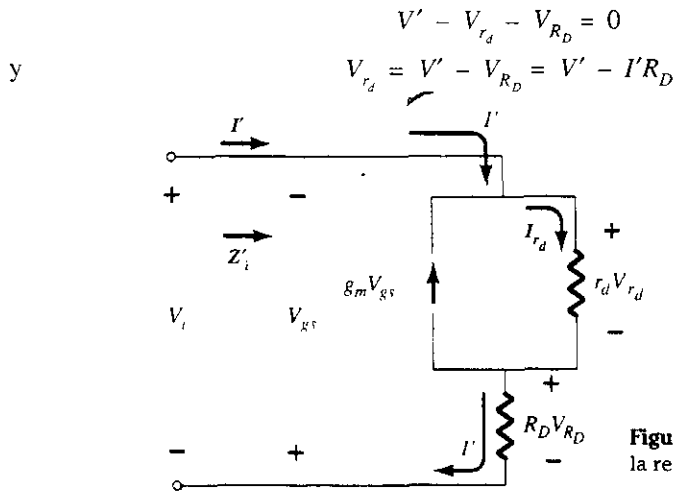


Figura 9.31 Determinación de Z'_i para la red de la figura 9.29.

Al aplicar la ley de corriente de Kirchhoff en el nodo a se obtiene

$$I' + g_m V_{gs} = I_{r_d}$$

$$I' = I_{r_d} - g_m V_{gs} = \frac{(V' - I' R_D)}{r_d} - g_m V_{gs}$$

$$I' = \frac{V'}{r_d} - \frac{I' R_D}{r_d} - g_m [-V']$$

$$\text{de modo que } I' \left[1 + \frac{R_D}{r_d} \right] = V' \left[\frac{1}{r_d} + g_m \right]$$

$$\text{y } Z'_i = \frac{V'}{I'} = \frac{\left[1 + \frac{R_D}{r_d} \right]}{\left[g_m + \frac{1}{r_d} \right]} \quad (9.38)$$

$$\text{o } Z'_i = \frac{V'}{I'} = \frac{r_d + R_D}{1 + g_m r_d}$$

y

$$Z_i = R_S \parallel Z'_i$$

la cual produce

$$Z_i = R_S \parallel \left[\frac{r_d + R_D}{1 + g_m r_d} \right] \quad (9.39)$$

Si $r_d \geq 10R_D$, la ecuación (9.38) permite la siguiente aproximación porque $R_D/r_d \ll 1$ y a que $1/r_d \ll g_m$:

$$Z'_i = \frac{\left[1 + \frac{R_D}{r_d} \right]}{\left[g_m + \frac{1}{r_d} \right]} \cong \frac{1}{g_m}$$

y

$$Z_i \cong R_S \parallel 1/g_m \quad r_d \geq 10R_D \quad (9.40)$$

Z_o: Sustituyendo $V_i = 0$ V en la figura 9.30 hará corto circuito en los efectos de R_S y hará V_{gs} a 0 V. El resultado es que $g_m V_{gs} = 0$ y que r_d estará en paralelo con R_D . Por tanto,

$$Z_o = R_D \parallel r_d \quad (9.41)$$

Para $r_d \geq 10R_D$,

$$Z_o \cong R_D \quad r_d \geq 10R_D \quad (9.42)$$

A_v: La figura 9.30 indica que

$$V_i = -V_{gs}$$

y

$$V_o = I_D R_D$$

El voltaje a través de r_d es

$$V_{r_d} = V_o - V_i$$

y

$$I_{r_d} = \frac{V_o - V_i}{r_d}$$

Al aplicar la ley de corriente de Kirchhoff al nodo b se obtiene

$$I_{r_d} + I_D + g_m V_{gs} = 0$$

y

$$\begin{aligned} I_D &= I_{r_d} - g_m V_{gs} \\ &= -\left[\frac{V_o - V_i}{r_d} \right] - g_m [-V_i] \\ I_D &= \frac{V_i - V_o}{r_d} + g_m V_i \end{aligned}$$

de manera que

$$\begin{aligned} V_o &= I_D R_D = \left[\frac{V_i - V_o}{r_d} + g_m V_i \right] R_D \\ &= \frac{V_i R_D}{r_d} - \frac{V_o R_D}{r_d} + g_m R_D V_i \end{aligned}$$

y

$$V_o \left[1 + \frac{R_D}{r_d} \right] = V_i \left[\frac{R_D}{r_d} + g_m R_D \right]$$

con

$$A_v = \frac{V_o}{V_i} = \frac{\left[g_m R_D + \frac{R_D}{r_d} \right]}{\left[1 + \frac{R_D}{r_d} \right]} \quad (9.43)$$

Para $r_d \geq 10R_D$, el factor R_D/r_d de la ecuación (9.43) se puede eliminar como una buena aproximación y

$$A_v = g_m R_D \quad r_d \geq 10R_D \quad (9.44)$$

Relación de la fase: El hecho de que A_v es un número positivo ocasionará una relación *en fase* entre V_o y V_i para la configuración de compuerta común.

Aunque la red de la figura 9.32 puede en principio no parecer de la variedad de compuerta común, un examen cercano indicará que posee todas las características de la figura 9.29. Si $V_{GSQ} = -2.2$ V e $I_{DQ} = 2.03$ mA,

- Determinar g_m .
- Hallar r_d .
- Calcular Z_i con y sin r_d . Comparar los resultados.
- Encontrar Z_o con y sin r_d . Comparar los resultados.
- Determinar V_o con y sin r_d . Comparar los resultados.

EJEMPLO 9.10

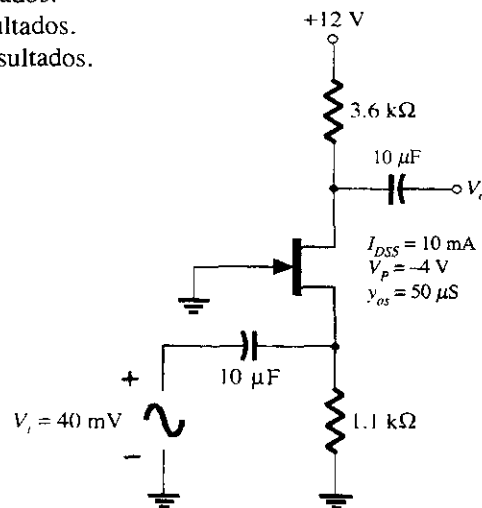


Figura 9.32 Red para el ejemplo 9.10.

Solución

$$a) \quad g_{m0} = \frac{2I_{DSS}}{|V_P|} = \frac{2(10 \text{ mA})}{4 \text{ V}} = 5 \text{ mS}$$

$$g_m = g_{m0} \left(1 - \frac{V_{GSQ}}{V_P} \right) = 5 \text{ mS} \left(1 - \frac{(-2.2 \text{ V})}{(-4 \text{ V})} \right) = 2.25 \text{ mS}$$

$$b) \quad r_d = \frac{1}{y_{os}} = \frac{1}{50 \mu\text{S}} = 20 \text{ k}\Omega$$

c) Con r_d :

$$\begin{aligned} Z_i &= R_S \parallel \left[\frac{r_d + R_D}{1 + g_m r_d} \right] = 1.1 \text{ k}\Omega \parallel \left[\frac{20 \text{ k}\Omega + 3.6 \text{ k}\Omega}{1 + (2.25 \text{ mS})(20 \text{ k}\Omega)} \right] \\ &= 1.1 \text{ k}\Omega \parallel 0.51 \text{ k}\Omega = 0.35 \text{ k}\Omega \end{aligned}$$

Sin r_d :

$$Z_i = R_S \parallel 1/g_m = 1.1 \text{ k}\Omega \parallel 1/2.25 \text{ mS} = 1.1 \text{ k}\Omega \parallel 0.44 \text{ k}\Omega \\ = 0.31 \text{ k}\Omega$$

Aunque la condición

$$r_d \geq 10R_D = > 20 \text{ k}\Omega \geq 10(3.6 \text{ k}\Omega) = > 20 \text{ k}\Omega \geq 36 \text{ k}\Omega$$

no está satisfecha, ambas ecuaciones obtienen en esencia el mismo nivel de impedancia. En este caso, $1/g_m$ fue el factor predominante.

d) Con r_d :

$$Z_o = R_D \parallel r_d = 3.6 \text{ k}\Omega \parallel 20 \text{ k}\Omega = 3.05 \text{ k}\Omega$$

Sin r_d :

$$Z_o = R_D = 3.6 \text{ k}\Omega$$

Una vez más la condición $r_d \geq 10R_D$ no está satisfecha, pero ambos resultados están razonablemente cercanos uno del otro. R_D es ciertamente el factor predominante en este ejemplo.

e) Con r_d :

$$A_v = \frac{\left[g_m R_D + \frac{R_D}{r_d} \right]}{\left[1 + \frac{R_D}{r_d} \right]} = \frac{\left[(2.25 \text{ mS})(3.6 \text{ k}\Omega) + \frac{3.6 \text{ k}\Omega}{20 \text{ k}\Omega} \right]}{\left[1 + \frac{3.6 \text{ k}\Omega}{20 \text{ k}\Omega} \right]} \\ = \frac{8.1 + 0.18}{1 + 0.18} = 7.02$$

$$\text{y } A_v = \frac{V_o}{V_i} = > V_o = A_v V_i = (7.02)(40 \text{ mV}) = 280.8 \text{ mV}$$

Sin r_d :

$$A_v = g_m R_D = (2.25 \text{ mS})(3.6 \text{ k}\Omega) = 8.1$$

con

$$V_o = A_v V_i = (8.1)(40 \text{ mV}) = 324 \text{ mV}$$

En este caso, la diferencia es un poco más notoria pero no de forma drástica.

El ejemplo 9.10 demuestra que aunque no se satisfizo la condición $r_d \geq 10R_D$, los resultados para los parámetros dados no fueron significativamente diferentes utilizando las ecuaciones exactas y aproximadas. De hecho, en la mayoría de los casos se pueden emplear las ecuaciones aproximadas para tener una idea razonable de los niveles particulares con poco de esfuerzo.

9.8 MOSFET DE TIPO DECREMENTAL

El hecho de que la ecuación de Shockley también sea aplicable a los MOSFET de tipo decremental da por resultado la misma ecuación para g_m . Es más, el modelo equivalente de ac para los DMOSFET es exactamente el mismo usado en los JFET como se muestra en la figura 9.33.

La única diferencia que proporcionan los DMOSFET reside en que V_{GSQ} puede ser positivo para los dispositivos de canal- n y negativo para las unidades de canal- p . El resultado es que g_m puede ser mayor que g_{m0} como se demuestra en el siguiente ejemplo. El rango de r_d es muy similar al que se encuentra para los JFET.

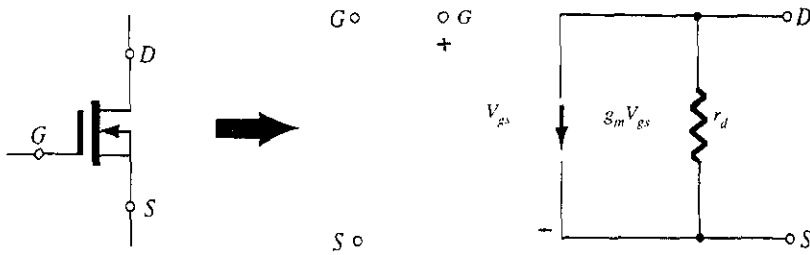


Figura 9.33 Modelo equivalente de ac para el DMOSFET.

La red de la figura 9.34 se analizó en el ejemplo 6.7 y se obtuvo $V_{GSQ} = 1.5 \text{ V}$ e $I_{DQ} = 7.6 \text{ mA}$.

EJEMPLO 9.11

- Determinar g_m y compararla con g_{m0} .
- Encontrar r_d .
- Dibujar la red equivalente de ac para la figura 9.34.
- Encontrar Z_i .
- Calcular Z_o .
- Encontrar A_v .

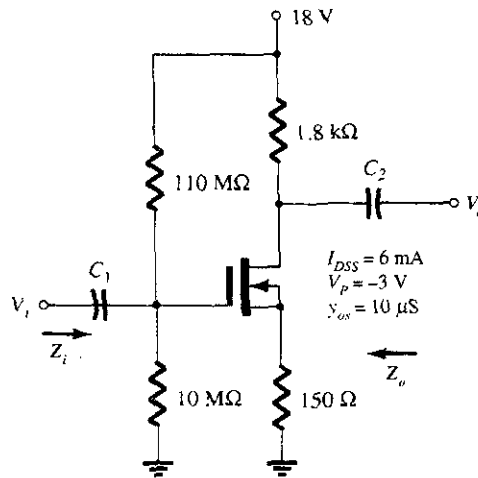


Figura 9.34 Red para el ejemplo 9.11.

Solución

$$\text{a) } g_{m0} = \frac{2I_{DSS}}{|V_p|} = \frac{2(6 \text{ mA})}{3 \text{ V}} = 4 \text{ mS}$$

$$g_m = g_{m0} \left(1 - \frac{V_{GSQ}}{V_p} \right) = 4 \text{ mS} \left(1 - \frac{(+1.5 \text{ V})}{(-3 \text{ V})} \right) = 4 \text{ mS}(1 + 0.5) = 6 \text{ mS}$$

y se encuentra que g_m es 50% mayor que g_{m0} .

$$\text{b) } r_d = \frac{1}{y_{os}} = \frac{1}{10 \mu\text{S}} = 100 \text{ k}\Omega$$

- Obsérvese la figura 9.35. Se observan las similitudes con la red de la figura 9.23. Por tanto, se pueden aplicar las ecuaciones (9.28) a la (9.32).

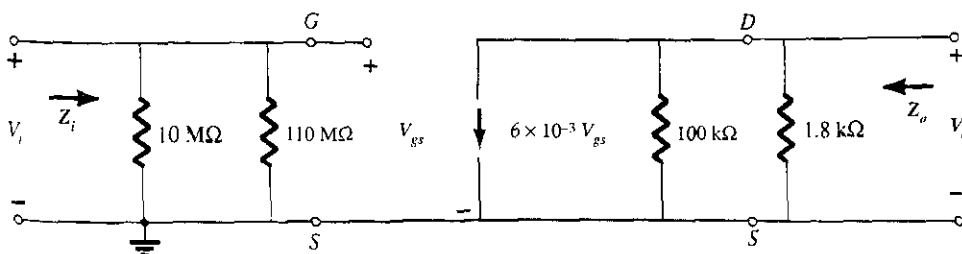


Figura 9.35 Circuito equivalente de ac para la figura 9.34.

- d) La ecuación (9.28): $Z_i = R_1 \parallel R_2 = 10 \text{ M}\Omega \parallel 110 \text{ M}\Omega = 9.17 \text{ M}\Omega$
e) La ecuación (9.29): $Z_o = r_d \parallel R_D = 100 \text{ k}\Omega \parallel 1.8 \text{ k}\Omega = 1.77 \text{ k}\Omega \approx R_D = 1.8 \text{ k}\Omega$
f) $r_d \geq 10R_D \rightarrow 100 \text{ k}\Omega \geq 18 \text{ k}\Omega$
La ecuación (9.32): $A_v = -g_m R_D = -(6 \text{ mS})(1.8 \text{ k}\Omega) = 10.8$

9.9 MOSFET DE TIPO INCREMENTAL

El MOSFET de tipo incremental puede ser o bien un dispositivo de canal- n (n MOS) o de canal- p (p MOS), como se muestra en la figura 9.36. El circuito equivalente de pequeña señal de cualquiera de los dos dispositivos se muestra en la figura 9.36 y proporciona un circuito abierto entre la compuerta y el canal drenaje-fuente, así como una fuente de corriente del drenaje a la fuente cuya magnitud depende del voltaje de la compuerta a la fuente. Existe una impedancia de salida del drenaje a la fuente r_d , misma que se puede encontrar en las hojas de especificaciones como una admitancia y_{os} . La transconductancia del dispositivo, g_m , se encuentra en las hojas de especificaciones como la admitancia de transferencia directa, y_{fs} .

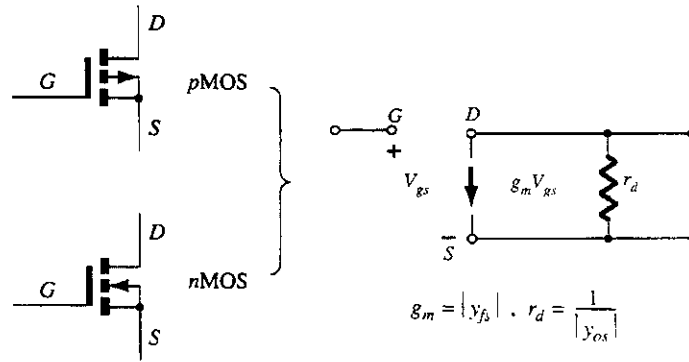


Figura 9.36 Modelo incremental del MOSFET a pequeña señal.

En el análisis de los JFET se derivó una ecuación para g_m a partir de la ecuación de Shockley. Para los EMOSFET la relación entre la corriente de salida y el voltaje controlador está definido mediante

$$I_D = k(V_{GS} - V_{GS(Th)})^2$$

Debido a que g_m aún se encuentra definido por

$$g_m = \frac{\Delta I_D}{\Delta V_{GS}}$$

puede tomarse la derivada de la ecuación de transferencia para determinar g_m como un punto de operación. Esto es,

$$\begin{aligned} g_m &= \frac{dI_D}{dV_{GS}} = \frac{d}{dV_{GS}} k(V_{GS} - V_{GS(Th)})^2 = k \frac{d}{dV_{GS}} (V_{GS} - V_{GS(Th)})^2 \\ &= 2k(V_{GS} - V_{GS(Th)}) \frac{d}{dV_{GS}} (V_{GS} - V_{GS(Th)}) = 2k(V_{GS} - V_{GS(Th)})(1 - 0) \end{aligned}$$

y

$$g_m = 2k(V_{GS_Q} - V_{GS(Th)}) \quad (9.45)$$

Recuerde que la constante k se puede determinar a partir de un punto de operación típico sobre la hoja de especificaciones. En cualquier otro aspecto, el análisis ac es el mismo que el utilizado para los JFET o los DMOSFET. Sin embargo, tome precauciones acerca de las características de un EMOSFET porque los arreglos de polarización son un tanto cuanto limitados.

9.10 CONFIGURACIÓN DE RETROALIMENTACIÓN EN DRENAJE PARA EL EMOSFET

La configuración de retroalimentación en drenaje para el EMOSFET aparece en la figura 9.37. Se recuerda a partir de los cálculos en dc que R_G se puede reemplazar mediante un corto circuito equivalente debido a que $I_G = 0$ A y por tanto, $V_{RG} = 0$ V. Sin embargo, para las situaciones de ac se proporciona una impedancia alta muy importante entre V_o y V_i . De otra forma, las terminales de entrada y de salida estarían conectadas directamente y $V_o = V_i$.

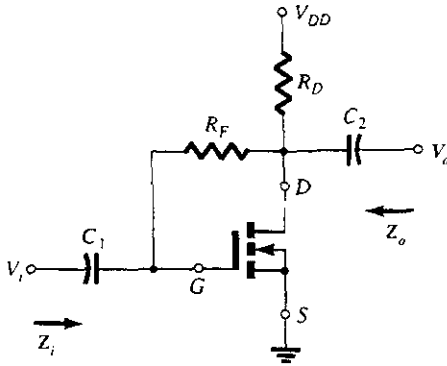


Figura 9.37 Configuración de retroalimentación en drenaje para EMOSFET.

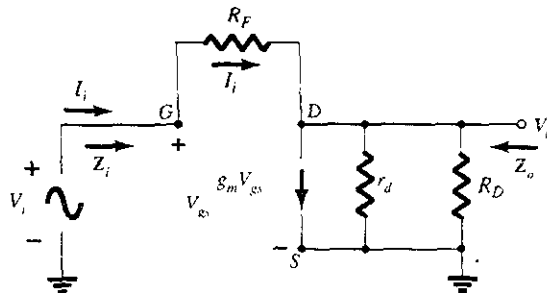


Figura 9.38 Equivalente en ac de la red de la figura 9.37.

Al sustituir el modelo equivalente de ac para el dispositivo se obtiene la red de la figura 9.38. Obsérvese que R_F no se encuentra dentro del área sombreada que define el modelo equivalente del dispositivo, pero proporciona una conexión directa entre los circuitos de entrada y de salida.

Z_i : Al aplicar la ley de corriente de Kirchhoff al circuito de salida (en el nodo D) se obtiene

$$I_i = g_m V_{gs} + \frac{V_o}{r_d \parallel R_D}$$

y

$$V_{gs} = V_i$$

de manera que

$$I_i = g_m V_i + \frac{V_o}{r_d \parallel R_D}$$

o

$$I_i - g_m V_i = \frac{V_o}{r_d \parallel R_D}$$

Por tanto,

$$V_o = (r_d \parallel R_D)(I_i - g_m V_i)$$

con

$$I_i = \frac{V_i - V_o}{R_F} = \frac{V_i - (r_d \parallel R_D)(I_i - g_m V_i)}{R_F}$$

e

$$I_i R_F = V_i - (r_d \parallel R_D)I_i + (r_d \parallel R_D)g_m V_i$$

de modo que

$$V_i[1 + g_m(r_d \parallel R_D)] = I_i[R_F + r_d \parallel R_D]$$

y finalmente,

$$Z_i = \frac{V_i}{I_i} = \frac{R_F + r_d \parallel R_D}{1 + g_m(r_d \parallel R_D)} \quad (9.46)$$

Por lo general, $R_F \gg r_d \parallel R_D$, de tal forma que

$$Z_i \cong \frac{R_F}{1 + g_m(r_d \parallel R_D)}$$

Para $r_d \geq 10R_D$,

$$Z_i \cong \frac{R_F}{1 + g_m R_D} \quad R_F \gg r_d \parallel R_D, r_d \geq 10R_D \quad (9.47)$$

Z_o : Al sustituir $V_i = 0$ V se obtiene $V_{gs} = 0$ V y $g_m V_{gs} = 0$ con una trayectoria de corto circuito desde la compuerta hacia tierra como se muestra en la figura 9.39. R_F , r_d y R_D están entonces en paralelo y

$$Z_o = R_F \parallel r_d \parallel R_D \quad (9.48)$$

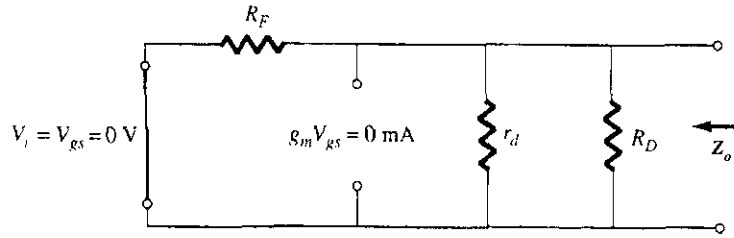


Figura 9.39 Determinación de Z_o para la red de la figura 9.37.

Con frecuencia R_F es mucho mayor que $r_d \parallel R_D$, de tal forma que

$$Z_o \cong r_d \parallel R_D$$

y con $r_d \geq 10R_D$,

$$Z_o \cong R_D \quad R_F \gg r_d \parallel R_D, r_d \geq 10R_D \quad (9.49)$$

A_v : Al aplicar la ley de corriente de Kirchhoff al nodo D de la figura 9.38 se obtiene

$$I_i = g_m V_{gs} + \frac{V_o}{r_d \parallel R_D}$$

pero

$$V_{gs} = V_i \text{ e } I_i = \frac{V_i - V_o}{R_F}$$

por tanto,

$$\frac{V_i - V_o}{R_F} = g_m V_i + \frac{V_o}{r_d \parallel R_D}$$

y

$$\frac{V_i}{R_F} - \frac{V_o}{R_F} = g_m V_i + \frac{V_o}{r_d \parallel R_D}$$

de modo que

$$V_o \left[\frac{1}{r_d \parallel R_D} + \frac{1}{R_F} \right] = V_i \left[\frac{1}{R_F} - g_m \right]$$

y

$$A_v = \frac{V_o}{V_i} = \frac{\left[\frac{1}{R_F} - g_m \right]}{\left[\frac{1}{r_d \parallel R_D} + \frac{1}{R_F} \right]}$$

pero

$$\frac{1}{r_d \parallel R_D} + \frac{1}{R_F} = \frac{1}{R_F \parallel r_d \parallel R_D}$$

y

$$g_m \gg \frac{1}{R_F}$$

de manera que

$$A_v = -g_m(R_F \parallel r_d \parallel R_D) \quad (9.50)$$

Por lo general, R_F es $\gg r_d \parallel R_D$ y si $r_d \geq 10R_D$,

$$A_v \cong -g_m R_D \quad R_F \gg r_d \parallel R_D, r_d \geq 10R_D \quad (9.51)$$

Relación de la fase: El signo negativo de A_v indica que tanto V_o como V_i se localizan fuera de fase por 180° .

El EMOSFET de la figura 9.40 se analizará en el ejemplo 6.11 con el resultado $k = 0.24 \times 10^{-3} \text{ A/V}^2$, $V_{GSQ} = 6.4 \text{ V}$ e $I_{DQ} = 2.75 \text{ mA}$.

EJEMPLO 9.12

- Determinar g_m .
- Encontrar r_d .
- Calcular Z_i con y sin r_d . Comparar los resultados.
- Encontrar Z_o con y sin r_d . Comparar los resultados.
- Encontrar A_v con y sin r_d . Comparar los resultados.

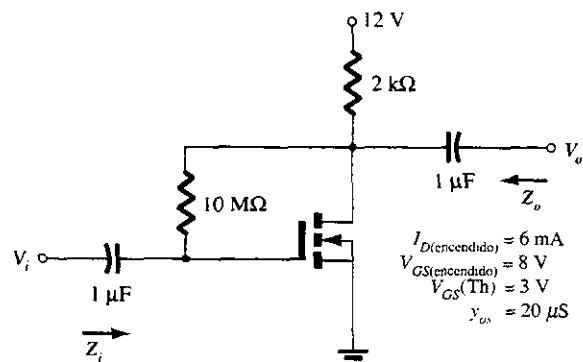


Figura 9.40 Amplificador con retroalimentación en drenaje del ejemplo 6.11.

Solución

$$\text{a) } g_m = 2k(V_{GSQ} - V_{GS(Th)}) = 2(0.24 \times 10^{-3} \text{ A/V}^2)(6.4 \text{ V} - 3 \text{ V}) = 1.63 \text{ mS}$$

$$\text{b) } r_d = \frac{1}{y_{os}} = \frac{1}{20 \mu\text{S}} = 50 \text{ k}\Omega$$

c) Con r_d :

$$\begin{aligned} Z_i &= \frac{R_F + r_d \parallel R_D}{1 + g_m(r_d \parallel R_D)} = \frac{10 \text{ M}\Omega + 50 \text{ k}\Omega \parallel 2 \text{ k}\Omega}{1 + (1.63 \text{ mS})(50 \text{ k}\Omega \parallel 2 \text{ k}\Omega)} \\ &= \frac{10 \text{ M}\Omega + 1.92 \text{ k}\Omega}{1 + 3.13} = 2.42 \text{ M}\Omega \end{aligned}$$

g_m Sin r_d :

$$Z_i \cong \frac{R_F}{1 + g_m R_D} = \frac{10 \text{ M}\Omega}{1 + (1.63 \text{ mS})(2 \text{ k}\Omega)} = 2.53 \text{ M}\Omega$$

lo cual indica que la condición $r_d \geq 10R_D = 50 \text{ k}\Omega \geq 40 \text{ k}\Omega$ está satisfecha y los resultados para Z_o con o sin r_d serán muy cercanos.

d) Con r_d :

$$Z_o = R_F \parallel r_d \parallel R_D = 10 \text{ M}\Omega \parallel 50 \text{ k}\Omega \parallel 2 \text{ k}\Omega = 49.75 \text{ k}\Omega \parallel 2 \text{ k}\Omega = 1.92 \text{ k}\Omega$$

Sin r_d :

$$Z_o \cong R_D = 2 \text{ k}\Omega$$

ofreciendo otra vez resultados muy cercanos.

e) Con r_d :

$$\begin{aligned} A_v &= -g_m(R_F \parallel r_d \parallel R_D) \\ &= -(1.63 \text{ mS})(10 \text{ M}\Omega \parallel 50 \text{ k}\Omega \parallel 2 \text{ k}\Omega) \\ &= -(1.63 \text{ mS})(1.92 \text{ k}\Omega) \\ &= -3.21 \end{aligned}$$

Sin r_d :

$$\begin{aligned} A_v &= -g_m R_D = -(1.63 \text{ mS})(2 \text{ k}\Omega) \\ &= -3.26 \end{aligned}$$

la cual es muy cercana al resultado anterior.

9.11 CONFIGURACIÓN DE DIVISOR DE VOLTAJE PARA EL EMOSFET

La última configuración EMOSFET que será examinada a detalle es la red mediante divisor de voltaje de la figura 9.41. El formato es exactamente igual al usado en una gran cantidad de presentaciones anteriores.

Al sustituir la red equivalente de ac para el EMOSFET se obtiene la configuración de la figura 9.42, la cual es exactamente la misma que la figura 9.23. El resultado es que las ecuaciones (9.28) a (9.32) pueden aplicarse como se lista a continuación para el EMOSFET.

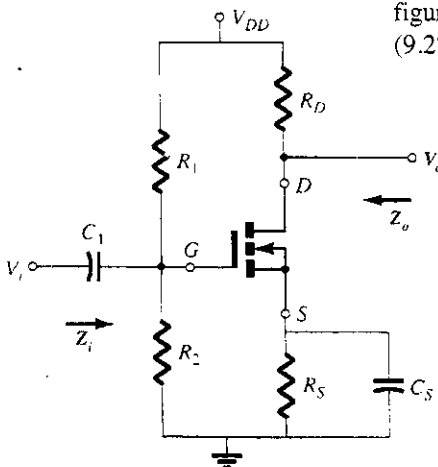


Figura 9.41 Configuración EMOSFET con divisor de voltaje.

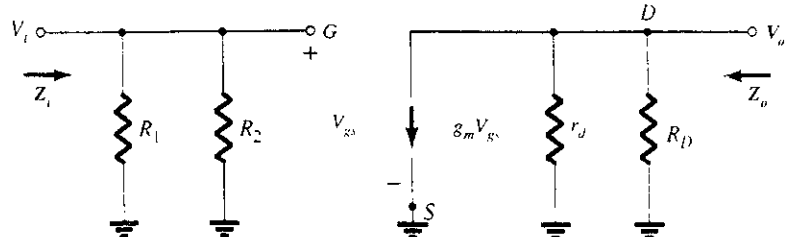


Figura 9.42 Red equivalente de ac para la configuración de la figura 9.41.

Z_i :

$$Z_i = R_1 \parallel R_2 \quad (9.52)$$

 Z_o :

$$Z_o = r_d \parallel R_D \quad (9.53)$$

Para $r_d \geq 10R_D$,

$$Z_o \cong R_D \quad r_d \geq 10R_D \quad (9.54)$$

 A_v :

$$A_v = \frac{V_o}{V_i} = -g_m(r_d \parallel R_D) \quad (9.55)$$

y si $r_d \geq 10R_D$,

$$A_v = \frac{V_o}{V_i} \cong -g_m R_D \quad (9.56)$$

9.12 CÓMO DISEÑAR REDES DE AMPLIFICADOR FET

Durante esta fase los problemas de diseño se encuentran limitados a la obtención de las condiciones deseadas de polarización o de la ganancia de voltaje. En la mayoría de los casos, las diversas ecuaciones desarrolladas se utilizan "hacia atrás" para definir los parámetros necesarios y para obtener la ganancia, la impedancia de entrada o la impedancia de salida deseadas. Para evitar complejidades innecesarias durante las fases iniciales del diseño, a menudo se utilizan las ecuaciones aproximadas porque se presentarán algunas variaciones cuando los resistores calculados sean reemplazados por sus valores estándar. Una vez que el diseño inicial se ha completado, pueden probarse los resultados y llevarse a cabo los refinamientos mediante las ecuaciones completas.

A lo largo del procedimiento de diseño debe estar consciente que, aunque la superposición permita un análisis y diseño por separado de la red desde un punto de vista de dc y de ac, a menudo un parámetro que se seleccione en el ambiente de dc jugará un papel importante en la respuesta en ac. En particular, recuerde que la resistencia R_G podría reemplazarse mediante un corto circuito equivalente en la configuración con retroalimentación porque $I_G \cong 0$ A para las condiciones de dc, pero para el análisis en ac presenta una trayectoria de alta impedancia muy importante entre V_o y V_i . Además, recuerde que g_m es mayor para los puntos de operación cercanos al eje I_D ($V_{GS} = 0$ V) donde se requiere que R_S sea relativamente pequeña. En la red donde R_S no se encuentra en desvío, una R_S pequeña también contribuirá a una mayor ganancia, pero para el amplificador fuente-seguidor la ganancia se reduce de su valor máximo de 1. En resumen, simplemente debe tenerse en cuenta que los parámetros de la red pueden afectar los niveles de dc y ac de varias maneras. A menudo debe hacerse un balance entre un punto de operación en particular y su impacto en la respuesta en ac.

En la mayoría de los casos se conoce el voltaje de dc disponible de la fuente, se ha determinado el FET que se empleará y están definidos los capacitores que se requieren para las frecuencias seleccionadas. Es necesario determinar los elementos resistivos necesarios para establecer la ganancia o el nivel de impedancia deseados. Los siguientes tres ejemplos determinarán los parámetros requeridos para obtener una ganancia específica.

EJEMPLO 9.13

Diseñe la red de polarización fija de la figura 9.43 para tener una ganancia ac de 10. Esto es, calcule el valor de R_D .

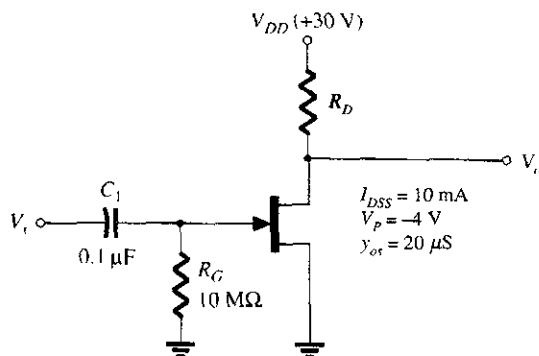


Figura 9.43 Circuito para la ganancia de voltaje deseada en el ejemplo 9.13.

Solución

Debido a que $V_{GS_Q} = 0$ V, el nivel de g_m es de g_{m0} . Por tanto la ganancia se encuentra determinada mediante

$$A_v = -g_m(R_D \parallel r_d) = -g_{m0}(R_D \parallel r_d)$$

$$\text{con } g_{m0} = \frac{2I_{DSS}}{|V_p|} = \frac{2(10 \text{ mA})}{4 \text{ V}} = 5 \text{ mS}$$

$$\text{El resultado es } -10 = -5 \text{ mS}(R_D \parallel r_d)$$

$$\text{y } R_D \parallel r_d = \frac{10}{5 \text{ mS}} = 2 \text{ k}\Omega$$

A partir de las especificaciones de los dispositivos.

$$r_d = \frac{1}{y_{os}} = \frac{1}{20 \times 10^{-6} \text{ S}} = 50 \text{ k}\Omega$$

Sustituyendo, se encuentra

$$R_D \parallel r_d = R_D \parallel 50 \text{ k}\Omega = 2 \text{ k}\Omega$$

$$\text{y } \frac{R_D(50 \text{ k}\Omega)}{R_D + 50 \text{ k}\Omega} = 2 \text{ k}\Omega$$

$$\text{o } 50R_D = 2(R_D + 50 \text{ k}\Omega) = 2R_D + 100 \text{ k}\Omega$$

$$\text{con } 48R_D = 100 \text{ k}\Omega$$

$$\text{y } R_D = \frac{100 \text{ k}\Omega}{48} \cong 2.08 \text{ k}\Omega$$

El valor estándar más cercano es de **2 kΩ** (apéndice E), el cual se utilizaría para este diseño.

El nivel obtenido de V_{DS_Q} se determinará más adelante de la siguiente forma:

$$V_{DS_Q} = V_{DD} - I_{D_Q}R_D = 30 \text{ V} - (10 \text{ mA})(2 \text{ k}\Omega) = 10 \text{ V}$$

Los niveles de Z_i y de Z_o se fijan mediante los niveles de R_G y de R_D , respectivamente. Esto es,

$$Z_i = R_G = 10 \text{ M}\Omega$$

$$Z_o = R_D \parallel r_d = 2 \text{ k}\Omega \parallel 50 \text{ k}\Omega = 1.92 \text{ k}\Omega \cong R_D = 2 \text{ k}\Omega.$$

Seleccione los valores para R_D y R_S para la red de la figura 9.44 con objeto de obtener una ganancia de 8 utilizando un nivel relativamente alto de g_m para este dispositivo definido cuando en $V_{GS} = \frac{1}{4} V_P$.

EJEMPLO 9.14

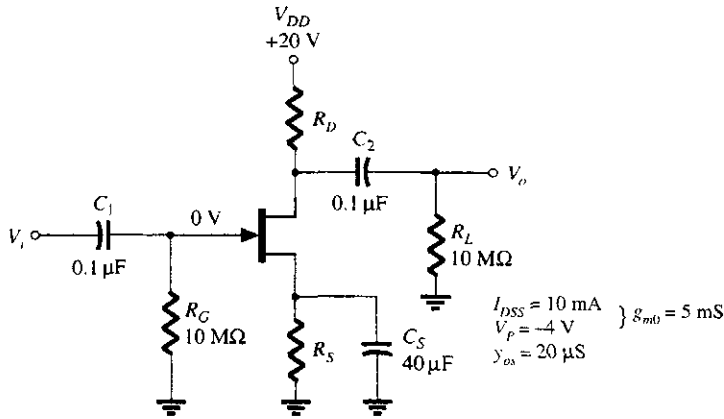


Figura 9.44 Red para la ganancia de voltaje deseada en el ejemplo 9.14.

Solución

El punto de operación se encuentra definido mediante

$$V_{GSQ} = \frac{1}{4} V_P = \frac{1}{4} (-4 \text{ V}) = -1 \text{ V}$$

$$I_D = I_{DSS} \left(1 - \frac{V_{GSQ}}{V_P} \right)^2 = 10 \text{ mA} \left(1 - \frac{(-1 \text{ V})}{(-4 \text{ V})} \right)^2 = 5.625 \text{ mA}$$

La determinación de g_m ,

$$\begin{aligned} g_m &= g_{m0} \left(1 - \frac{V_{GSQ}}{V_P} \right) \\ &= 5 \text{ mS} \left(1 - \frac{(-1 \text{ V})}{(-4 \text{ V})} \right) = 3.75 \text{ mS} \end{aligned}$$

La magnitud de la ganancia de voltaje se calcula mediante

$$|A_v| = g_m (R_D \parallel r_d)$$

Al sustituir los valores conocidos se obtiene

$$8 = (3.75 \text{ mS})(R_D \parallel r_d)$$

$$\text{de manera que} \quad R_D \parallel r_d = \frac{8}{3.75 \text{ mS}} = 2.13 \text{ k}\Omega$$

El nivel de r_d está definido por

$$r_d = \frac{1}{y_{os}} = \frac{1}{20 \mu\text{S}} = 50 \text{ k}\Omega$$

$$\text{y} \quad R_D \parallel 50 \text{ k}\Omega = 2.13 \text{ k}\Omega$$

con el resultado de

$$R_D = 2.2 \text{ k}\Omega$$

el cual es un valor estándar.

El nivel de R_S se encuentra determinado mediante las condiciones de operación de la siguiente manera:

$$\begin{aligned} V_{GS_Q} &= -I_D R_S \\ -1 \text{ V} &= -(5.625 \text{ mA}) R_S \end{aligned}$$

$$\text{y} \quad R_S = \frac{1 \text{ V}}{5.625 \text{ mA}} = 177.8 \, \Omega$$

El valor estándar más cercano es de $180 \, \Omega$. En este ejemplo R_S no aparece en el diseño en ac debido al efecto de corto circuito de C_S .

En el siguiente ejemplo R_S no está en desvío y el diseño se vuelve un poco más complicado.

EJEMPLO 9.15

Determinar R_D y R_S para la red de la figura 9.44 para establecer una ganancia de 8 en el caso de que se elimine el capacitor de desvío C_S .

Solución

Tanto V_{GS_Q} como I_{D_Q} aún son -1 V y 5.625 mA , y debido a que la ecuación $V_{GS} = -I_D R_S$ no ha cambiado, R_S continúa siendo el valor estándar de $180 \, \Omega$ que se obtuvo en el ejemplo 9.14.

La ganancia de la configuración de autopolarización sin desvío es

$$A_v = -\frac{g_m R_D}{1 + g_m R_S}$$

Por el momento se asume que $r_d \geq 10(R_D + R_S)$. El empleo de la ecuación completa para A_v en esta fase del diseño sólo complicaría el proceso de forma innecesaria.

Al sustituir (por la magnitud especificada de 8 para la ganancia),

$$|8| = \left| \frac{-(3.75 \text{ mS}) R_D}{1 + (3.75 \text{ mS})(180 \, \Omega)} \right| = \frac{(3.75 \text{ mS}) R_D}{1 + 0.675}$$

$$\text{y} \quad 8(1 + 0.675) = (3.75 \text{ mS}) R_D$$

$$\text{de manera que} \quad R_D = \frac{13.4}{3.75 \text{ mS}} = 3.573 \text{ k}\Omega$$

es así el valor estándar más cercano el de $3.6 \text{ k}\Omega$.

Ahora se puede probar la condición:

$$r_d \geq 10(R_D + R_S)$$

$$50 \text{ k}\Omega \geq 10(3.6 \text{ k}\Omega + 0.18 \text{ k}\Omega) = 10(3.78 \text{ k}\Omega)$$

$$\text{y} \quad 50 \text{ k}\Omega \geq 37.8 \text{ k}\Omega$$

la cual se satisface— ¡la solución persiste!

9.13 TABLA RESUMEN

Se desarrolló la tabla 9.1 en un esfuerzo para proporcionar una comparación rápida entre las configuraciones y ofrecer asimismo un listado que pueda ser útil para una variedad de objetos. Para cada parámetro importante se proporcionan la ecuación exacta y aproximada con un rango típico de valores para cada una. Aunque no están presentes todas las configuraciones posi-

TABLA 9.1 Z_i , Z_o y A_v para las diferentes configuraciones FET

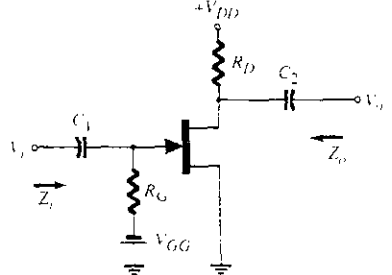
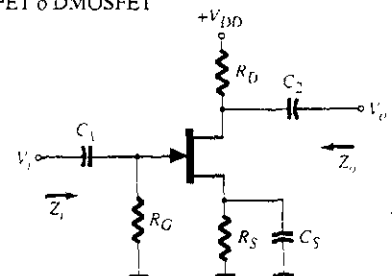
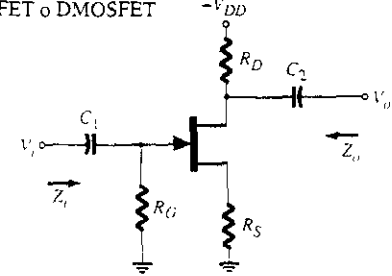
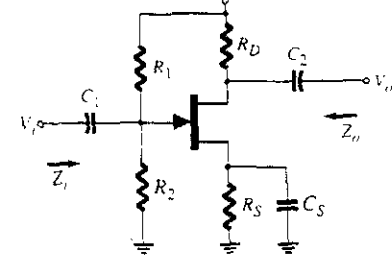
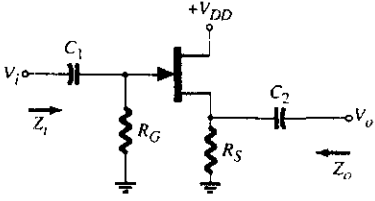
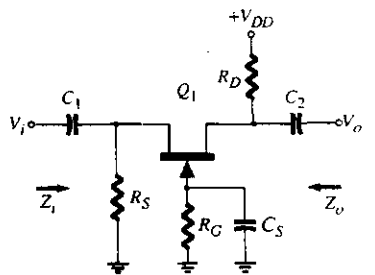
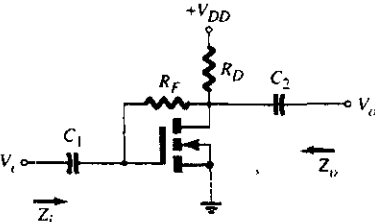
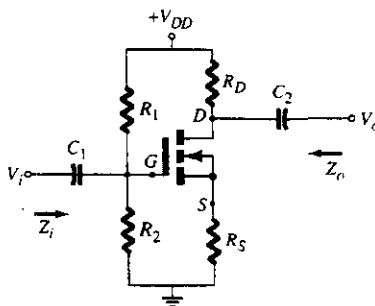
Configuración	Z_i	Z_o	$A_v = \frac{V_o}{V_i}$
Polarización fija JFET o DMOSFET 	Alta (10 MΩ) $= R_G$	Media (2 kΩ) $= R_D \parallel r_d$ $\approx R_D$ $(r_d \geq 10R_D)$	Media (-10) $= -g_m(r_d \parallel R_D)$ $\approx -g_m R_D$ $(r_d \geq 10R_D)$
Autopolarización desvío en R_S JFET o DMOSFET 	Alta (10 MΩ) $= R_G$	Media (2 kΩ) $= R_D \parallel r_d$ $\approx R_D$ $(r_d \geq 10R_D)$	Media (-10) $= -g_m(r_d \parallel R_D)$ $\approx -g_m R_D$ $(r_d \geq 10R_D)$
Autopolarización sin desvío en R_S JFET o DMOSFET 	Alta (10 MΩ) $= R_G$	Media (2 Ω) $= \frac{R_D}{1 + g_m R_S + \frac{R_D + R_S}{r_d}}$ $\approx \frac{R_D}{1 + g_m R_S}$ $(r_d \geq 10(R_D + R_S))$	Media (-2) $= \frac{g_m R_D}{1 + g_m R_S + \frac{R_D + R_S}{r_d}}$ $\approx \frac{g_m R_D}{1 + g_m R_S}$ $(r_d \geq 10(R_D + R_S))$
Polarización por divisor de voltaje JFET o DMOSFET 	Alta (10 MΩ) $= R_1 \parallel R_2$	Media (2 kΩ) $= R_D \parallel r_d$ $\approx R_D$ $(r_d \geq 10R_D)$	Media (-10) $= -g_m(r_d \parallel R_D)$ $\approx -g_m R_D$ $(r_d \geq 10R_D)$

TABLA 9.1 (continuación)

Configuración	Z_i	Z_o	$A_v = \frac{V_o}{V_i}$
Fuente-seguidor JFET o DMOSFET 	Alta (10 M Ω) $= R_G$	Baja (100 k Ω) $= r_d \parallel R_S \parallel 1/g_m$ $\cong R_S \parallel 1/g_m$ ($r_d \geq 10R_S$)	Baja (< 1) $= \frac{g_m(r_d \parallel R_S)}{1 + g_m(r_d \parallel R_S)}$ $\cong \frac{g_m R_S}{1 + g_m R_S}$ ($r_d \geq 10R_S$)
Compuerta común JFET o DMOSFET 	Baja (1 k Ω) $= R_S \parallel \left[\frac{r_d + R_D}{1 + g_m r_d} \right]$ $\cong R_S \parallel \frac{1}{g_m}$ ($r_d \geq 10R_D$)	Media (2 k Ω) $= R_D \parallel r_d$ $\cong R_D$ ($r_d \geq 10R_D$)	Media (+ 10) $= \frac{g_m R_D + \frac{R_D}{r_d}}{1 + \frac{R_D}{r_d}}$ $\cong g_m R_D$ ($r_d \geq 10R_D$)
Polarización con retroalimentación en drenaje EMOSFET 	Media (1 M Ω) $= \frac{R_F + r_d \parallel R_D}{1 + g_m(r_d \parallel R_D)}$ $\cong \frac{R_F}{1 + g_m R_D}$ ($r_d \geq 10R_D$)	Media (2 k Ω) $= R_F \parallel r_d \parallel R_D$ $\cong R_D$ ($R_F, r_d \geq 10R_D$)	Media (-10) $= -g_m(R_F \parallel r_d \parallel R_D)$ $\cong -g_m R_D$ ($R_F, r_d \geq 10R_D$)
Polarización por divisor de voltaje EMOSFET 	Media (1 k Ω) $= R_1 \parallel R_2$	Media (2 k Ω) $= R_D \parallel r_d$ $\cong R_D$ ($r_d \geq 10R_D$)	Media (-10) $= -g_m(r_d \parallel R_D)$ $\cong -g_m R_D$ ($r_d \geq 10R_D$)

bles, se incluyeron la mayoría de las que se encuentran con más frecuencia. De hecho, cualquier configuración que no esté listada probablemente será alguna variación de aquellas que aparecen en la tabla, así que por lo menos el listado proporcionará alguna idea de los niveles que deben esperarse y la trayectoria que probablemente darán las ecuaciones deseadas. El formato seleccionado fue diseñado para permitir una duplicación de la tabla completa en las dos caras de una hoja tamaño carta.

9.14 SOLUCIÓN DE PROBLEMAS

Como se mencionó con anterioridad, la solución de problemas en un circuito es una combinación del conocimiento de la teoría y de tener la suficiente experiencia con instrumentos de medición y un osciloscopio para verificar la operación del circuito. Un buen reparador tiene un “olfato” para encontrar el problema en un circuito, la habilidad para “ver” lo que está sucediendo, lo cual se desarrolla en gran medida mediante la construcción, prueba y reparación de muchos circuitos diferentes. Para un amplificador FET de pequeña señal puede resolverse un circuito mediante el desarrollo de una cantidad de pasos básicos.

1. Observar la tableta del circuito para ver si se pueden detectar algunos problemas obvios: un área quemada debido al exceso de calor de un componente, un componente que parezca demasiado caliente como para tocarse, lo que pueda ser un punto de soldadura pobre o cualquier conexión que aparente estar suelta.
2. Utilizar un medidor dc: tomar algunas medidas como lo marca el manual de reparación que contiene el diagrama esquemático del circuito y un listado de los voltajes dc de prueba.
3. Aplicar una señal de prueba: medir los voltajes empezando en la entrada y trabajando a lo largo hacia la salida.
4. En caso de identificar el problema en una fase en particular, se tiene que verificar la señal en varios puntos empleando un osciloscopio para ver la forma de la onda, su polaridad, amplitud y frecuencia, así como los “centelleos” inusuales en la forma de onda que puedan presentarse. Es importante que la señal se encuentre presente para el ciclo completo de la señal.

Síntomas y posibles acciones

Si no existe un voltaje ac de salida:

1. Verificar si existe fuente de voltaje.
2. Comprobar si el voltaje de salida en V_D se encuentra entre 0 V y V_{DD} .
3. Verificar si existe cualquier señal ac de entrada en la terminal de la compuerta.
4. Verificar el voltaje de ac en cada extremo de las terminales de acoplamiento del capacitor.

Cuando se construye y prueba un amplificador a FET en el laboratorio:

1. Verificar el código de color de los valores resistivos para asegurarse que son los correctos. Aún más, mida el valor de la resistencia, porque los componentes que se utilizan con frecuencia pueden sobrecalentarse cuando se utilizan de forma incorrecta y ocasiona que cambie el valor nominal.
2. Verificar que todos los voltajes de dc estén presentes en las terminales de los componentes. Debe asegurarse que todas las conexiones a tierra sean comunes.
3. Medir la señal de entrada para asegurar que proporciona al circuito el valor esperado.

9.15 ANÁLISIS POR COMPUTADORA

Debido a que los cálculos para la ganancia de voltaje, impedancia de entrada e impedancia de salida para los varios circuitos FET requieren del cálculo de los valores de polarización para utilizarse en la determinación de los parámetros del dispositivo en el punto Q, puede ser muy

útil un análisis por computadora. El PSpice proporciona modelos de dispositivos JFET, MOSFET decremental y MOSFET incremental. Unos cuantos ejercicios demostrarán la manera en que se escribe una descripción del programa de un circuito y cómo se pueden obtener los resultados de salida deseados para la operación ac del circuito.

PSpice (Versión DOS):

DESCRIPCIÓN JFET

Línea del elemento del JFET

La forma general para una línea del elemento para un transistor de junta de efecto de campo es

JXXXX ND NG NS MODNAME

donde JXXXX es el nombre del transistor; ND, NG y NS son los números de nodo para el drenaje, compuerta y fuente, respectivamente; y MODNAME es el nombre del modelo utilizado en la línea .MODEL que se describe a continuación.

Línea del modelo JFET

La forma general para una línea del modelo para un JFET es

.MODEL MODNAME NJF VTO = BETA =
.MODEL MODNAME PJF VTO = BETA =

donde MODNAME es el nombre del modelo dado en la línea del elemento, NJF identifica un dispositivo de canal- n y PJF identifica un dispositivo de canal- p . De los varios parámetros del modelo JFET, dos de los más importantes son

$VTO = V_p$: voltaje de corte de la compuerta a la fuente

$BETA = I_{DSS}/V_p^2$: parámetro que combina los dos parámetros importantes del dispositivo JFET

EJEMPLO 9.16

Escriba las líneas del circuito en PSpice para describir los siguientes dispositivos JFET.

- Un JFET de canal- n cuyo $I_{DSS} = 12$ mA y $V_p = -4$ V.
- Un JFET de canal- n cuyo $I_{DSS} = 8$ mA y $V_p = -3$ V.

Suponer que cada dispositivo se encuentra conectado en los nodos: drenaje = 5, fuente = 4 y compuerta = 2.

Solución

- JUP 5 2 4 IN
.MODEL JN NJF VTO = -4 BETA = 750E-6
- JDOWN 5 2 4 JJ
.MODEL JJ NJF VTO = -3 BETA = 889E-6

Programa 9.1: Circuito amplificador JFET

En la figura 9.45 se muestra un circuito amplificador JFET. La polarización del JFET se proporciona mediante la fuente de voltaje V_{GG} , la fuente de voltaje V_{DD} y la resistencia del drenaje R_D . Se aplica un voltaje de ac de entrada a través del capacitor C_1 , mientras que la salida amplificada se obtiene mediante el capacitor C_2 . PSpice requiere que la trayectoria de salida esté conectada a tierra, por lo que se especifica una resistencia de carga de muy alta impedancia, R_L . Con un valor de $10\text{ M}\Omega$, la salida es esencialmente un circuito abierto.

El archivo de descripción del circuito se lista en la figura 9.46 para el circuito que está analizándose (figura 9.45) y que muestra todos los nodos marcados, así como los datos de salida obtenidos. Algunos comentarios acerca del programa PSpice son:

Forma de la línea del componente JFET:

J1 3 2 0 JFET

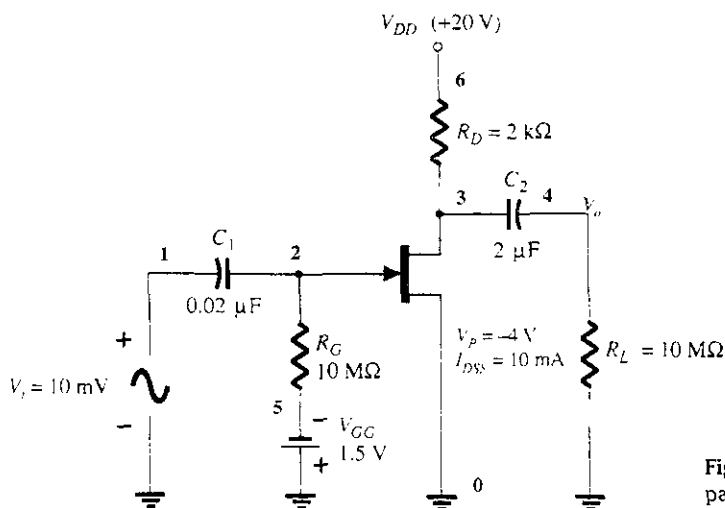


Figura 9.45 JFET amplificador para el análisis PSpice.

Forma de la lineal del MODELO JFET (JFET MODEL):

.MODEL JFET NJF VTO = -4V BETA = 6.25E-4

También es importante observar:

1. Las unidades megaohms están marcadas como MEGOHM (MEG también es apropiado).
2. La polaridad de la batería, V_{GG} , se proporciona al identificar una fuente de 1.5 V desde el nodo 0 (positivo) al nodo 5 (negativo).

JFET Amplifier - Fixed bias

*** CIRCUIT DESCRIPTION

```
*****
VDD 6 0 DC 20VOLTS
VGG 0 5 DC 1.5VOLTS
J1 3 2 0 JFET
RG 2 5 10MEGOHM
RD 6 3 2KOHM
RL 4 0 10MEGOHM
C1 1 2 0.02UF
C2 3 4 2UF
VI 1 0 AC 10MV
.MODEL JFET NJF VTO=-4V BETA=6.25E-4
.AC LIN 1 10KH 10KH
.PRINT AC V(1) V(2) V(3) V(4)
.OPTIONS NOPAGE
.END
```

**** Junction FET MODEL PARAMETERS

```
JFET
NJF
VTO -4
BETA 625.000000E-06
```

```
**** SMALL SIGNAL BIAS SOLUTION TEMPERATURE = 27.000 DEG C
NODE VOLTAGE NODE VOLTAGE NODE VOLTAGE NODE VOLTAGE
( 1) 0.0000 ( 2) -1.4998 ( 3) 12.1870 ( 4) 0.0000
( 5) -1.5000 ( 6) 20.0000
```

```
VOLTAGE SOURCE CURRENTS
NAME CURRENT
VDD -3.907E-03
VGG -1.521E-11
TOTAL POWER DISSIPATION 7.81E-02 WATTS
```

```
**** AC ANALYSIS TEMPERATURE = 27.000 DEG C
FREQ V(1) V(2) V(3) V(4)
1.000E+04 1.000E-02 1.000E-02 6.249E-02 6.249E-02
```

Figura 9.46 Salida de PSpice para el circuito de la figura 9.45.

- 3. El .AC LIN proporciona una frecuencia de 10 kHz, de tal forma que la línea .PRINT se puede utilizar para proporcionar los voltajes en ac de los nodos 1, 2, 3 y 4.

El circuito tiene una ganancia de voltaje, $V(4)/V(1) = 6.249$.

Programa 9.2: Amplificador a JFET con autopolarización

La figura 9.47 es un amplificador que tiene autopolarización. El resistor de polarización, R_S , está en desvío mediante el capacitor C_S . La figura 9.48 proporciona la descripción del circuito

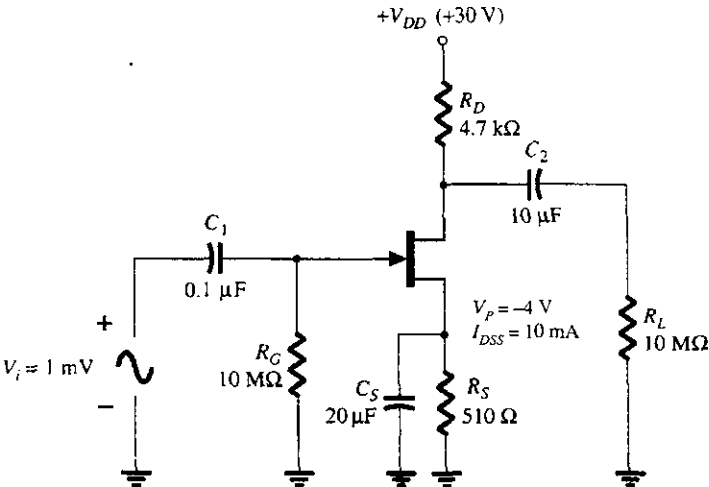


Figura 9.47 JFET amplificador con autopolarización.

Figura 9.48 Salida de PSpice para el circuito de la figura 9.47.

```
JFET Amplifier - RS Self bias
***      CIRCUIT DESCRIPTION
*****
VDD 6 0 DC 30V
J1 3 2 4 JFET
RG 2 0 10MEG
RD 6 3 4.7K
RS 4 0 510
RL 5 0 10MEG
C1 1 2 0.1UF
C2 3 5 10UF
CS 4 0 20UF
VI 1 0 AC 1MV
.MODEL JFET NJF VTO=-4V BETA=6.25E-4
.AC LIN 1 10KH 10KH
.PRINT AC V(1) V(2) V(3) V(5)
.OPTIONS NOPAGE
.END

****      Junction FET MODEL PARAMETERS
          JFET
          NJF
          VTO      -4
          BETA      625.000000E-06

***      SMALL SIGNAL BIAS SOLUTION      TEMPERATURE = 27.000 DEG C
NODE      VOLTAGE      NODE      VOLTAGE      NODE      VOLTAGE      NODE      VOLTAGE
( 1)      0.0000      ( 2) 161.0E-06      ( 3) 14.3840      ( 4) 1.6945
( 5)      0.0000      ( 6) 30.0000

          VOLTAGE SOURCE CURRENTS
          NAME      CURRENT
          VDD      -3.323E-03
          TOTAL POWER DISSIPATION 9.97E-02 WATTS

****      AC ANALYSIS      TEMPERATURE = 27.000 DEG C
FREQ      V(1)      V(2)      V(3)      V(5)
1.000E+04  1.000E-03  1.000E-03  1.354E-02  1.354E-02
```

en PSpice y los resultados de salida de la polarización y la operación en ac. La ganancia de voltaje se observa de $V(5)/V(1) = 13.54$. La polarización se obtiene en $V_D = V(3) = 14.384$ V, mientras que el voltaje de la compuerta a la fuente, $V_{GS} = V(2) - V(4) = -1.69$ V. La línea del modelo JFET parece ser la misma que en el circuito anterior en las figuras 9.45 y 9.46.

Programa 9.3: JFET amplificador con polarización DC mediante divisor de voltaje

La figura 9.49 proporciona un voltaje de polarización mediante divisor de voltaje y una ampli-ficación de V_i a V_o . La descripción del circuito en la figura 9.50 incluye el mismo modelo del transistor que en los dos circuitos previos, con la resistencia de polarización R_S en desvío mediante el capacitor C_S . Se observa la ganancia de voltaje de $V(5)/V(1) = 5.499$.

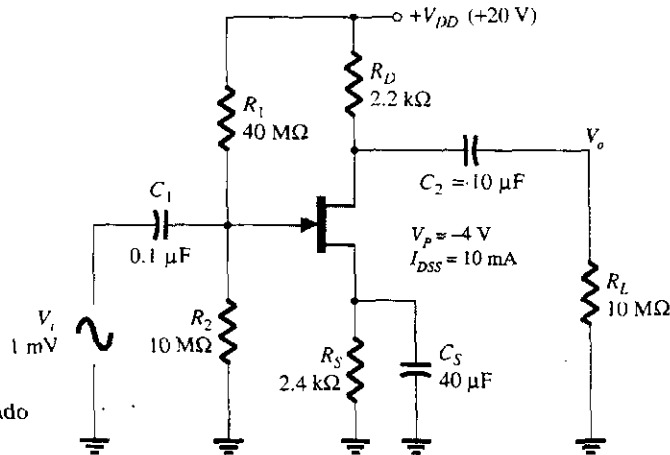


Figura 9.49 Amplificador polarizado mediante divisor de voltaje.

Figura 9.50 Salida de PSpice para el circuito de la figura 9.49.

```
JFET Amplifier - Voltage divider, self-bias
**      CIRCUIT DESCRIPTION
*****
VDD 6 0 DC 20V
J1 3 2 4 JFET
R1 6 2 40MEG
R2 2 0 10MEG
RD 3 6 2.2K
RS 4 0 2.4K
C1 1 2 0.1UF
CS 4 0 40UF
C2 3 5 10UF
RL 5 0 10MEG
.MODEL JFET NJF VTO=-4V BETA=6.25E-4
VI 1 0 AC 1mV
.AC LIN 1 10KH 10KH
.PRINT AC V(1) V(2) V(4) V(3) V(5)
.OPTIONS NOPAGE
.END

****      Junction FET MODEL PARAMETERS
JFET
NJF
VTO      -4
BETA     625.000000E-06

****      SMALL SIGNAL BIAS SOLUTION
TEMPERATURE = 27.000 DEG C
MODE VOLTAGE NODE VOLTAGE MODE VOLTAGE MODE VOLTAGE
( 1) 0.0000 ( 2) 4.0001 ( 3) 14.5000 ( 4) 6.0001
( 5) 0.0000 ( 6) 20.0000

VOLTAGE SOURCE CURRENTS
NAME CURRENT
VDD -2.500E-03
TOTAL POWER DISSIPATION 5.00E-02 WATTS

****      AC ANALYSIS
TEMPERATURE = 27.000 DEG C
FREQ V(1) V(2) V(4) V(3) V(5)
1.000E+04 1.000E-03 1.000E-03 9.947E-07 5.499E-03 5.499E-03
```

Programa 9.4: Amplificador MOSFET incremental

La figura 9.51 es un amplificador incremental con una entrada ac en V_i y una salida resultante V_o . La descripción del circuito en PSpice la proporciona la figura 9.52. El listado de salida muestra la polarización en $V_D = V(3) = 9.529$ V y una ganancia de voltaje de $V(5)/V(1) = 3.296$. Se observa la línea del dispositivo MOSFET,

M1 3 2 0 4 NFET

la cual identifica el elemento como un dispositivo MOSFET (M1), conectado desde el drenaje (nodo 3), compuerta (nodo 2), fuente (nodo 0) y sustrato (nodo 4), con un dispositivo MOSFET

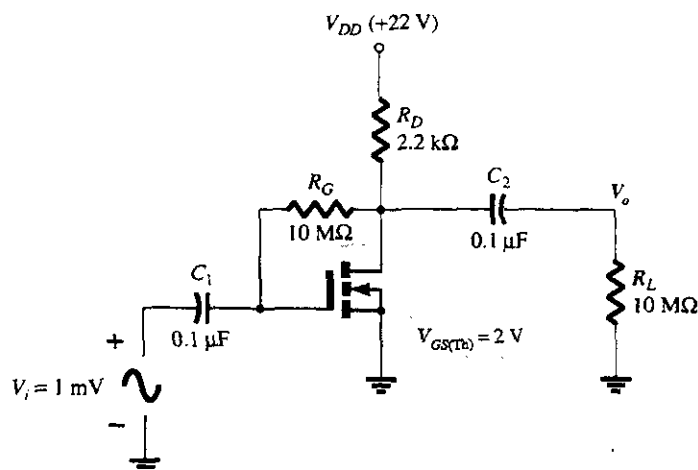


Figura 9.51 Amplificador MOSFET incremental.

Figura 9.52 Salida de PSpice para el circuito de la figura 9.51.

JFET AC Amplifier

** CIRCUIT DESCRIPTION

```
VDD 6 0 DC 22V
M1 3 2 0 4 NFET
RG 2 3 10MEG
RD 3 6 2.2K
C1 1 2 0.1UF
C2 3 5 0.1UF
RL 5 0 10MEG
.MODEL NFET NMOS(VTO=2V)
VI 1 0 AC 1MV
.AC LIN 1 10KH 10KH
.PRINT AC V(1) V(5)
.OPTIONS NOPAGE
.END
```

**** MOSFET MODEL PARAMETERS

```

NFET
NMOS
LEVEL 1
VTO 2
KP 20.000000E-06
```

**** SMALL SIGNAL BIAS SOLUTION

TEMPERATURE = 27.000 DEG C							
NODE	VOLTAGE	NODE	VOLTAGE	NODE	VOLTAGE	NODE	VOLTAGE
(1)	0.0000	(2)	9.5290	(3)	9.5290	(4)	.1765
(5)	0.0000	(6)	22.0000				

VOLTAGE SOURCE CURRENTS

```

NAME      CURRENT
VDD      -5.669E-04
TOTAL POWER DISSIPATION 1.25E-02 WATTS
```

**** AC ANALYSIS

```

FREQ      V(1)      V(5)
1.000E+04 1.000E-03 3.296E-03
```

TEMPERATURE = 27.000 DEG C

de canal- n (NFET). La línea del modelo del dispositivo

.MODEL NFET NMOS (VTO = 2V)

proporciona la especificación de que el MOSFET incremental tiene un voltaje de umbral de $V_{TO} = V_{GS(Th)} = 2$ V.

Análisis del centro de diseño de PSpice para Windows

Ahora se aplicará la versión para Windows de PSpice para la red de la figura 9.47, de la cual se obtiene la configuración de la figura 9.53. Se observa en este caso que se incluyen los tres símbolos de impresora para imprimir la salida de los voltajes de entrada y de salida así como el voltaje de ac a través del resistor R_S . La inicialización de la fuente de ac a sus niveles prescritos se describe con detalle en la sección correspondiente del capítulo 8.

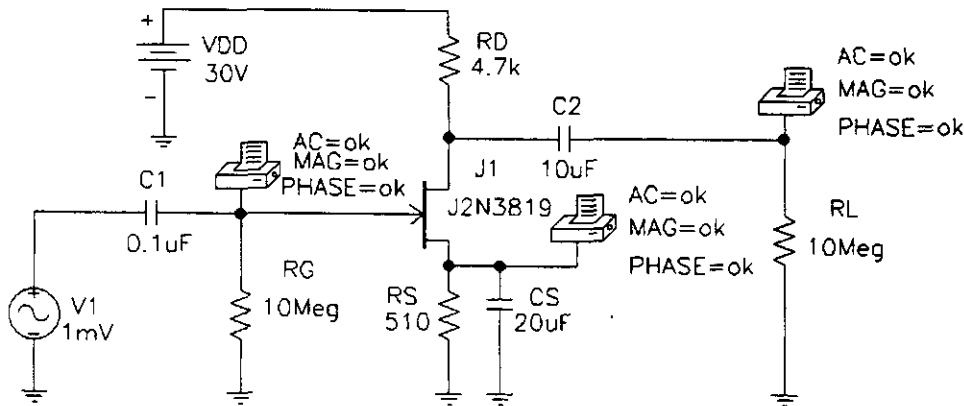


Figura 9.53 Investigación mediante Windows de la red de la figura 9.47.

El JFET de canal- n **J2N3819** está incluido en la biblioteca **eval.slb** dentro de la caja de diálogo **Get Part**. Para incluir el hecho de que $I_{DSS} = 10$ mA y $V_p = -4$ V debe cambiarse la descripción del modelo proporcionado al oprimir (sólo una vez) primero el dispositivo en el esquema y luego tomar la opción **Edit** del listado del menú. Luego se selecciona la edición del modelo únicamente para la utilización momentánea (**Model** y **Edit Instance Model**) y aparecerá el **Model Editor**. Oprimir en **Vto** y cambiar a -4 V seguido por **Beta** que debe ser ahora de $6.25E-4$. Luego **OK** y se está listo para el análisis (**Analysis-Simulate**).

El archivo de salida resultante se muestra en la figura 9.54. Nótese que V_{TO} es -4 V y que $BETA$ es $625E-6 = 6.25E-4$. El listado del modelo indica que la corriente de drenaje en dc (**ID**) es de 3.36 mA, el cual corresponde de cerca con el nivel calculado de 3.32 mA. También, nótese que **gm** está listado como 2.94 mS, el cual corresponde muy bien con los 2.88 mS calculados de la siguiente manera:

$$g_m = \frac{2I_{DSS}}{|V_p|} \left(1 - \frac{V_{GSQ}}{V_p} \right) = \frac{2(10 \text{ mA})}{4 \text{ V}} \left(1 - \frac{(1.71 \text{ V})}{(-4 \text{ V})} \right) = 2.88 \text{ mS}$$

El voltaje de salida (en el nodo 5) tiene una magnitud de 13.31 mV comparado con los 13.54 mV del análisis DOS. El ángulo de la fase es de -179.9° , el cual es en esencia -180° . La señal aplicada (en el nodo 1) es de 0.999 mV (≈ 1 mV) a $0.001^\circ (\approx 0^\circ)$ y el voltaje a través de la resistencia R_S es de $2.25 \mu\text{V}$ a $-89.9^\circ (\approx 90^\circ)$. El voltaje de ac a través de R_S es en esencia de 0 V, como debe ser en el caso que el capacitor esté desarrollando su papel de forma adecuada. Los niveles dc en los puntos de observación (**VIEWPOINTS**) de la figura 9.53 aparecerán una vez que se haya completado la simulación.

**** Junction FET MODEL PARAMETERS

J2N3819-X
NJP
VTO -4
BETA 625.000000E-06
LAMBDA 2.250000E-03
IS 33.570000E-15
ISR 322.400000E-15
ALPHA 311.7
VK 243.6
RD 1
RS 1
CGD 1.600000E-12
CGS 2.414000E-12
N .3622
VTOTC -2.500000E-03
BETATCE -.5
KP 9.882000E-18

**** SMALL SIGNAL BIAS SOLUTION TEMPERATURE = 27.000
DEG C

NODE OLTAGE	VOLTAGE	MODE	VOLTAGE	MODE	VOLTAGE	MODE	V
(\$N_0001)	0.0000			(\$N_0002)	.0045		
(\$N_0003)	14.2040			(\$N_0004)	0.0000		
(\$N_0005)	1.7141			(\$N_0006)	30.0000		

VOLTAGE SOURCE CURRENTS
NAME CURRENT
V_V1 0.000E+00
V_VDD -3.361E-03

TOTAL POWER DISSIPATION 1.01E-01 WATTS

**** JFETS

NAME J J1
MODEL J2N3819-X
ID 3.36E-03
VGS -1.71E+00
VDS 1.25E+01
GM 2.94E-03
GDS 7.36E-06
CGS 1.68E-12
CGD 5.97E-13

**** AC ANALYSIS TEMPERATURE = 27.000
DEG C

FREQ	VH(\$N_0004)	VP(\$N_0004)
1.000E+04	1.331E-02	-1.799E+02

FREQ	VH(\$N_0005)	VP(\$N_0005)
1.000E+04	2.254E-06	-8.978E+01

FREQ	VH(\$N_0002)	VP(\$N_0002)
1.000E+04	9.999E-04	1.040E-03

Figura 9.54 Archivo de salida para el análisis Windows de la red de la figura 9.53.

Mediante el uso de **Probe** (como se describió en la sección correspondiente del capítulo 8) las formas de onda reales se pueden mostrar, pero las prioridades necesitan que se deje el ejercicio al lector.

§ 9.2 Modelo de pequeña señal del FET

PROBLEMAS

1. Calcule g_{m0} para un JFET que tiene los parámetros de dispositivo $I_{DSS} = 15 \text{ mA}$, $V_p = -5 \text{ V}$.
2. Determine el voltaje de corte de un JFET con $g_{m0} = 10 \text{ mS}$ e $I_{DSS} = 12 \text{ mA}$.
3. Para un JFET cuyos parámetros de dispositivo son $g_{m0} = 5 \text{ mS}$ y $V_p = -3.5 \text{ V}$, ¿cuál es la corriente del dispositivo cuando $V_{GS} = 0 \text{ V}$?
4. Calcule el valor de g_m para un JFET ($I_{DSS} = 12 \text{ mA}$, $V_p = -3 \text{ V}$) en un punto de polarización de $V_{GS} = -1$.
5. Para un JFET que tiene $g_m = 6 \text{ mS}$ en $V_{GSQ} = -1 \text{ V}$, ¿cuál es el valor de I_{DSS} si $V_p = -2.5 \text{ V}$?
6. Un JFET ($I_{DSS} = 10 \text{ mA}$, $V_p = -5 \text{ V}$) está polarizado cuando $I_D = I_{DSS} / 4$. ¿Cuál es el valor de g_m para dicho punto polarizado?
7. Determine el valor de g_m para un JFET ($I_{DSS} = 8 \text{ mA}$, $V_p = -5 \text{ V}$) cuando está polarizado en $V_{GSQ} = V_p / 4$.
8. Una hoja de especificaciones proporciona los siguientes datos (como una lista de corriente drenaje-fuente)

$$y_{fs} = 4.5 \text{ mS}, \quad y_{os} = 25 \mu\text{S}$$

Para la corriente drenaje-fuente listada, determine:

- a) g_m .
 - b) r_d .
9. Para un JFET que posee los valores específicos de $y_{fs} = 4.5 \text{ mS}$ e $y_{os} = 25 \mu\text{S}$, determine la impedancia de salida del dispositivo, $Z_o(\text{FET})$, y la ganancia de voltaje ideal del dispositivo, $A_v(\text{FET})$.
 10. Si un JFET que tiene un valor específico de $r_d = 100 \text{ k}\Omega$ tiene también una ganancia de voltaje ideal de $A_v(\text{FET}) = -200$, ¿cuál es el valor de g_m ?
 11. Utilizando las características de transferencia de la figura 9.55:
 - a) ¿Cuál es el valor de g_{m0} ?
 - b) Determine gráficamente g_m cuando $V_{GS} = -1.5 \text{ V}$.
 - c) ¿Cuál es el valor de g_m cuando $V_{GSQ} = -1.5 \text{ V}$ utilizando la ecuación (9.6)? Compárela con la solución del inciso b.
 - d) Determine g_m gráficamente cuando $V_{GS} = -2.5 \text{ V}$.
 - e) ¿Cuál es el valor de g_m cuando $V_{GSQ} = -2.5 \text{ V}$ utilizando la ecuación (9.6)? Compárela con la solución del inciso d.

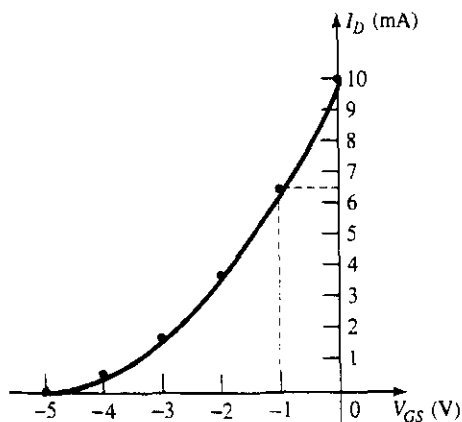


Figura 9.55 Características de transferencia del JFET para el problema 11.

12. Utilizando las características de drenaje de la figura 9.56:
 - a) ¿Cuál es el valor de r_d para $V_{GS} = 0 \text{ V}$?
 - b) ¿Cuál es el valor de g_{m0} cuando $V_{DS} = 10 \text{ V}$?

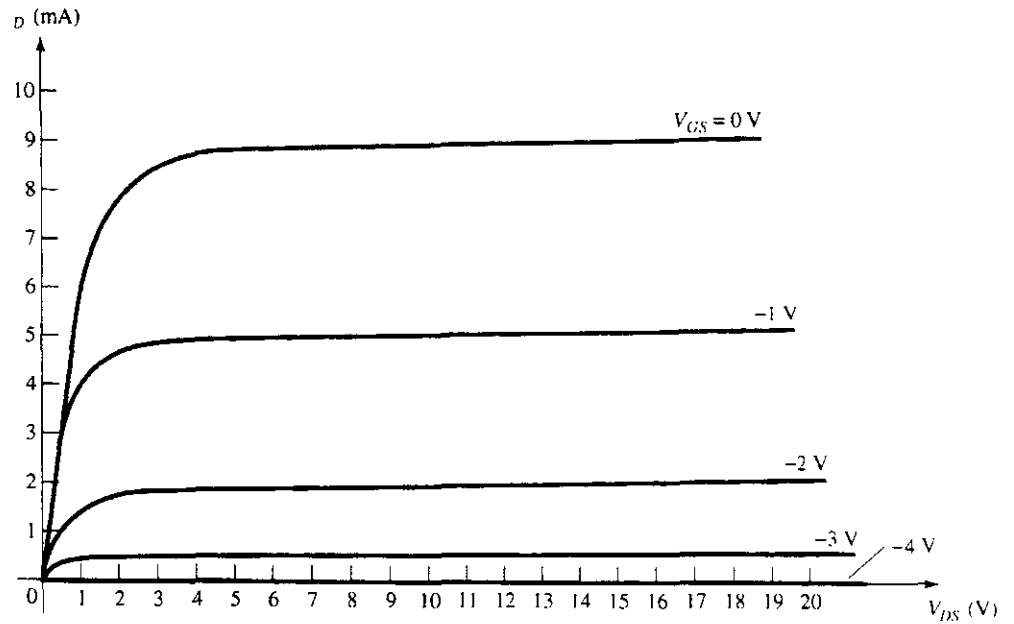


Figura 9.56 Características de drenaje del JFET para el problema 12.

13. Para un JFET de canal- n 2N4220 (y_{fs} (mínimo) = $750 \mu S$, y_{os} (máximo) = $10 \mu S$):
 - a) ¿Cuál es el valor de g_m ?
 - b) ¿Cuál es el valor de r_d ?
14. a) Grafique g_m en función de V_{GS} para un JFET de canal- n con $I_{DSS} = 8 \text{ mA}$ y $V_P = -6 \text{ V}$.
 b) Grafique g_m en función de I_D para el mismo JFET de canal- n del inciso a.
15. Dibuje el modelo equivalente para un JFET si $y_{fs} = 5.6 \text{ mS}$ e $y_{os} = 15 \mu S$.
16. Dibuje el modelo equivalente de ac para un JFET si $I_{DSS} = 10 \text{ mA}$, $V_P = -4 \text{ V}$, $V_{GSQ} = -2 \text{ V}$ e $y_{os} = 25 \mu S$.

§ 9.3 Configuración de polarización fija para el JFET

17. Determine Z_i , Z_o y A_v para la red de la figura 9.57 si $I_{DSS} = 10 \text{ mA}$, $V_P = -4 \text{ V}$ y $r_d = 40 \text{ k}\Omega$.
18. Calcule Z_i , Z_o y A_v para la red de la figura 9.57 si $I_{DSS} = 12 \text{ mA}$, $V_P = -6 \text{ V}$ y $y_{os} = 40 \mu S$.

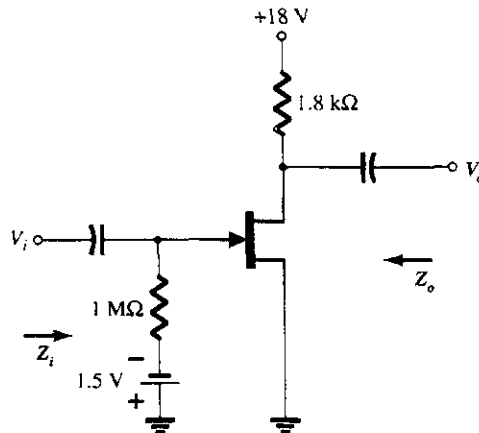


Figura 9.57 Amplificador con polarización fija para los problemas 17 y 18.

§ 9.4 Configuración de autopolarización para el JFET

19. Determine Z_i , Z_o y A_v para la red de la figura 9.58 si $y_{fs} = 3000 \mu S$ e $y_{os} = 50 \mu S$.
20. Determine Z_i , Z_o y A_v para la red de la figura 9.59 si $I_{DSS} = 6 \text{ mA}$, $V_P = -6 \text{ V}$ e $y_{os} = 40 \mu S$.
21. Calcule Z_i , Z_o y A_v para la red de la figura 9.58 si se elimina el capacitor de $20 \mu F$ y los parámetros de la red son los mismos que en el problema 19. Compare los resultados con el problema 19.
22. Repita el problema 19 si $y_{os} = 10 \mu S$. Compare los resultados con el problema 19.

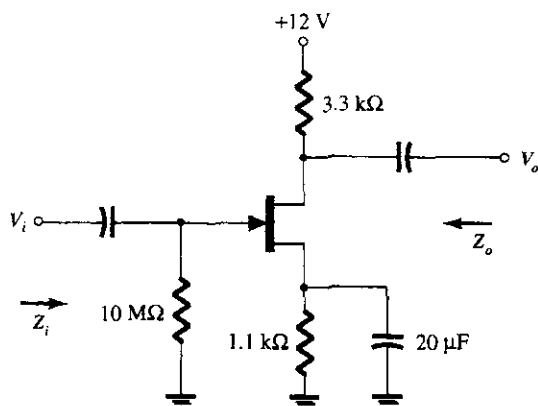


Figura 9.58 Problemas 19, 21 y 46.

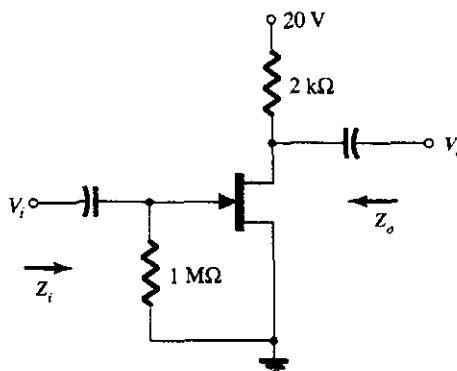


Figura 9.59 Configuración con autopolarización para los problemas 20 y 47.

§ 9.5 Configuración de divisor de voltaje para el JFET

23. Determine Z_i , Z_o y V_o para la red de la figura 9.60 si $V_i = 20 \text{ mV}$.

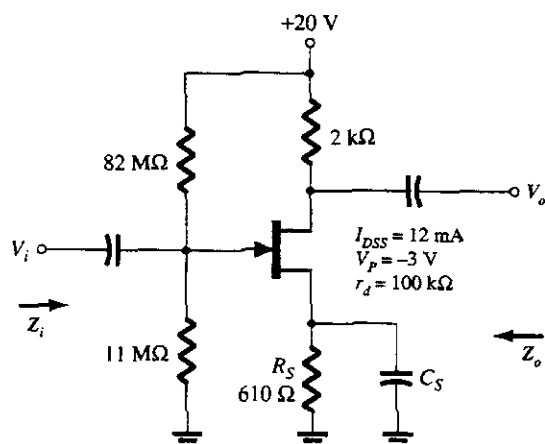


Figura 9.60 Problemas 23, 24, 25, 26 y 48.

24. Calcule Z_i , Z_o y V_o para la red de la figura 9.60 si $V_i = 20 \text{ mV}$ y se elimina el capacitor C_S .
25. Repita el problema 23 si $r_d = 20 \text{ kΩ}$ y compare los resultados.
26. Elabore nuevamente el problema 24 si $r_d = 20 \text{ kΩ}$ y compare los resultados.

§ 9.6 Configuración fuente-seguidor para el JFET

27. Determine Z_i , Z_o y A_v para la red de la figura 9.61.
28. Repita el problema 27 si $r_d = 20 \text{ k}\Omega$.
29. Calcule Z_i , Z_o y A_v para la red de la figura 9.62.

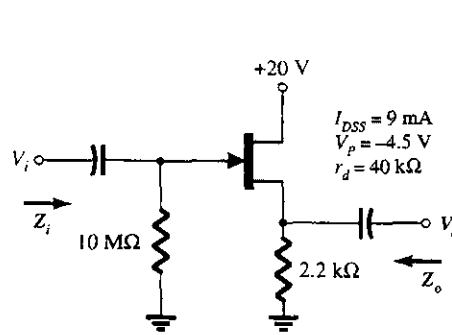


Figura 9.61 Problemas 27 y 28.

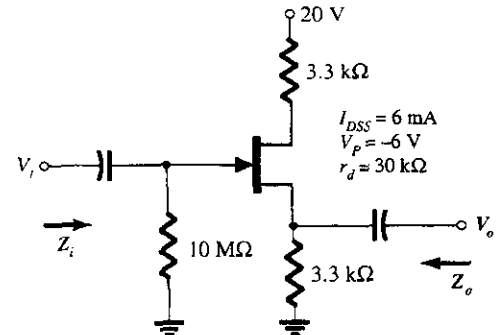


Figura 9.62 Problema 29.

§ 9.7 Configuración de compuerta común para el JFET

30. Determine Z_i , Z_o y V_o para la red de la figura 9.63 si $V_i = 0.1 \text{ mV}$.
31. Repita el problema 30 si $r_d = 25 \text{ k}\Omega$.
32. Determine Z_i , Z_o y A_v para la red de la figura 9.64 si $r_d = 33 \text{ k}\Omega$.

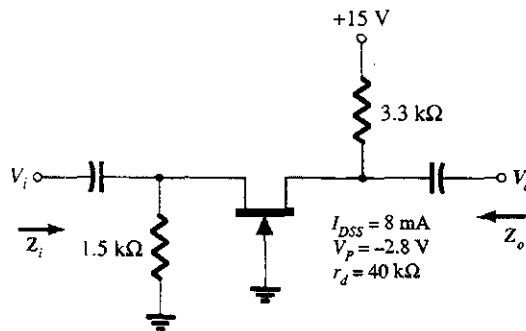


Figura 9.63 Problemas 30, 31 y 49.

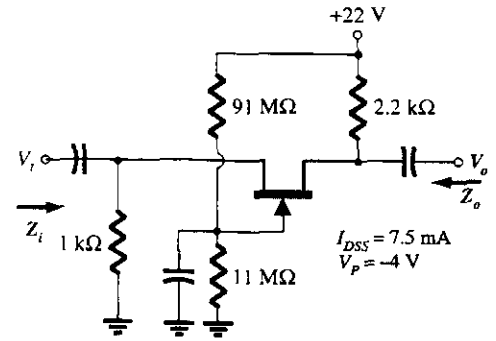


Figura 9.64 Problema 32.

§ 9.8 MOSFET de tipo decremental

33. Calcule V_o para la red de la figura 9.65 cuando $y_{os} = 20 \mu\text{S}$.

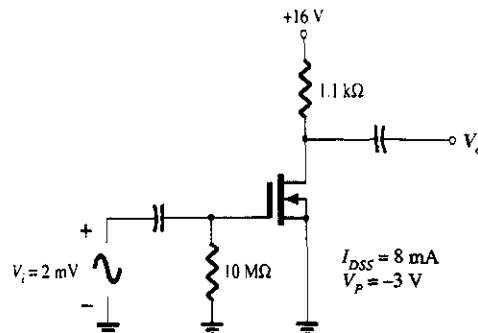


Figura 9.65 Problema 33.

34. Determine Z_i , Z_o y A_v para la red de la figura 9.66 si $r_d = 60 \text{ k}\Omega$.

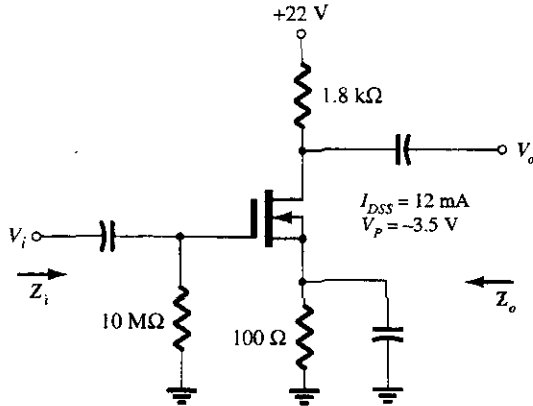


Figura 9.66 Problemas 34, 35 y 50.

35. Repita el problema 34 si $r_d = 25 \text{ k}\Omega$.

36. Calcule V_o para la red de la figura 9.67 cuando $V_i = 4 \text{ mV}$.

37. Determine Z_i , Z_o y A_v para la red de la figura 9.68.

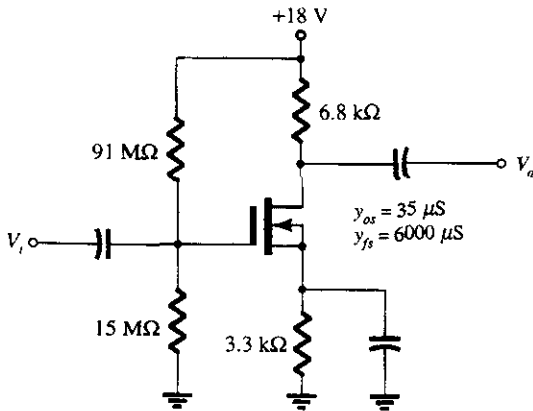


Figura 9.67 Problema 36.

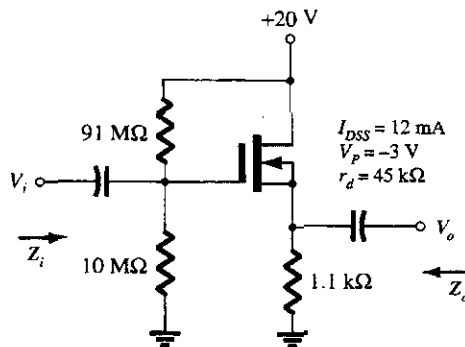


Figura 9.68 Problema 37.

§ 9.10 Configuración de retroalimentación en drenaje para el EMOSFET

38. Determine g_m para un MOSFET si $V_{GS(\text{Th})} = 3 \text{ V}$ y está polarizado en $V_{GSQ} = 8 \text{ V}$. Suponga $k = 0.3 \times 10^{-3}$.

39. Calcule Z_i , Z_o y A_v para el amplificador de la figura 9.69 si $k = 0.3 \times 10^{-3}$.

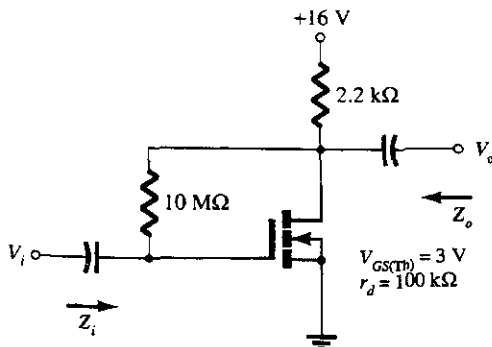


Figura 9.69 Problemas 39, 40 y 51.

40. Repita el problema 39 si k cae a 0.2×10^{-3} . Compare los resultados.
41. Determine V_o para la red de la figura 9.70 si $V_i = 20$ mV.
42. Calcule V_o para la red de la figura 9.70 si $V_i = 4$ mV, $V_{GS(Th)} = 4$ V e $I_{D(encendido)} = 4$ mA con $V_{GS(encendido)} = 7$ V con $y_{os} = 20 \mu S$.

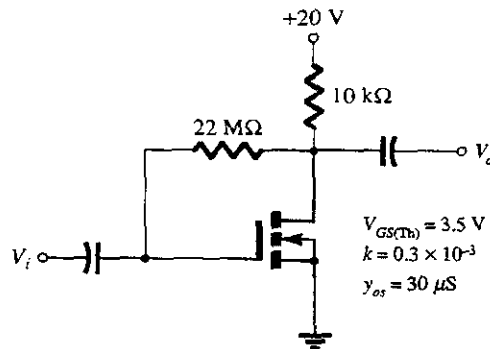


Figura 9.70 Problemas 41 y 42.

§ 9.11 Configuración de divisor de voltaje para el EMOSFET

43. Determine el voltaje de salida para la red de la figura 9.71 si $V_i = 0.8$ mV y $r_d = 40$ kΩ.

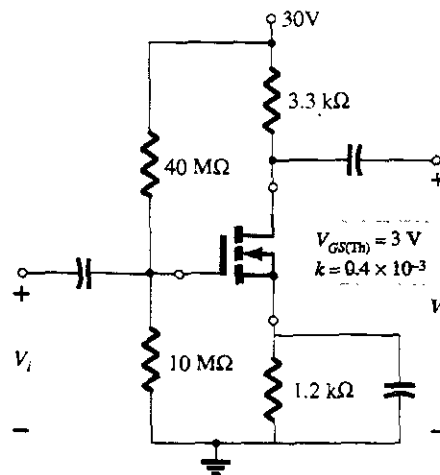


Figura 9.71 Problema 43.

§ 9.12 Cómo diseñar redes de amplificador FET

44. Diseñe la red de polarización fija de la figura 9.72 para tener una ganancia de 8.

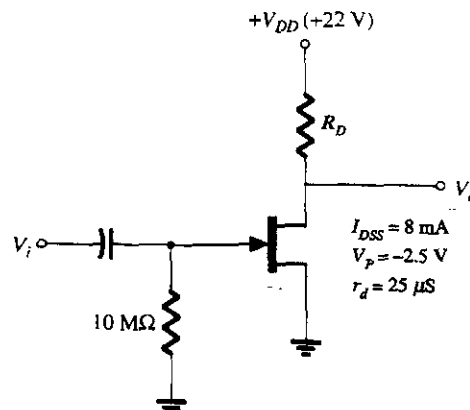


Figura 9.72 Problema 44.

45. Diseñe la red de polarización fija de la figura 9.73 para tener una ganancia de 10. El dispositivo debe estar polarizado en $V_{GSQ} = \frac{1}{3}V_P$.

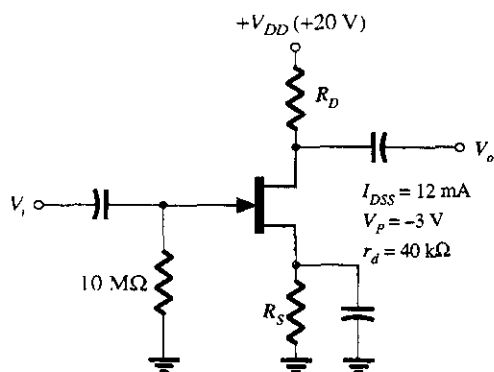


Figura 9.73 Problema 45.

§ 9.15 Análisis por computadora

46. Por medio de PSpice (DOS o Windows), determine la ganancia de voltaje para la red de la figura 9.58.
47. Utilizando PSpice (DOS o Windows), determine la ganancia de voltaje para la red de la figura 9.59.
48. Por medio de PSpice (DOS o Windows), determine la ganancia de voltaje para la red de la figura 9.60.
49. Utilizando PSpice (DOS o Windows), determine la ganancia de voltaje para la red de la figura 9.63.
50. Por medio de PSpice (DOS o Windows), determine la ganancia de voltaje para la red de la figura 9.66.
51. Utilizando PSpice (DOS o Windows), determine la ganancia de voltaje para la red de la figura 9.69.

10

Aproximación
a los sistemas:
efectos de R_s y R_L R_s/R_L

10.1 INTRODUCCIÓN

En años recientes la aparición de una gran variedad de redes y sistemas en un solo encapsulado ha generado un creciente interés en la aproximación a los sistemas para el diseño y el análisis. Fundamentalmente, esta aproximación se concentra en las características de las terminales del encapsulado y trata a cada una como un bloque constructivo en la formación del encapsulado total. El contenido de este capítulo representa un primer paso en el desarrollo para familiarizarse con esta aproximación. Las técnicas que se tratarán se utilizan en los capítulos restantes, pero ampliadas según surja la necesidad. La tendencia hacia los sistemas en un solo encapsulado es muy comprensible cuando se consideran los enormes avances en el diseño y manufactura de circuitos integrados, ci (también IC, según las iniciales en inglés de: *integrated circuits*). Los pequeños encapsulados de ic contienen diseños estables, confiables, autoverificados, sofisticados, que serían algo voluminosos si se fabricaran con componentes discretos (individuales). La aproximación a los sistemas no es difícil de aplicar una vez que las definiciones básicas de los diferentes parámetros hayan sido entendidas correctamente y demostrado con claridad la manera en que éstos se utilizan. En las siguientes secciones se desarrolla la aproximación a los sistemas de manera deliberadamente lenta, la cual incluirá gran cantidad de ejemplos para resaltar cada punto. Si el contenido de este capítulo es claro y entendido correctamente, se logrará una primera parte en el entendimiento del análisis de sistemas.

10.2 SISTEMAS DE DOS PUERTOS

La siguiente descripción puede aplicarse a cualquier sistema de dos puertos, no sólo a aquellos que contengan BJT y FET, aunque el énfasis en este capítulo es en estos dispositivos activos. Ahora será muy útil para las siguientes configuraciones el énfasis de los capítulos previos para la determinación de los parámetros de dos puertos para varias configuraciones. De hecho, muchos de los resultados obtenidos en los últimos dos capítulos se utilizan en el siguiente análisis.

En la figura 10.1 se han identificado los parámetros importantes de un sistema de dos puertos. En particular se observa la ausencia de una carga y de resistencia de la fuente. En una sección posterior se considera a detalle el impacto de estos importantes elementos. Por el momento debe reconocerse que tanto los niveles de impedancia como las ganancias de la figura 10.1 están determinados para las condiciones sin carga (ausencia de R_L) y sin resistencia de la fuente (R_s).

Si se observan las terminales de salida de una "manera Thévenin", se encuentra que si V_i se hace cero

$$Z_{Th} = Z_o = R_o$$

(10.1)

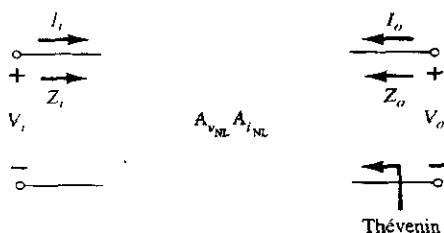


Figura 10.1 Sistema de dos puertos.

E_{Th} es el voltaje del circuito abierto entre las terminales de salida identificadas como V_o . Sin embargo,

$$A_{v_{NL}} = \frac{V_o}{V_i}$$

y

$$V_o = A_{v_{NL}} V_i$$

de manera que

$$E_{Th} = A_{v_{NL}} V_i \quad (10.2)$$

Obsérvese el uso del subíndice adicional NL para identificar una ganancia de voltaje sin carga (del inglés, *No Load*).

Al sustituir el circuito equivalente Thévenin entre las terminales de salida se obtendrá la configuración de salida de la figura 10.2. Para el circuito de entrada los parámetros V_i e I_i se encuentran relacionados mediante $Z_i = R_i$, lo cual permite el empleo de R_i para representar el circuito de entrada. Debido a que el interés por el momento se concentra en los amplificadores BJT y FET, pueden representarse tanto Z_o como Z_i mediante elementos resistivos.

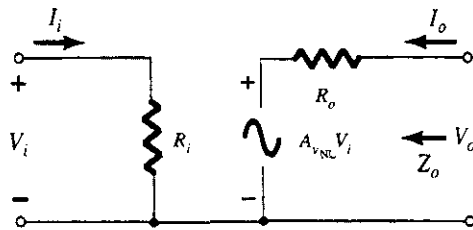


Figura 10.2 Sustitución de los elementos internos para el sistema de dos puertos de la figura 10.1.

Antes de continuar se verificarán los resultados de la figura 10.2 al encontrar Z_o y $A_{v_{NL}}$ de la manera usual. Para encontrar Z_o , se hace V_i a cero, obteniéndose $A_{v_{NL}} V_i = 0$, permitiendo un corto circuito equivalente para la fuente. El resultado es una impedancia de salida igual a R_o tal como se había definido originalmente. La ausencia de una carga ocasiona que $I_o = 0$, y que la caída de voltaje a través de la impedancia R_o sea de 0 V. Por tanto, el voltaje de salida del circuito abierto es de $A_{v_{NL}} V_i$, como debe ser. Antes de ver un ejemplo, se observa el hecho de que A_i no aparece en el modelo de dos puertos de la figura 10.2 y de hecho rara vez es parte de un análisis de un sistema de dos puertos de dispositivos activos. Esto no significa que la cantidad se calcule rara vez, sino que se calcula con mayor frecuencia a partir de la expresión $A_i = -A_v(Z_i/R_L)$, donde R_L es la carga definida para el análisis que se lleva a cabo.

Dibujar el equivalente de dos puertos de la figura 10.2 para la red del transistor con polarización fija de la figura 10.3 (ejemplo 8.1).

EJEMPLO 10.1

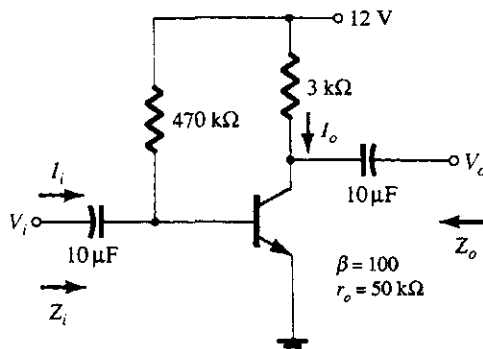


Figura 10.3 Ejemplo 10.1.

Solución

Del ejemplo 8.1,

$$Z_i = 1.069 \text{ k}\Omega$$

$$Z_o = 3 \text{ k}\Omega$$

$$A_{v_{NL}} = -280.11$$

Al utilizar la información anterior, puede dibujarse el equivalente de dos puertos de la figura 10.4. En particular se observa el signo negativo asociado con la fuente de voltaje controlada, el cual revela una polaridad opuesta para la fuente controlada que la indicada en la figura. También revela un cambio de fase de 180° entre los voltajes de entrada y de salida.

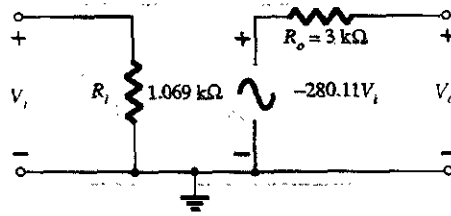


Figura 10.4 Equivalente de dos puertos para los parámetros especificados en el ejemplo 10.1.

En el ejemplo 10.1 se incluyó $R_C = 3 \text{ k}\Omega$ para definir la ganancia de voltaje sin carga. Aunque no necesita ser el caso (R_C podría definirse como el resistor de la carga en el capítulo 8), el análisis de este capítulo asumirá que todos los resistores de polarización son parte de la ganancia sin carga y que un sistema con carga requiere una carga adicional R_L conectada a las terminales de salida.

En la figura 10.5 aparece un segundo formato para la figura 10.2, la cual es particularmente popular con los amplificadores operacionales op-amps (por las palabras en inglés, *OPerational AMPlifiers*). El único cambio consiste en la apariencia general del modelo.

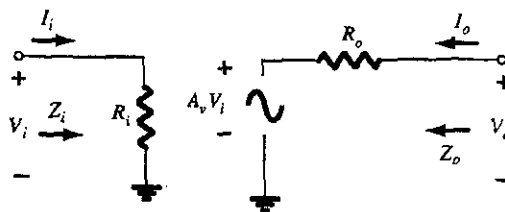


Figura 10.5 Notación del amplificador operacional (op-amp).

10.3 EFECTO DE LA IMPEDANCIA DE CARGA (R_L)

En esta sección se investigará el efecto de una carga aplicada utilizando el modelo de dos puertos de la figura 10.2. El modelo puede aplicarse a cualquier amplificador de corriente o voltaje controlado. $A_{v_{NL}}$ es, de acuerdo con su definición anterior, la ganancia del sistema sin una carga aplicada. R_i y R_o son las impedancias de entrada y de salida del amplificador como se definió mediante la configuración. De manera ideal, todos los parámetros del modelo perma-

neces sin afectarse al cambiar las cargas o resistencias de la fuente (como normalmente se encuentra en los circuitos que se describirán en el capítulo 14). Sin embargo, para algunas configuraciones de transistores amplificadores R_i puede ser muy sensible a la carga aplicada, mientras que en otros R_o puede ser sensible a la resistencia de la fuente. En cualquier caso, una vez que se han definido A_{vNL} , R_i y R_o para una configuración en particular, puede utilizarse la ecuación que se obtendrá ahora.

Al aplicar una carga al sistema de dos puertos de la figura 10.2 se obtiene la configuración de la figura 10.6. Al aplicar la regla del divisor de voltaje al circuito de salida se obtiene

$$V_o = \frac{R_L A_{vNL} V_i}{R_L + R_o}$$

y

$$A_v = \frac{V_o}{V_i} = \frac{R_L}{R_L + R_o} A_{vNL} \quad (10.3)$$

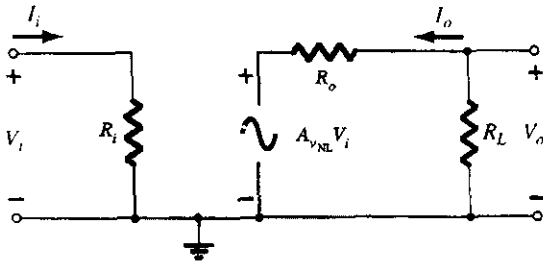


Figura 10.6 Aplicación de una carga al sistema de dos puertos de la figura 10.2.

Ya que el cociente $R_L/(R_L + R_o)$ siempre será menor que uno:

La ganancia de voltaje de un amplificador con carga siempre será menor que el nivel sin carga.

Se puede ver que la fórmula para la ganancia de voltaje no incluye la impedancia de entrada o la ganancia de corriente.

Aunque puede variar el nivel de R_i con la configuración, el voltaje aplicado y la corriente de entrada siempre estarán relacionados mediante

$$I_i = \frac{V_i}{Z_i} = \frac{V_i}{R_i} \quad (10.4)$$

Al definir la corriente de salida como la corriente a través de la carga se obtiene

$$I_o = -\frac{V_o}{R_L} \quad (10.5)$$

y aparece el signo negativo debido a la dirección definida para I_o en la figura 10.6.

La ganancia de corriente se determina entonces mediante

$$A_i = \frac{I_o}{I_i} = \frac{-V_o/R_L}{V_i/Z_i} = -\frac{V_o}{V_i} \frac{Z_i}{R_L}$$

y

$$A_i = -A_v \frac{Z_i}{R_L} \quad (10.6)$$

para la situación sin carga. Por tanto, en general, puede obtenerse la ganancia de corriente a partir de la ganancia de voltaje y los parámetros de impedancia Z_i y R_L . El siguiente ejemplo demostrará la utilidad y validez de las ecuaciones (10.3) a (10.6).

EJEMPLO 10.2

En la figura 10.7 se ha aplicado una carga al amplificador a transistor con polarización fija del ejemplo 10.1 (figura 10.3).

- Determinar la ganancia de voltaje y de corriente utilizando el método de los sistemas de dos puertos definido mediante el modelo de la figura 10.4.
- Calcular la ganancia de voltaje y de corriente utilizando el modelo r_e y comparar los resultados.

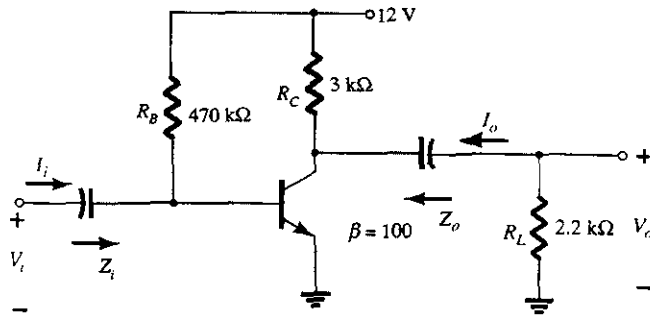


Figura 10.7 Ejemplo 10.2.

Solución

- Recuerde del ejemplo 10.1 que

$$Z_i = 1.071 \text{ k}\Omega \quad (\text{con } r_e = 10.71 \text{ }\Omega \text{ y } \beta = 100)$$

$$Z_o = 3 \text{ k}\Omega$$

$$A_{v_{NL}} = -280.11$$

La aplicación de la ecuación (10.3) trae

$$\begin{aligned} A_v &= \frac{R_L}{R_L + R_o} A_{v_{NL}} \\ &= \frac{2.2 \text{ k}\Omega}{2.2 \text{ k}\Omega + 3 \text{ k}\Omega} (-280.11) \\ &= (0.423)(-280.11) \\ &= -118.5 \end{aligned}$$

Para la ganancia de corriente,

$$A_i = -A_v \frac{Z_i}{R_L}$$

En este caso, la carga aplicada no afecta a Z_i y

$$A_i = -(-118.5) \frac{1.071 \text{ k}\Omega}{2.2 \text{ k}\Omega} = 57.69$$

- Al sustituir el modelo r_e se obtiene la red de la figura 10.8. Se observa, en particular, que la carga aplicada está en paralelo con la resistencia del colector R_C , definiéndose así una resistencia neta en paralelo

$$R'_L = R_C \parallel R_L = 3 \text{ k}\Omega \parallel 2.2 \text{ k}\Omega = 1.269 \text{ k}\Omega$$

El voltaje de salida

$$V_o = -\beta I_B R'_L$$

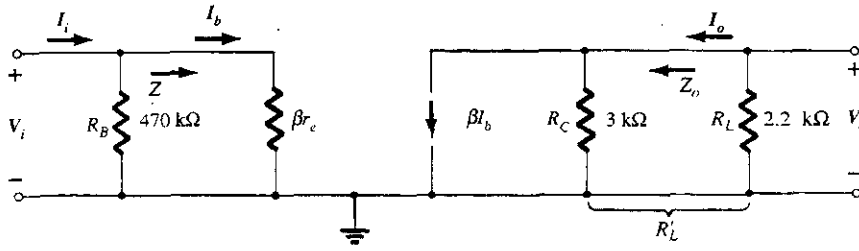


Figura 10.8 Sustitución del modelo r_e en la red equivalente de ac de la figura 10.7.

con
$$I_b = \frac{V_i}{\beta r_e}$$

y
$$V_o = -\beta \frac{V_i}{\beta r_e} R'_L$$

de modo que
$$A_v = \frac{V_o}{V_i} = -\frac{R'_L}{r_e} = -\frac{R_C || R_L}{r_e} \quad (10.7)$$

Al sustituir los valores se tiene

$$A_v = -\frac{1.269 \text{ k}\Omega}{10.71 \Omega} = -118.5$$

como se obtuvo arriba. Para la ganancia de corriente, mediante la regla del divisor de corriente,

$$I_b = \frac{(470 \text{ k}\Omega)I_i}{470 \text{ k}\Omega + 1.071 \text{ k}\Omega} = 0.9977I_i \cong I_i$$

e
$$I_o = \frac{3 \text{ k}\Omega(\beta I_b)}{3 \text{ k}\Omega + 2.2 \text{ k}\Omega}$$

$$= 0.5769\beta I_b$$

de manera que
$$A_i = \frac{I_o}{I_i} = \frac{0.5769\beta I_b}{I_i} = \frac{0.5769\beta I_i}{I_i}$$

$$= 0.5769(100) = 57.69$$

como se obtuvo usando la ecuación (10.6).

El ejemplo 10.2 demostró dos técnicas para resolver el mismo problema. Aunque puede resolverse cualquier red utilizando el método del modelo r_e , la ventaja del modelo de los sistemas es que una vez que se conocen los parámetros de los dos puertos, puede calcularse directamente el efecto de una variación de la carga directamente por medio de la ecuación (10.3). No existe la necesidad de regresar al modelo equivalente de ac y analizar toda la red. Las ventajas del método de los sistemas es similar a aquellas ventajas asociadas con la aplicación del teorema de Thévenin. Ya que permiten concentrarse en los efectos de la carga sin tener que volver a examinar por completo la red. Desde luego, si la red de la figura 10.7 se presentara sin los parámetros de sin carga, sería una incógnita interesante saber cuál genera los resultados deseados en la forma más directa y eficiente. Sin embargo, considere que el método del “paquete” es la tendencia de desarrollo. Cuando se adquiere un sistema se proporcionan los dos puertos, y como con cualquier tendencia, el usuario debe estar alerta sobre la forma de utilizar los datos proporcionados.

La recta de carga de ac

Para un sistema como el que aparece en la figura 10.9a, se dibujó la recta de carga de ac en las características de salida como se muestra en la figura 10.9b. La resistencia de la carga no contribuyó a la recta de carga en dc debido a que se aisló de la red de polarización mediante el capacitor de acoplamiento (C_C). Para el análisis de ac se reemplazan los capacitores de acoplamiento mediante un equivalente de corto circuito que colocará los resistores de la carga y el colector en un arreglo en paralelo definido mediante

$$R'_L = R_C \parallel R_L$$

El efecto de la recta de carga se muestra en la figura 10.9b con los niveles para determinar las nuevas intersecciones de los ejes. Obsérvese la particular importancia que ambas rectas de ac y dc pasan a través del mismo punto Q , condición que se debe satisfacer para asegurar una solución común para la red bajo las condiciones de dc y/o ac.

Para la situación sin carga, la aplicación de una señal senoidal relativamente pequeña a la base del transistor podría causar que la corriente de base tuviera excursión de un nivel de I_{B_2} a uno de I_{B_4} como se muestra en la figura 10.9b. Por tanto, el voltaje de salida resultante v_{ce} tendría entonces la excursión que aparecería en la misma figura. La aplicación de la misma señal para una situación con carga ocasionaría la misma excursión en el nivel I_B , como se muestra en la figura 10.9b. Sin embargo, el resultado de una pendiente más pronunciada de la

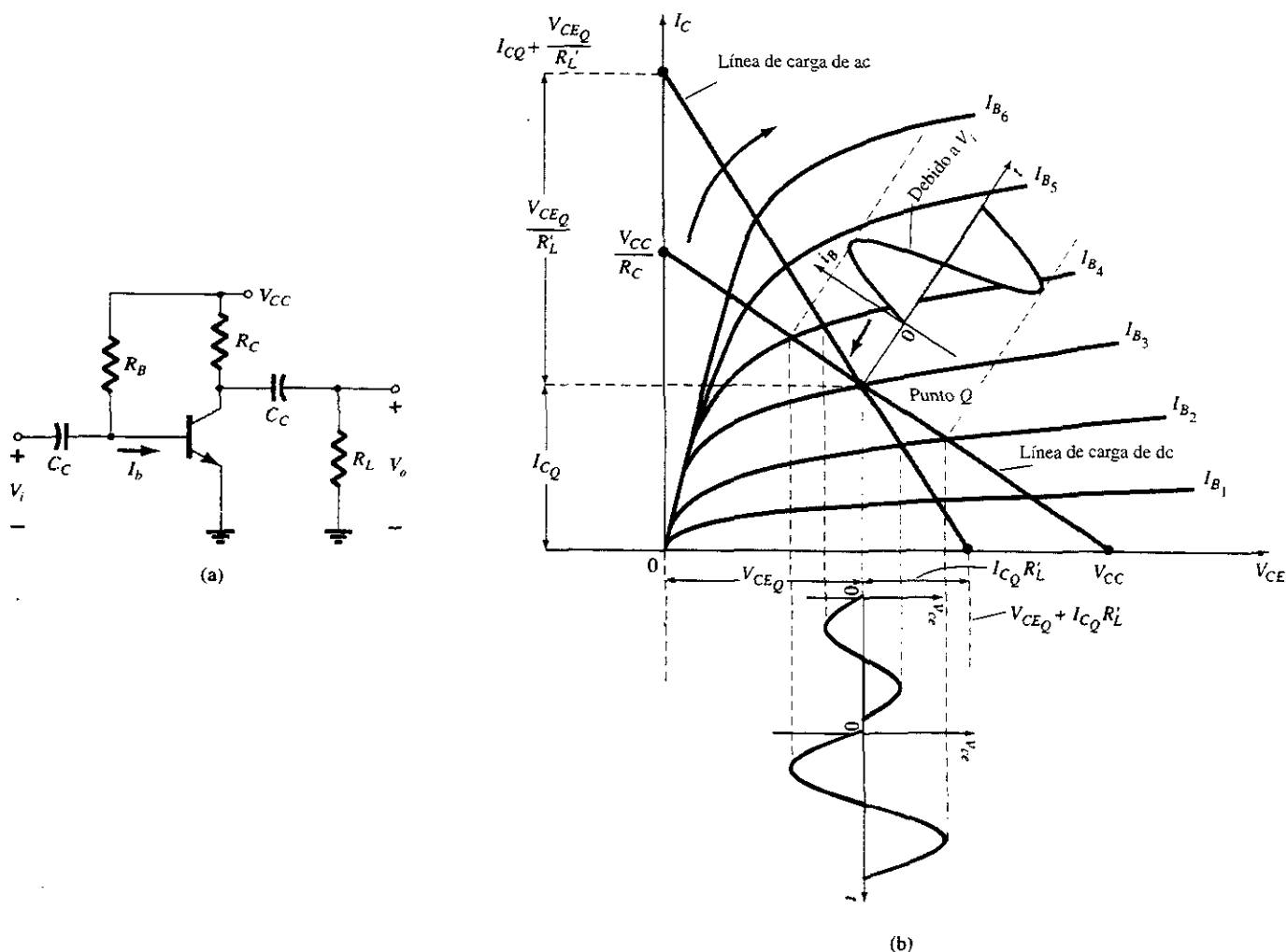


Figura 10.9 Demostración de las diferencias entre las líneas de carga dc y ac.

recta de carga en ac es una excursión menor del voltaje de salida (v_{ce}) y una caída en la ganancia del sistema como se demostró en el análisis numérico anterior. Debe resultar obvio a partir de la intersección de la recta de carga en ac sobre el eje vertical que mientras más pequeño sea el nivel de R'_L , más grande será la pendiente y menor será la ganancia de voltaje en ac. Ya que R'_L es menor para los niveles reducidos de R_L , debe resultar bastante claro que:

Para un diseño en particular, mientras más pequeño sea el nivel de R_L , menor será el nivel de la ganancia de voltaje ac.

10.4 EFECTO DE LA IMPEDANCIA DE LA FUENTE (R_s)

Ahora enfocaremos la atención al lado de la entrada del sistema de dos puertos y al efecto de la resistencia de la fuente interna en la ganancia de un amplificador. En la figura 10.10 se ha aplicado una fuente con una resistencia interna al sistema de dos puertos básico. Las definiciones de Z_i y de A_{vNL} son:

Los parámetros Z_i y A_{vNL} de un sistema de dos puertos no se afectan entre sí, debido a la resistencia interna de la fuente que se aplica.

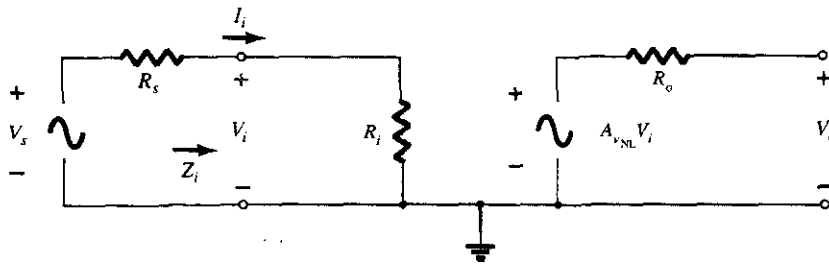


Figura 10.10 Inclusión de los efectos de la resistencia de la fuente R_s .

Sin embargo:

La impedancia de salida sí puede verse afectada por la magnitud de R_s .

[Recuerde la ecuación (8.110) para el modelo equivalente híbrido]. La fracción de la señal aplicada que alcanza las terminales de entrada del amplificador de la figura 10.10 está determinada mediante la regla del divisor de voltaje. Esto es,

$$V_i = \frac{R_i V_s}{R_i + R_s} \quad (10.8)$$

La ecuación (10.8) muestra con claridad que mientras mayor sea la magnitud de R_s , menor será el voltaje en las terminales de entrada del amplificador. Por tanto:

Para un amplificador en particular, mientras mayor sea la resistencia interna de una fuente de señal, menor será la ganancia total del sistema.

Para el sistema de dos puertos de la figura 10.10,

$$V_o = A_{vNL} V_i$$

y

$$V_i = \frac{R_i V_s}{R_i + R_s}$$

de manera que

$$V_o = A_{vNL} \frac{R_i}{R_i + R_s} V_s$$

y

$$A_v = \frac{V_o}{V_s} = \frac{R_i}{R_i + R_s} A_{vNL} \quad (10.9)$$

El resultado apoya la aseveración anterior respecto a la reducción en la ganancia con el incremento en R_s . Por medio de la ecuación (10.9), si $R_s = 0 \Omega$ (fuente ideal de voltaje), $A_{v_i} = A_{v_{NL}}$, el cual se trata de un valor máximo posible.

La corriente de entrada también se altera de la siguiente manera debido a la presencia de la resistencia de la fuente:

$$I_i = \frac{V_s}{R_s + R_i} \quad (10.10)$$

EJEMPLO 10.3

En la figura 10.11 se ha aplicado una fuente con una resistencia interna al amplificador a transistor con polarización fija del ejemplo 10.1 (figura 10.3).

- Calcular la ganancia de voltaje $A_{v_i} = V_o/V_s$. ¿Qué porcentaje de la señal aplicada aparece en las terminales de entrada del amplificador?
- Determinar la ganancia de voltaje $A_{v_s} = V_o/V_s$ usando el modelo r_e .

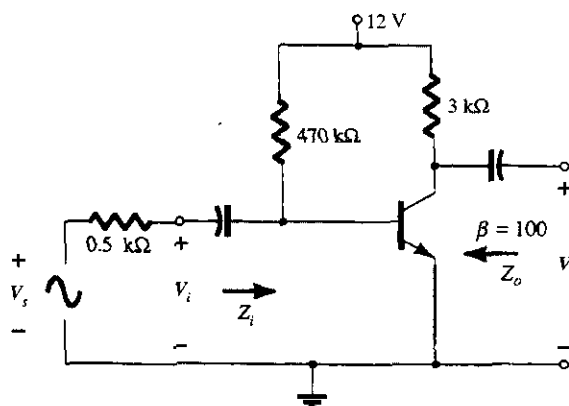


Figura 10.11 Ejemplo 10.3.

Solución

- El equivalente de dos puertos para la red aparece en la figura 10.12.

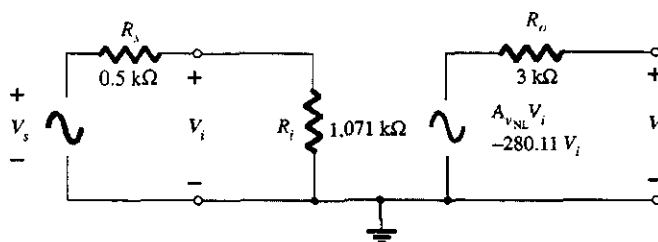


Figura 10.12 Sustitución de la red equivalente de dos puertos para el transistor amplificador con polarización fija de la figura 10.11.

$$\begin{aligned} \text{La ecuación (10.9): } A_{v_s} &= \frac{V_o}{V_s} = \frac{R_i}{R_i + R_s} A_{v_{NL}} = \frac{1.071 \text{ k}\Omega}{1.071 \text{ k}\Omega + 0.5 \text{ k}\Omega} (-280.11) \\ &= (0.6817)(-280.11) \\ &= -190.96 \end{aligned}$$

$$\text{La ecuación (10.8): } V_i = \frac{R_i V_s}{R_i + R_s} = \frac{(1.071 \text{ k}\Omega) V_s}{1.071 \text{ k}\Omega + 0.5 \text{ k}\Omega} = 0.6817 V_s$$

o el **68.2%** de la señal disponible alcanzó al amplificador y mientras el 31.8% se perdió a través de la resistencia interna de la fuente.

- b) Al sustituir el modelo r_e se obtiene el circuito equivalente de la figura 10.13. Resolviendo V_o se obtiene

$$V_o = -(100I_b)3 \text{ k}\Omega$$

con
$$Z_i \cong \beta r_e \text{ e } I_b \cong I_i = \frac{V_s}{R_s + \beta r_e} = \frac{V_s}{1.571 \text{ k}\Omega}$$

y
$$V_o = -100 \left(\frac{V_s}{1.571 \text{ k}\Omega} \right) 3 \text{ k}\Omega$$

de modo que
$$A_{v_i} = \frac{V_o}{V_s} = - \frac{(100)(3 \text{ k}\Omega)}{1.57 \text{ k}\Omega}$$

$$= -190.96$$

como antes.

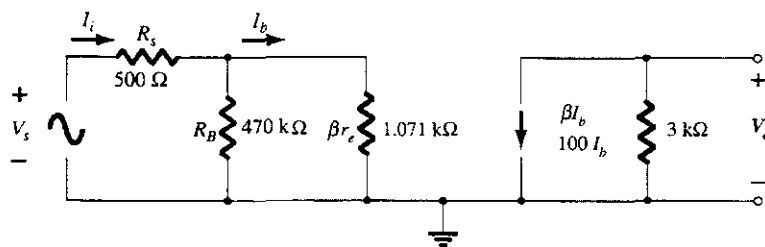


Figura 10.13 Sustitución del circuito r_e equivalente para el amplificador a transistor de polarización fija de la figura 10.11.

Se observa a través del análisis anterior que no se incluyó R_s en la definición de Z_i para el sistema de dos puertos. Desde luego, la resistencia “observada” en la fuente ahora es $R_s + Z_i$, pero R_s permanece como una cantidad asociada sólo con la fuente aplicada.

Una vez más en el ejemplo 10.3 podemos ver que se obtuvieron los mismos resultados con la aproximación de los sistemas y utilizando el modelo r_e . Desde luego, si están disponibles los parámetros de dos puertos, éstos deben aplicarse. En caso contrario, el método para la solución es simplemente una cuestión de preferencia.

10.5 EFECTO COMBINADO DE R_s y R_L

Hasta ahora sólo se han demostrado los efectos de R_s y de R_L sobre una base individual. La siguiente pregunta natural que surge es cómo afectará en la ganancia total la presencia de ambos factores en la misma red. En la figura 10.14 se aplicaron una fuente con una resistencia interna R_s y una carga R_L a un sistema de dos puertos, para los cuales se especificaron los parámetros Z_i , $A_{v_{NL}}$ y Z_o . Por el momento, se asumirá que tanto Z_i como Z_o no están afectados por R_L y R_s , respectivamente.

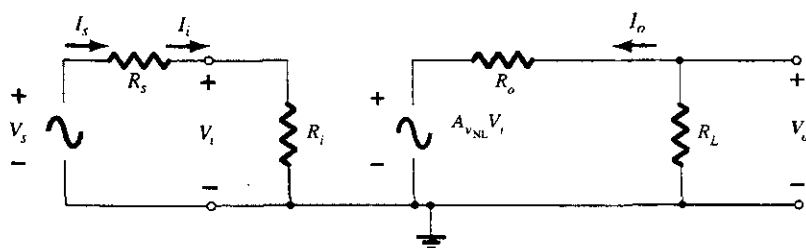


Figura 10.14 Consideración de los efectos de R_s y de R_L en la ganancia de un amplificador.

Se encuentra en el lado de la entrada

$$\text{Ecuación (10.8): } V_i = \frac{R_i V_s}{R_i + R_s}$$

o

$$\boxed{\frac{V_i}{V_s} = \frac{R_i}{R_i + R_s}} \quad (10.11)$$

y en el lado de la salida

$$V_o = \frac{R_L A_{vNL} V_i}{R_L + R_o}$$

o

$$\boxed{A_v = \frac{V_o}{V_i} = \frac{R_L A_{vNL}}{R_L + R_o}} \quad (10.12)$$

Para la ganancia total $A_{v_s} = V_o/V_s$, pueden desarrollarse los siguientes pasos matemáticos:

$$A_{v_s} = \frac{V_o}{V_s} = \frac{V_o}{V_i} \frac{V_i}{V_s} \quad (10.13)$$

y sustituyendo las ecuaciones (10.11) y (10.12) se obtiene que

$$A_{v_s} = \frac{R_L A_{vNL}}{R_L + R_o} \frac{R_i}{R_i + R_s}$$

y

$$\boxed{A_{v_s} = \frac{V_o}{V_s} = \frac{R_i}{R_i + R_s} \frac{R_L}{R_L + R_o} A_{vNL}} \quad (10.14)$$

Debido a que $I_i = V_i/R_i$, como antes,

$$\boxed{A_i = -A_v \frac{R_i}{R_L}} \quad (10.15)$$

o utilizando $I_s = V_s/(R_s + R_i)$,

$$\boxed{A_{i_s} = -A_{v_s} \frac{R_s + R_i}{R_L}} \quad (10.16)$$

Sin embargo, $I_i = I_s$ de tal forma que tanto las ecuaciones (10.15) como (10.16) generarán el mismo resultado. La ecuación (10.14) indica con claridad que tanto la resistencia de la fuente y de la carga reducirán la ganancia total del sistema. De hecho:

Mientras mayor sea la resistencia de la fuente y/o menor la resistencia de la carga, menor será la ganancia total de un amplificador.

Los dos factores de reducción de la ecuación (10.14) forman un producto que debe considerarse con cuidado en cualquier procedimiento de diseño. No es suficiente con asegurarse R_s es relativamente pequeño si se ignora el impacto de la magnitud de R_L . Por ejemplo, en la ecuación (10.14), si el primer factor es 0.9 y el segundo es 0.2, el producto de los dos resultados será un factor total de reducción igual a $(0.9)(0.2) = 0.18$ el cual es cercano al factor más bajo. El efecto del excelente nivel de 0.9 se borró completamente debido al segundo multiplicando que es significativamente inferior. Si ambos fueran factores con un nivel de 0.9, el resultado neto sería de $(0.9)(0.9) = 0.81$, el cual sigue siendo muy alto. Incluso si el primero fuera de 0.9 y el segundo de 0.7, aún sería muy respetable el nivel de 0.63. Por tanto, para una buena ganancia total, deben evaluarse en forma individual y como un producto el efecto tanto de R_s como de R_L .

Para el amplificador de una sola etapa de la figura 10.15, con $R_L = 4.7 \text{ k}\Omega$ y $R_s = 0.3 \text{ k}\Omega$, determinar:

EJEMPLO 10.4

- A_{v_s} .
- $A_v = V_o/V_i$.
- A_i .

Los parámetros de dos puertos para la configuración de polarización fija son $Z_i = 1.071 \text{ k}\Omega$, $Z_o = 3 \text{ k}\Omega$, y $A_{v_{NL}} = -280.11$.

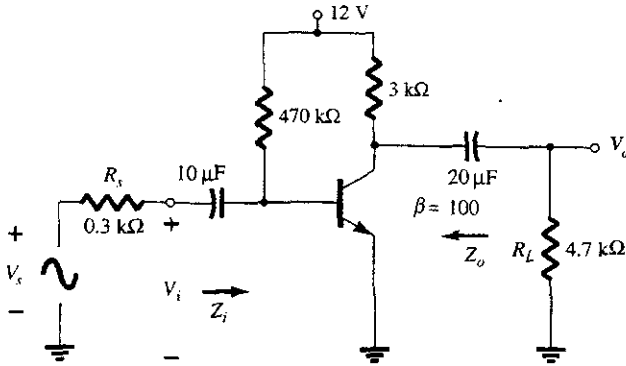


Figura 10.15 Ejemplo 10.4.

Solución

$$\begin{aligned}
 \text{a) La ecuación (10.14): } A_{v_s} &= \frac{V_o}{V_s} = \frac{R_i}{R_i + R_s} \frac{R_L}{R_L + R_o} A_{v_{NL}} \\
 &= \left(\frac{1.071 \text{ k}\Omega}{1.071 \text{ k}\Omega + 0.3 \text{ k}\Omega} \right) \left(\frac{4.7 \text{ k}\Omega}{4.7 \text{ k}\Omega + 3 \text{ k}\Omega} \right) (-280.11) \\
 &= (0.7812)(0.6104)(-280.11) \\
 &= (0.4768)(-280.11) \\
 &= -133.57
 \end{aligned}$$

$$\begin{aligned}
 \text{b) } A_v &= \frac{V_o}{V_i} = \frac{R_L A_{v_{NL}}}{R_L + R_o} = \frac{(4.7 \text{ k}\Omega)(-280.11)}{4.7 \text{ k}\Omega + 3 \text{ k}\Omega} \\
 &= (0.6104)(-280.11) = -170.98
 \end{aligned}$$

$$\begin{aligned}
 \text{c) } A_i &= -A_v \frac{R_i}{R_L} = -(-170.98) \left(\frac{1.071 \text{ k}\Omega}{4.7 \text{ k}\Omega} \right) \\
 &= 38.96
 \end{aligned}$$

$$\begin{aligned}
 \text{o } A_{i_s} &= -A_{v_s} \frac{R_s + R_i}{R_L} = -(-133.57) \left(\frac{1.071 \text{ k}\Omega + 0.3 \text{ k}\Omega}{4.7 \text{ k}\Omega} \right) \\
 &= 38.96
 \end{aligned}$$

como arriba.

10.6 REDES BJT DE CE

La configuración de polarización fija se ha utilizado a lo largo del análisis de las primeras secciones de este capítulo para mostrar con más claridad los efectos de R_s y de R_L . En esta sección se examinan varias configuraciones CE con una resistencia de la carga y de la fuente. No se llevará a cabo un análisis detallado de cada configuración porque siguen una trayectoria muy similar a la que se demostró en últimas secciones.

Polarización fija

Para la polarización fija que se examinó con detalle en las secciones recientes, aparecerá el modelo del sistema con una resistencia de la carga y de la fuente como se muestra en la figura 10.16. En general,

$$V_o = \frac{R_L}{R_L + R_o} A_{v_{NL}} V_i$$

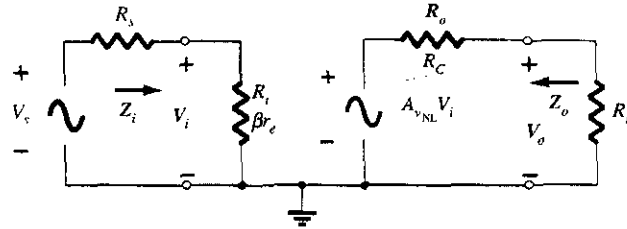


Figura 10.16 Configuración de polarización fija con R_s y R_L .

Al sustituir la ecuación (8.6), $A_{v_{NL}} = -R_C/r_e$ y $R_o = R_C$,

$$V_o = \frac{R_L(-R_C/r_e)V_i}{R_L + R_C}$$

y

$$A_v = \frac{V_o}{V_i} = -\frac{R_L R_C}{R_L + R_C} \frac{1}{r_e}$$

pero

$$R_L \parallel R_C = \frac{R_L R_C}{R_L + R_C}$$

y

$$A_v = -\frac{R_L \parallel R_C}{r_e} \quad (10.17)$$

Si se sustituyera el modelo r_e por el transistor en la configuración de polarización fija, se obtendría la red de la figura 10.17, revelando que tanto R_C y R_L están en paralelo.

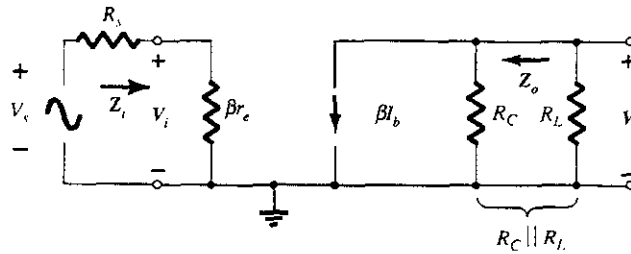


Figura 10.17 Configuración de polarización fija con la sustitución del modelo r_e .

Para la ganancia de voltaje A_{v_s} de la figura 10.16,

$$V_i = \frac{Z_i V_s}{Z_i + R_s}$$

y

$$\frac{V_i}{V_s} = \frac{Z_i}{Z_i + R_s}$$

con

$$A_{v_s} = \frac{V_o}{V_s} = \frac{V_i}{V_s} \frac{V_o}{V_i}$$

de forma que

$$A_{v_s} = \frac{Z_i}{Z_i + R_s} A_v \quad (10.18)$$

Debido a que la carga está conectada a la terminal del colector de la configuración de emisor común,

$$Z_i = \beta r_e \quad (10.19)$$

y

$$Z_o = R_C \quad (10.20)$$

como se obtuvo anteriormente.

Polarización mediante divisor de voltaje

Para la configuración con carga y polarización mediante divisor de voltaje de la figura 10.18, la carga se conecta una vez más a la terminal del colector y Z_i permanece como

$$Z_i \cong R' \parallel \beta r_e \quad (R' = R_1 \parallel R_2) \quad (10.21)$$

y para la impedancia de salida del sistema

$$Z_o = R_C \quad (10.22)$$

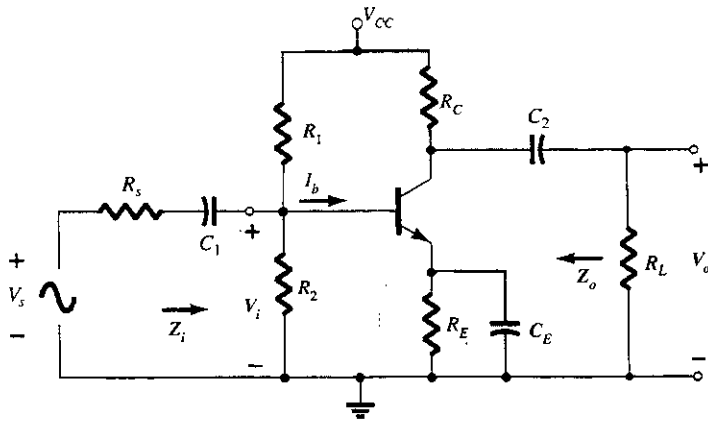


Figura 10.18 Configuración de polarización mediante divisor de voltaje con R_s y R_L .

En el modelo de pequeña señal, R_C y R_L estarán de nuevo en paralelo y

$$A_v = - \frac{R_C \parallel R_L}{r_e} \quad (10.23)$$

con

$$A_{v_s} = \frac{Z_i}{Z_i + R_s} A_v \quad (10.24)$$

Polarización CE con emisor sin desvío

Para la configuración de polarización de emisor común con emisor sin desvío de la figura 10.19, Z_i permanece independiente de la carga aplicada y

$$Z_i \cong R_B \parallel \beta R_E \quad (10.25)$$

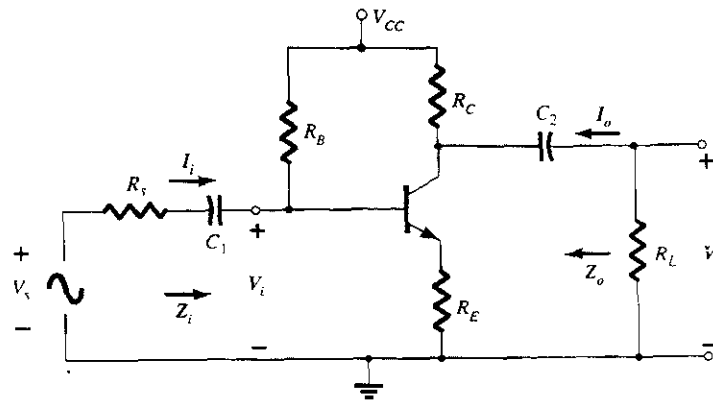


Figura 10.19 Configuración de polarización en el emisor de emisor común sin desvío con R_s y R_L .

Para la impedancia de salida,

$$Z_o = R_C \quad (10.26)$$

Para la ganancia de voltaje, la resistencia R_C estará una vez más en paralelo con R_L y

$$A_v = \frac{V_o}{V_i} = - \frac{R_C || R_L}{R_E} \quad (10.27)$$

con

$$A_{v_s} = \frac{V_o}{V_s} = \frac{Z_i}{Z_i + R_s} A_v \quad (10.28)$$

y

$$A_i = \frac{I_o}{I_i} = -A_v \frac{Z_i}{R_L} \quad (10.29)$$

pero debe tenerse en cuenta que $I_i = I_s = V_s / (R_s + Z_i) = V_i / Z_i$.

Retroalimentación en colector

Para mantener la conexión de la carga a la terminal del colector, la siguiente configuración que se examinará es la configuración de retroalimentación en colector de la figura 10.20. En el modelo de pequeña señal del sistema R_C y R_L estará de nuevo en paralelo y

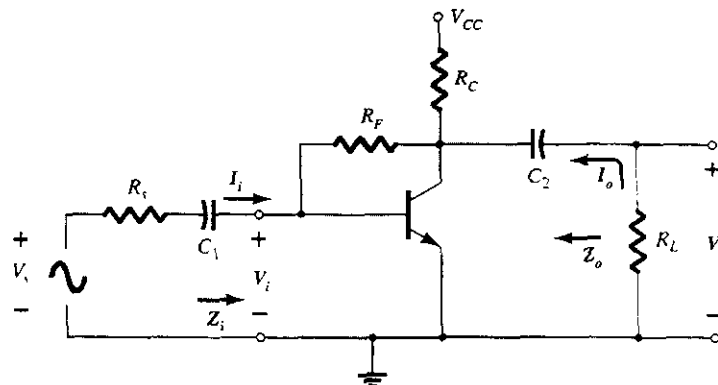


Figura 10.20 Configuración de retroalimentación en colector con R_s y R_L .

$$A_v = -\frac{R_C \parallel R_L}{r_e} \quad (10.30)$$

con

$$A_{v_s} = \frac{Z_i}{Z_i + R_s} A_v \quad (10.31)$$

La impedancia de salida

$$Z_o \cong R_C \parallel R_F \quad (10.32)$$

y

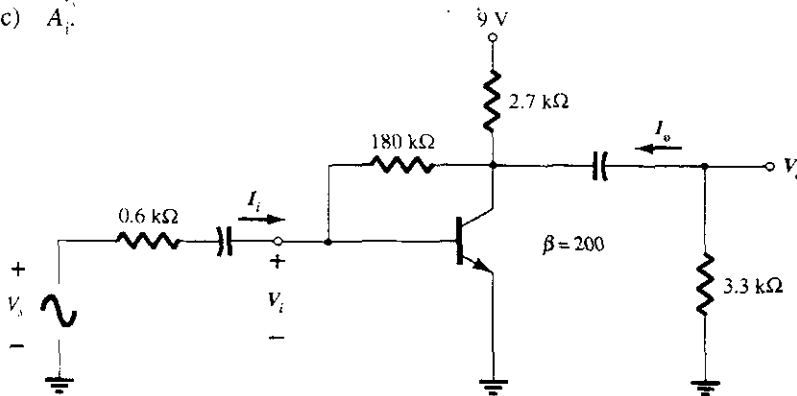
$$Z_i = \beta r_e \parallel \frac{R_F}{|A_v|} \quad (10.33)$$

El hecho que A_v en la ecuación (10.30) sea una función de R_L altera el nivel de Z_i a partir del valor sin carga. Por lo mismo, si no está disponible un modelo sin carga, debe modificarse el nivel de Z_i como se demostrará en el siguiente ejemplo.

El amplificador con retroalimentación en colector de la figura 10.21 tiene los siguientes parámetros de sistema sin carga: $A_{v_{NL}} = -238.94$, $Z_o = R_C \parallel R_F = 2.66 \text{ k}\Omega$ y $Z_i = 0.553 \text{ k}\Omega$, con $r_e = 11.3 \Omega$ y $\beta = 200$. Usando el método de los sistemas, determine:

EJEMPLO 10.5

- A_v .
- A_{v_s} .
- A_i .

**Figura 10.21** Ejemplo 10.5.**Solución**

- Para el sistema de dos puertos:

$$\begin{aligned} A_v &= -\frac{R_C \parallel R_L}{r_e} = -\frac{2.7 \text{ k}\Omega \parallel 3.3 \text{ k}\Omega}{11.3 \Omega} \\ &= -\frac{1.485 \text{ k}\Omega}{11.3 \Omega} = \mathbf{-131.42} \end{aligned}$$

$$\begin{aligned} \text{con } Z_i &= \beta r_e \parallel \frac{R_F}{|A_v|} = (200)(11.3 \Omega) \parallel \frac{180 \text{ k}\Omega}{131.42} \\ &= 2.26 \text{ k}\Omega \parallel 1.37 \text{ k}\Omega \\ &= 0.853 \text{ k}\Omega \end{aligned}$$

El método de los sistemas dará la configuración de la figura 10.22 con el valor de Z_i como si estuviera controlado mediante R_L y la ganancia de voltaje. Ahora se puede aplicar la ecuación de ganancia de dos puertos (con una ligera diferencia en A_v debido a la aproximación $\beta I_b \gg I_{R_f}$ en la sección 8.7):

$$A_v = \frac{R_L A_{v_{NL}}}{R_L + R_o} = \frac{(3.3 \text{ k}\Omega)(-238.94)}{3.3 \text{ k}\Omega + 2.66 \text{ k}\Omega} = -132.3$$

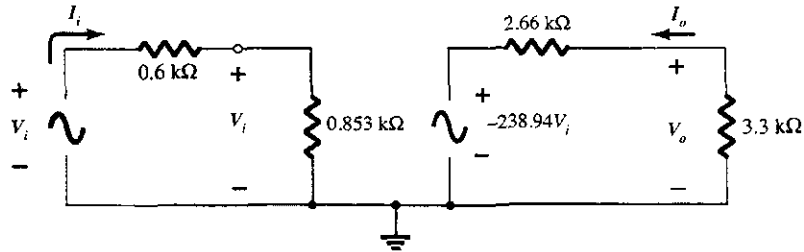


Figura 10.22 El circuito equivalente de ac para la red de la figura 10.21.

$$\begin{aligned} \text{b) } A_{v_s} &= \frac{Z_i}{Z_i + R_s} A_v = \frac{0.853 \text{ k}\Omega}{0.853 \text{ k}\Omega + 0.6 \text{ k}\Omega} (-132.3) \\ &= -77.67 \end{aligned}$$

$$\begin{aligned} \text{c) } A_i &= -A_v \frac{Z_i}{R_L} = -(-132.3) \left(\frac{0.853 \text{ k}\Omega}{3.3 \text{ k}\Omega} \right) = \frac{(132.3)(0.853 \text{ k}\Omega)}{3.3 \text{ k}\Omega} \\ &= 34.2 \end{aligned}$$

$$\begin{aligned} \text{o } A_i &= -A_{v_s} \frac{Z_i + R_s}{R_L} = -(-77.67) \left(\frac{0.853 \text{ k}\Omega + 0.6 \text{ k}\Omega}{3.3 \text{ k}\Omega} \right) \\ &= 34.2 \end{aligned}$$

10.7 REDES EMISOR-SEGUIDOR

Los parámetros de impedancia de entrada y de salida del modelo de dos puertos para la red emisor-seguidor son sensibles a la resistencia a la carga aplicada y de la resistencia de la fuente. Para la configuración de emisor-seguidor de la figura 10.23, el modelo de pequeña señal aparecería como se muestra en la figura 10.24. Para la sección de entrada de la figura 10.24, se desprecia la resistencia R_B debido a que por lo general es mucho mayor que la resistencia de la

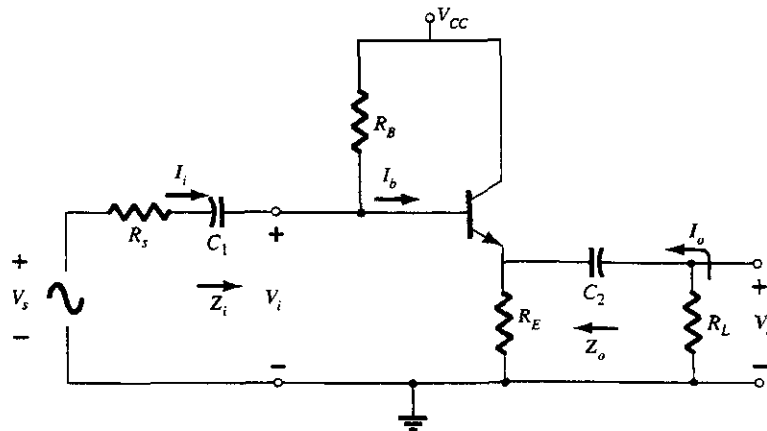
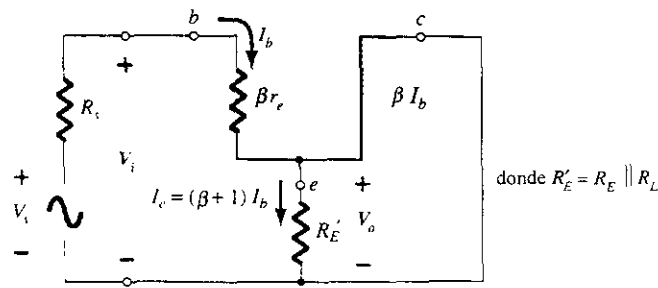


Figura 10.23 Configuración de emisor-seguidor con R_s y R_L .

Figura 10.24 Configuración de emisor-seguidor de la figura 10.23 después de la sustitución del circuito r_e equivalente.



fuerza de un circuito Thévenin equivalente para la configuración de la figura 10.25 y que daría simplemente R_s y V_s como se muestra en la figura 10.24. Desde luego, si los niveles de corriente deben determinarse como I_i en el diagrama original, se incluye el efecto de R_B .

Al aplicar la ley de voltaje de Kirchhoff al circuito de entrada de la figura 10.24 se obtiene

$$V_s - I_b R_s - I_b \beta r_e - (\beta + 1) I_b R_E' = 0$$

y

$$V_s - I_b (R_s + \beta r_e + (\beta + 1) R_E') = 0$$

de manera que

$$I_b = \frac{V_s}{R_s + \beta r_e + (\beta + 1) R_E'}$$

Al establecer I_e , se tiene que

$$I_e = (\beta + 1) I_b = \frac{(\beta + 1) V_s}{R_s + \beta r_e + (\beta + 1) R_E'}$$

e

$$I_e = \frac{V_s}{[(R_s + \beta r_e)/(\beta + 1)] + R_E'}$$

Al utilizar $\beta + 1 \approx \beta$ se obtiene

$$I_e = \frac{V_s}{(R_s/\beta + r_e) + R_E'} \quad (10.34)$$

Al dibujar la red para “ajustar” la ecuación (10.34) se obtiene la configuración de la figura 10.26a. Por otro lado, en la figura 10.26b se han separado R_E y la resistencia de la carga R_L , para permitir una definición de Z_o e I_o .

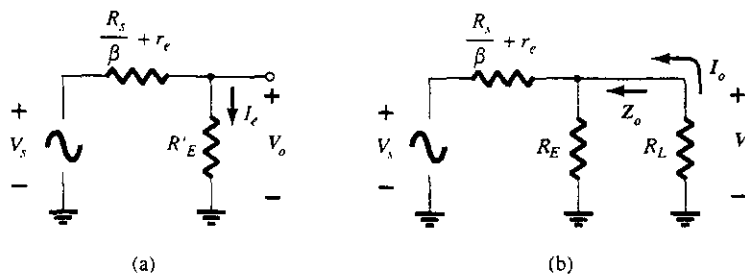


Figura 10.26 Redes resultantes de la aplicación de la ley de voltaje de Kirchhoff al circuito de entrada de la figura 10.24.

Entonces se puede obtener la ganancia de voltaje de manera directa a partir de la figura 10.26a utilizando la regla del divisor de voltaje.

$$V_o = \frac{R_E' V_s}{R_E' + (R_s/\beta + r_e)}$$

o

$$A_{v_s} = \frac{V_o}{V_s} = \frac{R_E'}{R_E' + (R_s/\beta + r_e)}$$

$$y \quad A_{v_s} = \frac{V_o}{V_s} = \frac{R_E \parallel R_L}{R_E \parallel R_L + R_s/\beta + r_e} \quad (10.35)$$

Al hacer $V_s = 0$ y resolviendo Z_o se obtiene

$$Z_o = R_E \parallel \left(\frac{R_s}{\beta} + r_e \right) \quad (10.36)$$

Para la impedancia de entrada,

$$Z_b = \beta(r_e + R_E')$$

$$y \quad Z_i = R_B \parallel Z_b$$

$$o \quad Z_i = R_B \parallel \beta(r_e + R_E \parallel R_L) \quad (10.37)$$

Para las condiciones sin carga, la ecuación de ganancia es

$$A_{v_{NL}} \cong \frac{R_E}{R_E + r_e}$$

mientras que para las condiciones con carga,

$$A_v \cong \frac{V_o}{V_i} = \frac{R_E \parallel R_L}{R_E \parallel R_L + r_e} \quad (10.38)$$

EJEMPLO 10.6

Para la configuración emisor-seguidor con carga de la figura 10.27 con la resistencia de la fuente y los siguientes parámetros de dos puertos sin carga: $Z_i = 157.54 \text{ k}\Omega$, $Z_o = 21.6 \Omega$ y $A_{v_{NL}} = 0.993$ con $r_e = 21.74 \Omega$ y $\beta = 65$, determinar:

- Los nuevos valores de Z_i y de Z_o como se calculan mediante la carga y R_s , respectivamente.
- A_v utilizando el método de los sistemas.
- A_{v_s} por medio del método de los sistemas.
- $A_i = I_o/I_i$.

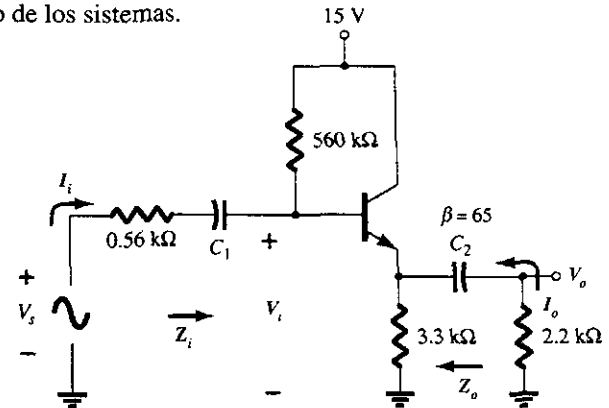


Figura 10.27 Ejemplo 10.6.

Solución

$$\begin{aligned} \text{La ecuación (10.37): } Z_i &= R_B \parallel \beta(r_e + R_E \parallel R_L) \\ &= 560 \text{ k}\Omega \parallel 65(21.74 \Omega + \underbrace{3.3 \text{ k}\Omega \parallel 2.2 \text{ k}\Omega}_{1.32 \text{ k}\Omega}) \\ &= 560 \text{ k}\Omega \parallel 87.21 \text{ k}\Omega \\ &= 75.46 \text{ k}\Omega \end{aligned}$$

contra $157.54 \text{ k}\Omega$ (sin carga).

$$\begin{aligned}
 Z_o &= R_E \parallel \left(\frac{R_s}{\beta} + r_e \right) \\
 &= 3.3 \text{ k}\Omega \parallel \left(\frac{0.56 \text{ k}\Omega}{65} + 21.74 \Omega \right) \\
 &= 3.3 \text{ k}\Omega \parallel 30.36 \Omega \\
 &= \mathbf{30.08 \Omega}
 \end{aligned}$$

contra 21.6Ω (sin R_s).

b) Al sustituir la red equivalente de dos puertos se obtiene la red equivalente de pequeña señal de la figura 10.28.

$$\begin{aligned}
 V_o &= \frac{R_L A_v \text{NL} V_i}{R_L + R_o} = \frac{(2.2 \text{ k}\Omega)(0.993)V_i}{2.2 \text{ k}\Omega + 30.08 \Omega} \\
 &\cong 0.98 V_i \\
 \text{con } A_v &= \frac{V_o}{V_i} \cong \mathbf{0.98}
 \end{aligned}$$

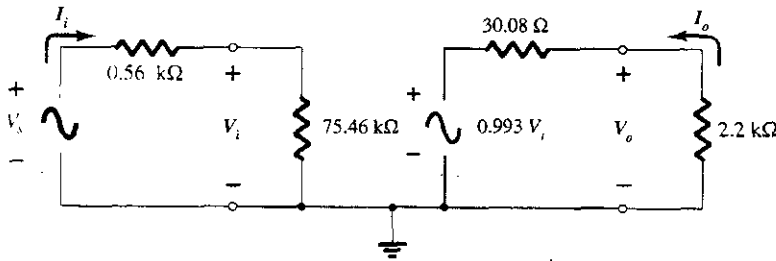


Figura 10.28 Circuito equivalente de ac a pequeña señal para la red de la figura 10.27.

$$c) V_i = \frac{Z_i V_s}{Z_i + R_s} = \frac{(75.46 \text{ k}\Omega) V_s}{75.46 \text{ k}\Omega + 0.56 \text{ k}\Omega} = 0.993 V_s$$

$$\text{de manera que } A_{v_i} = \frac{V_o}{V_s} = \frac{V_o}{V_i} \frac{V_i}{V_s} = (0.98)(0.993) = \mathbf{0.973}$$

$$\begin{aligned}
 d) A_i &= \frac{I_o}{I_i} = -A_v \frac{Z_i}{R_L} \\
 &= -(0.98) \left(\frac{75.46 \text{ k}\Omega}{2.2 \text{ k}\Omega} \right) \\
 &= \mathbf{-33.61}
 \end{aligned}$$

10.8 REDES CB

En la figura 10.29 aparece un amplificador de base común con las resistencias de la carga aplicada y de la fuente. El hecho de que la carga se encuentra conectada entre las terminales de la base y del colector la aísla del circuito de entrada y Z_i permanece esencialmente igual para condiciones sin carga o con carga. El aislamiento que existe entre los circuitos de entrada y de salida también mantiene a Z_o en un nivel fijo aun cuando pueda cambiar el nivel de R_s . Ahora, la ganancia de voltaje se determinará mediante

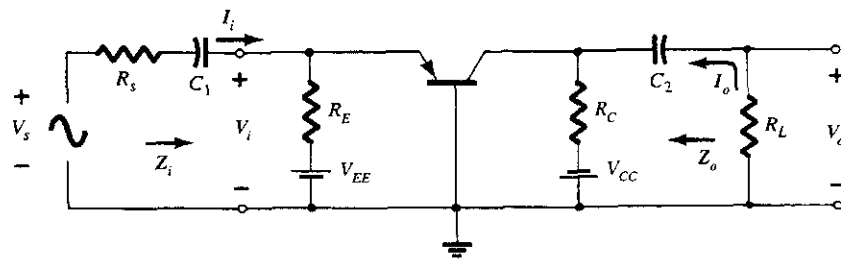


Figura 10.29 Configuración de base común con R_S y R_L .

$$A_v \cong \frac{R_C \parallel R_L}{r_e} \quad (10.39)$$

y la ganancia de corriente:

$$A_i \cong -1 \quad (10.40)$$

EJEMPLO 10.7

Para el amplificador de base común de la figura 10.30, los parámetros de dos puertos sin carga son (utilizando $\alpha \cong 1$) $Z_i \cong r_e = 20 \Omega$, $A_{v_{NL}} = 250$ y $Z_o = 5 \text{ k}\Omega$. Con el modelo equivalente de dos puertos, determine:

- A_v .
- A_{v_s} .
- A_i .

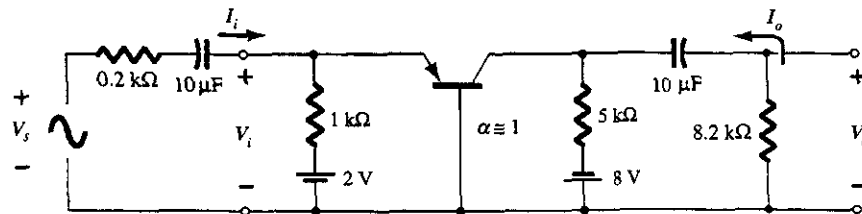


Figura 10.30 Ejemplo 10.7.

Solución

- En la figura 10.31 aparece la red equivalente de pequeña señal.

$$V_o = \frac{R_L A_{v_{NL}} V_i}{R_L + R_o} = \frac{(8.2 \text{ k}\Omega)(250) V_i}{8.2 \text{ k}\Omega + 5 \text{ k}\Omega} = 155.3 V_i$$

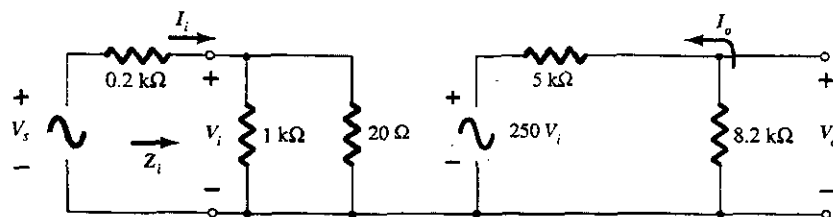


Figura 10.31 Circuito equivalente de ac a pequeña señal para la red de la figura 10.30.

$$y \quad A_v = \frac{V_o}{V_i} = 155.3$$

$$o \quad A_v \cong \frac{R_C \parallel R_L}{r_e} = \frac{5 \text{ k}\Omega \parallel 8.2 \text{ k}\Omega}{20 \Omega} = \frac{3.106 \text{ k}\Omega}{20 \Omega} = 155.3$$

$$b) \quad A_{v_s} = \frac{V_o}{V_s} = \frac{V_i}{V_s} \frac{V_o}{V_i}$$

$$= \frac{R_i}{R_i + R_s} A_v = \left(\frac{20 \Omega}{20 \Omega + 200 \Omega} \right) (155.3)$$

$$= 14.12$$

Se observa una ganancia relativamente baja debido a una impedancia de la fuente mucho mayor que la impedancia de entrada del amplificador.

$$c) \quad A_i = -A_v \frac{Z_i}{R_L} = -(155.3) \left(\frac{20 \Omega}{8.2 \text{ k}\Omega} \right)$$

$$= -0.379$$

la cual es significativamente menor a 1 debido a la división de la corriente entre R_C y R_L .

10.9 REDES FET

Como se observó en el capítulo 9, el aislamiento que existe entre la compuerta y el drenaje o la fuente de un amplificador a FET asegura que los cambios en R_L no afecten el nivel de Z_i y que los cambios en $R_{señ}$ no afecten a R_o . Por tanto:

El modelo de dos puertos sin carga de la figura 10.2 para un amplificador a FET no está afectado por la resistencia de carga aplicada y por la fuente.

Resistencia de fuente con desvío

Para el amplificador a FET de la figura 10.32, la carga aplicada aparecerá en paralelo con R_D en el modelo de pequeña señal, lo cual dará por resultado la siguiente ecuación para la ganancia con carga:

$$A_v = -g_m(R_D \parallel R_L) \quad (10.41)$$

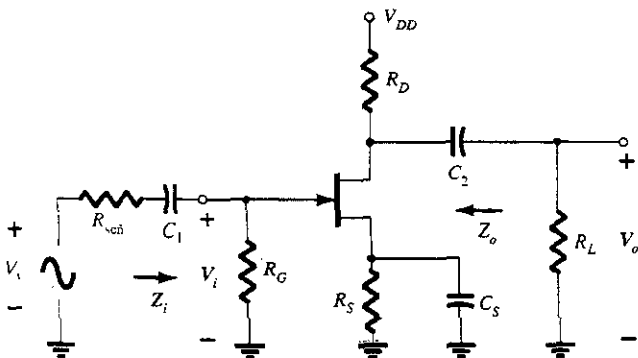


Figura 10.32 Amplificador JFET con $R_{señ}$ y R_L .

El nivel de impedancia permanece en

$$Z_i = R_G$$

(10.42)

$$Z_o = R_D$$

(10.43)

Resistencia de fuente sin desvío

Para el amplificador a FET de la figura 10.33 la carga aparecerá de nuevo en paralelo con R_D y la ganancia con carga se convierte en

$$A_v = \frac{V_o}{V_i} = -\frac{g_m(R_D || R_L)}{1 + g_m R_s}$$

(10.44)

con

$$Z_i = R_G$$

(10.45)

y

$$Z_o = R_D$$

(10.46)

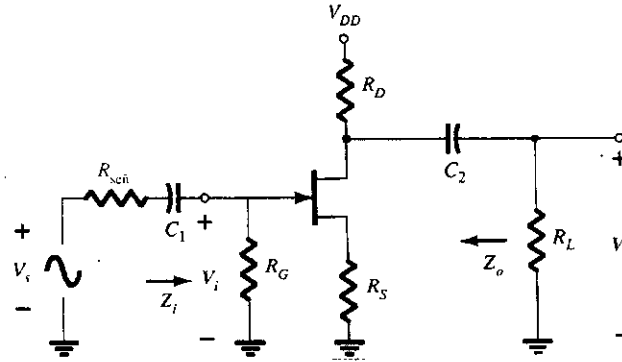


Figura 10.33 Amplificador JFET con R_s sin derivación.

EJEMPLO 10.8

Para el amplificador a FET de la figura 10.34, los parámetros de dos puertos sin carga son $A_{vNL} = -3.18$, $Z_i = R_1 || R_2 = 239 \text{ k}\Omega$ y $Z_o = 2.4 \text{ k}\Omega$, con $g_m = 2.2 \text{ mS}$.

- Por medio de los parámetros de dos puertos de arriba, determinar A_v y A_{v_i} .
- Con la ecuación (10.44), calcule la ganancia con carga y compárela con el resultado del inciso a.

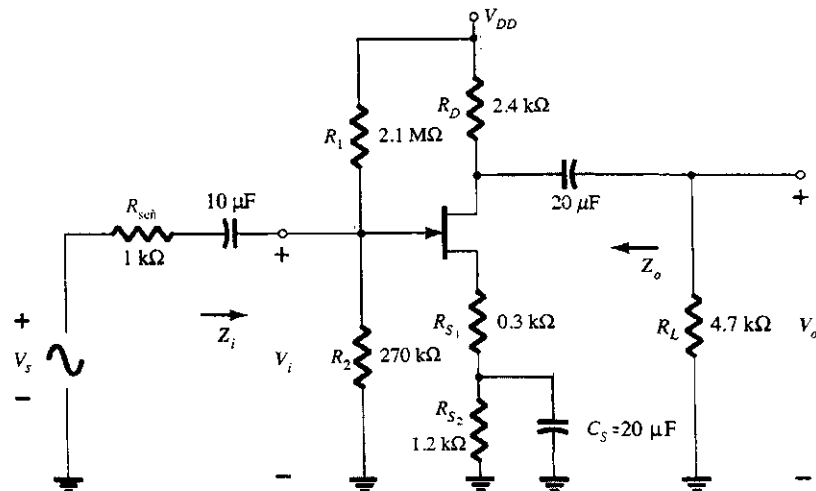


Figura 10.34 Ejemplo 10.8.

Solución

a) En la figura 10.35 aparece la red equivalente a pequeña señal y

$$A_{v_1} = \frac{V_o}{V_i} = \frac{R_L A_{v_{s1}}}{R_L + R_o} = \frac{(4.7 \text{ k}\Omega)(-3.18)}{4.7 \text{ k}\Omega + 2.4 \text{ k}\Omega}$$

$$= -2.105$$

$$A_{v_1} = \frac{V_o}{V_s} = \frac{V_i}{V_s} \frac{V_o}{V_i} = \frac{R_i}{R_i + R_{\text{señ}}} A_{v_1}$$

$$= \frac{(239 \text{ k}\Omega)(-2.105)}{239 \text{ k}\Omega + 1 \text{ k}\Omega}$$

$$= -2.096 \cong A_{v_1}$$

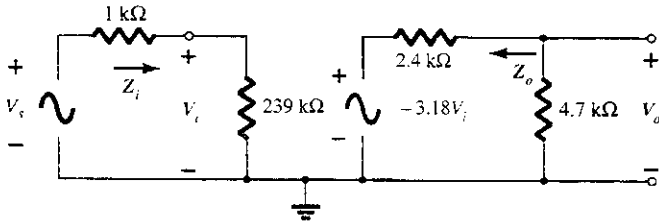


Figura 10.35 Circuito equivalente de ac a pequeña señal para la red de la figura 10.34.

b) La ecuación (10.44): $A_{v_1} = \frac{-g_m(R_D \parallel R_L)}{1 + g_m R_{S_1}}$

$$= \frac{-(2.2 \text{ mS})(2.4 \text{ k}\Omega \parallel 4.7 \text{ k}\Omega)}{1 + (2.2 \text{ mS})(0.3 \text{ k}\Omega)} = \frac{-3.498}{1.66}$$

$$= -2.105 \quad \text{como arriba}$$

Fuente-seguidor

Para la configuración fuente-seguidor de la figura 10.36, el nivel de Z_i es independiente de la magnitud de R_L y está determinado mediante

$$Z_i = R_G \quad (10.47)$$

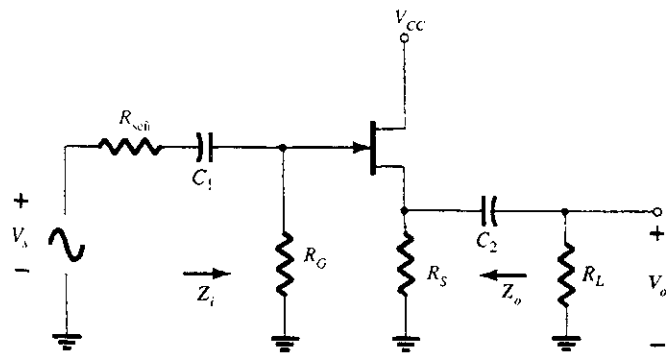


Figura 10.36 Configuración de fuente-seguidor con $R_{\text{señ}}$ y R_L .

La ganancia de voltaje con carga tiene el mismo formato que la ganancia sin carga con R_S reemplazada por la combinación en paralelo de R_S y R_L .

$$A_v = \frac{V_o}{V_i} = \frac{g_m(R_S \parallel R_L)}{1 + g_m(R_S \parallel R_L)} \quad (10.48)$$

El nivel de la impedancia de salida está determinado según el capítulo 9:

$$Z_o = R_S \parallel \frac{1}{g_m} \quad (10.49)$$

el cual revela una insensibilidad a la magnitud de la resistencia de la fuente $R_{señ}$.

Compuerta común

Aunque la configuración de compuerta común de la figura 10.37 sea un tanto diferente a aquellas que se describieron anteriormente respecto a la colocación tanto de R_L como de $R_{señ}$, los circuitos de entrada y de salida permanecen aislados y

$$Z_i = \frac{R_S}{1 + g_m R_S} \quad (10.50)$$

$$Z_o = R_D \quad (10.51)$$

La ganancia de voltaje con carga está dada mediante

$$A_v = g_m(R_D \parallel R_L) \quad (10.52)$$

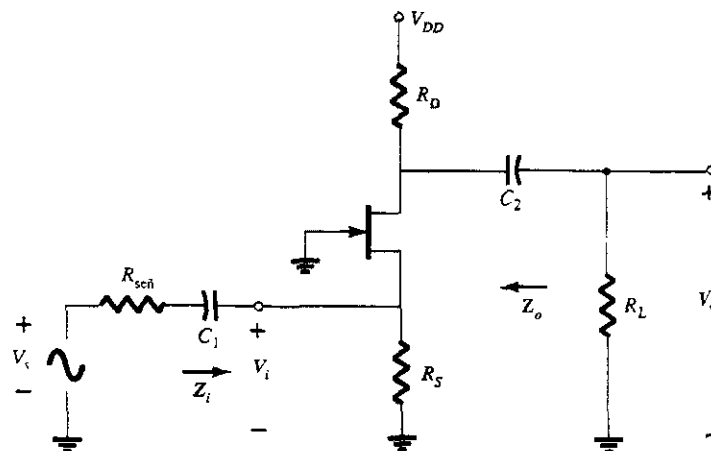


Figura 10.37 Configuración de compuerta común con $R_{señ}$ y R_L .

10.10 TABLA RESUMEN

Ahora que ya se han examinado con cierto detalle los amplificadores a BJT y FET con carga y sin carga (capítulos 8 y 9), en la tabla 10.1 se proporciona una revisión de las ecuaciones que se desarrollaron. Aunque todas las ecuaciones son para la situación con carga, con la eliminación de R_L se obtienen las ecuaciones para la situación sin carga. Lo mismo sucede para el efecto de R_S (para los BJT) y de $R_{señ}$ (para los JFET) sobre Z_o . En cada caso la relación de la fase entre los voltajes de entrada y de salida también se ofrecen para establecer una rápida

referencia. Un repaso de las ecuaciones revelará que el aislamiento provisto por el JFET entre la compuerta y el canal por medio de la capa de SiO_2 ocasiona una serie de ecuaciones menos complejas que aquellas que se encontraron para las configuraciones BJT. El vínculo proporcionado mediante I_b entre los circuitos de entrada y de salida del transistor amplificador BJT añade un toque de complejidad a algunas de las ecuaciones.

TABLA 10.1 Resumen de configuraciones de transistores (A_v , Z_i , Z_o)

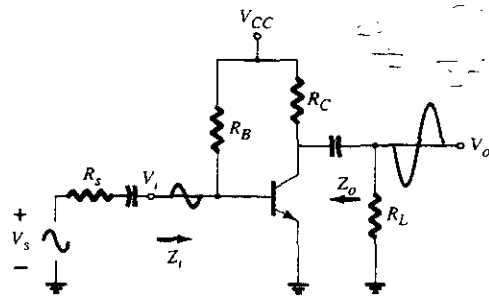
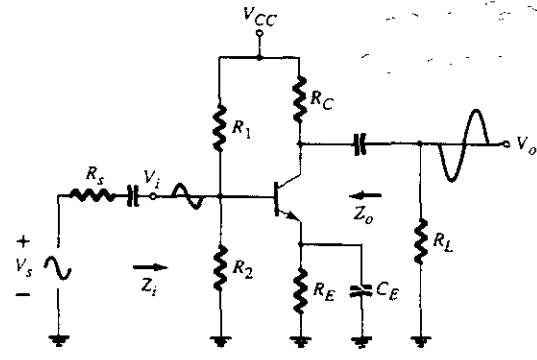
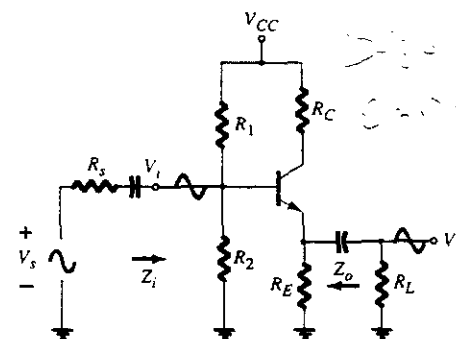
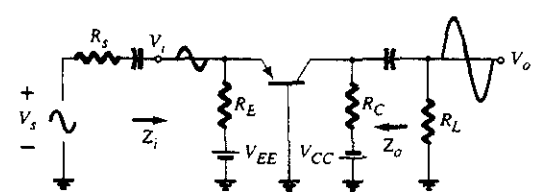
Configuración	$A_v = V_o/V_i$	Z_i	Z_o
	$\frac{-(R_L \parallel R_C)}{r_e}$ $\frac{-h_{fe}(R_L \parallel R_C)}{h_{ie}}$ Incluyendo r_o : $\frac{-(R_L \parallel R_C \parallel r_o)}{r_e}$	$R_B \parallel \beta r_e$ $R_B \parallel h_{ie}$	R_C R_C $R_C \parallel r_o$
	$\frac{-(R_L \parallel R_C)}{r_e}$ $\frac{-h_{fe}(R_L \parallel R_C)}{h_{ie}}$ Incluyendo r_o : $\frac{-(R_L \parallel R_C \parallel r_o)}{r_e}$	$R_1 \parallel R_2 \parallel \beta r_e$ $R_1 \parallel R_2 \parallel h_{ie}$	R_C R_C $R_C \parallel r_o$
	$\cong 1$ $\cong 1$ Incluyendo r_o : $\cong 1$	$R_E' = R_L \parallel R_E$ $R_1 \parallel R_2 \parallel \beta(r_e + R_E')$ $R_1 \parallel R_2 \parallel (h_{ie} + h_{fe}R_E')$ $R_1 \parallel R_2 \parallel \beta(r_e + R_E')$	$R_s' = R_s \parallel R_1 \parallel R_2$ $R_E \parallel \left(\frac{R_s'}{\beta} + r_e \right)$ $R_E \parallel \left(\frac{R_s' + h_{ie}}{h_{fe}} \right)$ $R_E \parallel \left(\frac{R_s'}{\beta} + r_e \right)$
	$\cong \frac{-(R_L \parallel R_C)}{r_e}$ $\cong \frac{-h_{fe}(R_L \parallel R_C)}{h_{ie}}$ Incluyendo r_o : $\cong \frac{-(R_L \parallel R_C \parallel r_o)}{r_e}$	$R_E \parallel r_e$ $R_E \parallel h_{ie}$	R_C R_C $R_C \parallel r_o$

TABLA 10.1 Resumen de configuraciones de transistores (A_v , Z_i , Z_o) (continuación)

Configuración	$A_v = V_o/V_i$	Z_i	Z_o
	$\frac{-(R_L \parallel R_C)}{R_E}$ $\frac{-(R_L \parallel R_C)}{R_E}$ Incluyendo r_o : $\frac{-(R_L \parallel R_C)}{R_E}$	$R_1 \parallel R_2 \parallel \beta(r_e + R_E)$ $R_1 \parallel R_2 \parallel (h_{ie} + h_{fe} R_E)$ $R_1 \parallel R_2 \parallel \beta(r_e + R_E)$	R_C R_C $\cong R_C$
	$\frac{-(R_L \parallel R_C)}{R_{E1}}$ $\frac{-(R_L \parallel R_C)}{R_{E1}}$ Incluyendo r_o : $\frac{-(R_L \parallel R_C)}{R_{E1}}$	$R_B \parallel \beta(r_e + R_{E1})$ $R_B \parallel (h_{ie} + h_{fe} R_{E1})$ $R_B \parallel \beta(r_e + R_{E1})$	R_C R_C $\cong R_C$
	$\frac{-(R_L \parallel R_C)}{r_e}$ $\frac{-h_{fe}}{h_{ie}} (R_L \parallel R_C)$ Incluyendo r_o : $\frac{-(R_L \parallel R_C \parallel r_o)}{r_e}$	$\beta r_e \parallel \frac{R_F}{ A_v }$ $h_{ie} \parallel \frac{R_F}{ A_v }$ $\beta r_e \parallel \frac{R_F}{ A_v }$	R_C R_C $R_C \parallel R_F \parallel r_o$
	$\frac{-(R_L \parallel R_C)}{R_E}$ $\frac{-(R_L \parallel R_C)}{R_E}$ Incluyendo r_o : $\cong \frac{-(R_L \parallel R_C)}{R_E}$	$\beta R_E \parallel \frac{R_F}{ A_v }$ $h_{fe} R_E \parallel \frac{R_F}{ A_v }$ $\cong \beta R_E \parallel \frac{R_F}{ A_v }$	$\cong R_C \parallel R_F$ $\cong R_C \parallel R_F$ $\cong R_C \parallel R_F$

TABLA 10.1 Resumen de configuraciones de transistores (A_v , Z_i , Z_o) (continuación)

Configuración	$A_v = V_o/V_i$	Z_i	Z_o
	$-g_m(R_D R_L)$ Incluyendo r_o : $-g_m(R_D R_L r_d)$	R_G R_G	R_D $R_D r_d$
	$\frac{-g_m(R_D R_L)}{1+g_mR_S}$ Incluyendo r_o : $\frac{-g_m(R_D R_L)}{1+g_mR_S+\frac{R_D+R_S}{r_d}}$	R_G R_G	$\frac{R_D}{1+g_mR_S}$ $\cong \frac{R_D}{1+g_mR_S}$
	$-g_m(R_D R_L)$ Incluyendo r_o : $-g_m(R_D R_L r_d)$	$R_1 R_2$ $R_1 R_2$	R_D $R_D r_d$
	$\frac{g_m(R_S R_L)}{1+g_m(R_S R_L)}$ Incluyendo r_o : $\frac{g_m r_d (R_S R_L)}{r_d + R_D + g_m r_d (R_S R_L)}$	R_G R_G	$R_S 1/g_m$ $\frac{R_S}{1+\frac{g_m r_d R_S}{r_d + R_D}}$
	$g_m(R_D R_L)$ Incluyendo r_o : $\cong g_m(R_D R_L)$	$\frac{R_S}{1+g_mR_S}$ $Z_i = \frac{R_S}{1+\frac{g_m r_d R_S}{r_d + R_D R_L}}$	R_D $R_D r_d$

10.11 SISTEMAS EN CASCADA

El método de los sistemas de dos puertos resulta muy útil para los sistemas en cascada tales como los que aparecen en la figura 10.38, donde A_{v_1} , A_{v_2} , A_{v_3} , y así sucesivamente, son las ganancias de voltaje de cada etapa *bajo condiciones de carga*. Esto es, A_{v_1} está determinada con la impedancia de entrada para A_{v_2} , que actúa como la carga sobre A_{v_1} . Para A_{v_2} , A_{v_1} determinará la potencia de la señal y la impedancia de la fuente en la entrada para A_{v_2} . La ganancia total del sistema determina entonces el producto de las ganancias individuales de la siguiente manera:

$$A_{v_T} = A_{v_1} \cdot A_{v_2} \cdot A_{v_3} \cdot \dots \quad (10.53)$$

y la ganancia total de corriente mediante

$$A_{i_T} = -A_{v_T} \frac{Z_{i_1}}{R_L} \quad (10.54)$$

No importa qué tan perfecto sea el diseño del sistema, la aplicación de una carga en un sistema de dos puertos afectará la ganancia de voltaje. Por tanto, no existe la posibilidad de una situación donde A_{v_1} , A_{v_2} , y así sucesivamente, como en la figura 10.38 sean sólo los valores sin carga. Es importante considerar la carga de la etapa siguiente. Los parámetros sin carga se pueden utilizar para calcular las ganancias con carga de la figura 10.38, pero la ecuación (10.53) requiere los valores con carga.

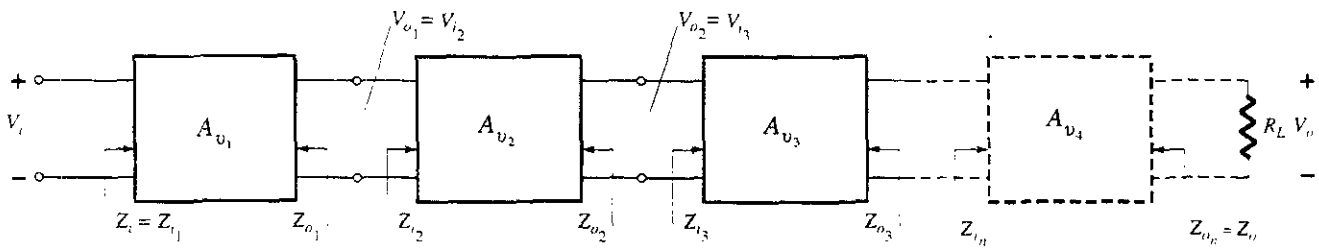


Figura 10.38 Sistema en cascada.

EJEMPLO 10.9

El sistema de dos etapas de la figura 10.39 utilizó una configuración de transistor emisor-seguidor antes de una configuración de base común para asegurar que el máximo porcentaje de la señal aplicada aparezca en las terminales de entrada del amplificador de base común. En la figura 10.39 se proporcionan los valores sin carga de cada sistema, con excepción de Z_i y de Z_o para el emisor-seguidor, los cuales son valores con carga. Determinar para la configuración de la figura 10.39:

- La ganancia con carga para cada fase.
- La ganancia total del sistema, A_{v_T} y A_{i_T} .
- La ganancia total de corriente del sistema.
- La ganancia total del sistema en el caso de que se eliminara la configuración emisor-seguidor.

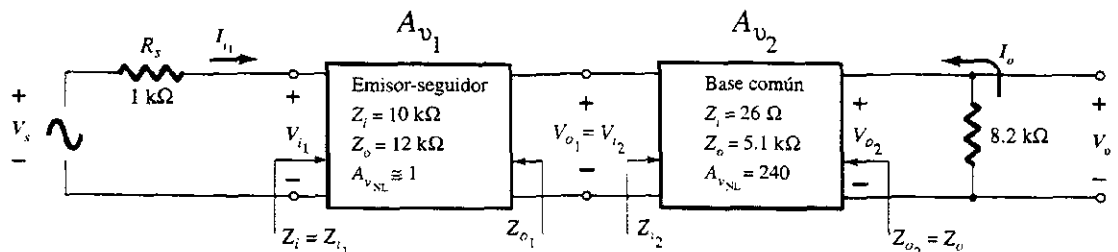


Figura 10.39 Ejemplo 10.9.

Solución

a) Para la configuración emisor-seguidor, la ganancia con carga es

$$V_{o_1} = \frac{Z_{i_2} A_{v_{NL}} V_{i_1}}{Z_{i_2} + Z_{o_1}} = \frac{(26 \Omega)(1)V_{i_1}}{26 \Omega + 12 \Omega} = 0.684 V_{i_1}$$

y
$$A_v = \frac{V_{o_1}}{V_{i_1}} = \mathbf{0.684}$$

Para la configuración de base común,

$$V_{o_2} = \frac{R_L A_{v_{NL}} V_{i_2}}{R_L + R_{o_2}} = \frac{(8.2 \text{ k}\Omega)(240)V_{i_2}}{8.2 \text{ k}\Omega + 5.1 \text{ k}\Omega} = 147.97 V_{i_2}$$

y
$$A_{v_L} = \frac{V_{o_2}}{V_{i_2}} = \mathbf{147.97}$$

b)
$$A_{v_T} = A_{v_1} A_{v_2} \\ = (0.684)(147.97) \\ = \mathbf{101.20}$$

$$A_{v_i} = \frac{Z_{i_1}}{Z_{i_1} + R_S} A_{v_T} = \frac{(10 \text{ k}\Omega)(101.20)}{10 \text{ k}\Omega + 1 \text{ k}\Omega} \\ = \mathbf{92}$$

c)
$$A_{i_T} = -A_{v_T} \frac{Z_{i_1}}{R_L} \\ = -(101.20) \left(\frac{10 \text{ k}\Omega}{8.2 \text{ k}\Omega} \right) \\ = \mathbf{-123.41}$$

d)
$$V_{i_{CB}} = \frac{Z_{i_{CB}} V_s}{Z_{i_{CB}} + R_S} = \frac{(26 \Omega)V_s}{26 \Omega + 1 \text{ k}\Omega} = 0.025 V_s$$

y
$$\frac{V_i}{V_s} = 0.025 \quad \text{con} \quad \frac{V_o}{V_i} = 147.97 \quad \text{de arriba}$$

y
$$A_{v_s} = \frac{V_i}{V_s} \frac{V_o}{V_i} = (0.025)(147.97) = \mathbf{3.7}$$

Por tanto, la ganancia total es aproximadamente 25 veces mayor con la configuración emisor-seguidor para acoplar la señal en la entrada del amplificador. Sin embargo, considérese que la importancia de la impedancia de salida de la primera etapa fue relativamente parecida a la impedancia de entrada de la segunda etapa, o en caso contrario la señal se hubiera “perdido” una vez más debido a la acción de divisor de voltaje.

10.12 ANÁLISIS POR COMPUTADORA

El análisis por computadora en esta sección incluye una evaluación mediante PSpice de la respuesta de un amplificador BJT y FET con carga y con la resistencia de la fuente. La red BJT de la figura 10.40 utiliza la misma configuración sin carga que se examinó en el análisis mediante PSpice en el capítulo 8, donde la ganancia sin carga fue de 350.4. Los nodos están identificados en la figura 10.40 y aparecen en la descripción de la red en el archivo de entrada de la figura 10.41. Se observa en la descripción del transistor que IS es el valor seleccionado de 5×10^{-15} A, como se presentó en el capítulo 8. Además, se observa la utilización de una resistencia muy grande (esencialmente un circuito abierto) del nodo 4 a la tierra con objeto de

R_s/R_L

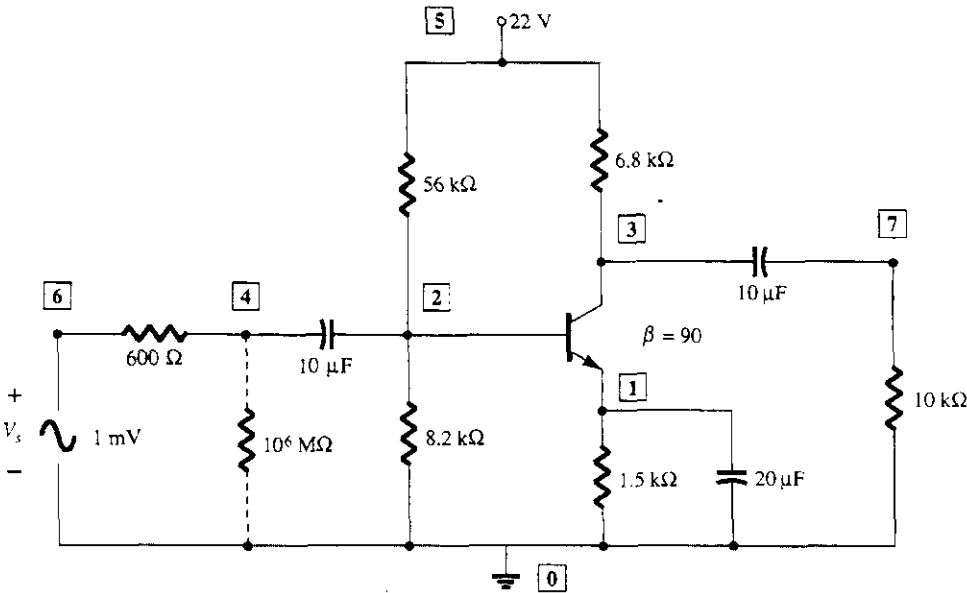


Figura 10.40 Definición de los nodos de una configuración mediante divisor de voltaje con R_s y R_L .

BJT Voltage-Divider Bias Configuration with R_s and R_L - Fig. 10.40

```
****      CIRCUIT DESCRIPTION
*****

VCC 5 0 DC 22V
RB1 5 2 56K
RB2 2 0 8.2K
RE 1 0 1.5K
RC 5 3 6.8K
C1 4 2 10UF
CE 1 0 20UF
VS 6 0 AC 1MV 0
RS 6 4 600
RR 4 0 1E12
C2 3 7 10UF
RL 7 0 10K
Q1 3 2 1 QMODEL
.MODEL QMODEL NPN(BF=90 IS=5E-15)
.OP
.AC LIN 1 10KH 10KH
.PRINT AC VM(3) VM(7) VM(4)
.OPTIONS NOPAGE
.END

****      BJT MODEL PARAMETERS
          QMODEL
          NPN
          IS      5.000000E-15
          BF      90
          NF      1
          BR      1
          NR      1

****      SMALL SIGNAL BIAS SOLUTION      TEMPERATURE = 27.000 DEG C
      NODE      VOLTAGE      NODE      VOLTAGE      NODE      VOLTAGE      NODE      VOLTAGE
      ( 1)      2.0235      ( 2)      2.7039      ( 3)      12.9280      ( 4)      0.0000
      ( 5)      22.0000      ( 6)      0.0000      ( 7)      0.0000

      VOLTAGE SOURCE CURRENTS
      NAME      CURRENT
      VCC      -1.679E-03
      VS      0.000E+00
      TOTAL POWER DISSIPATION      3.69E-02      WATTS
```

Figura 10.41 Análisis mediante PSpice del amplificador BJT de la figura 10.40.


```

**** OPERATING POINT INFORMATION      TEMPERATURE = 27.000 DEG C

**** BIPOLAR JUNCTION TRANSISTORS
NAME      Q1
MODEL     QMODEL
IB         1.48E-05
IC         1.33E-03
VBE        6.80E-01
VBC        -1.02E+01
VCE        1.09E+01
BETADC     9.00E+01
GM         5.16E-02
RPI        1.74E+03
RX         0.00E+00
RO         1.00E+12
CBE        0.00E+00
CBC        0.00E+00
CBX        0.00E+00
CJS        0.00E+00
BETAAC     9.00E+01
FT         8.21E+17

**** AC ANALYSIS                      TEMPERATURE = 27.000 DEG C
FREQ      VM(3)      VM(7)      VM(4)
1.000E+04  1.462E-01  1.462E-01  7.007E-04

```

Figura 10.41 Continuación.

asegurar una trayectoria de dc a tierra para el capacitor (un requisito de PSpice). La instrucción PRINT incluye una solicitud para la magnitud del voltaje en los nodos 3, 7 y 4 para una señal de entrada de 1 mV.

Se observa en la solución para la polarización que los nodos 4, 6 y 7 tienen una respuesta de 0 V debido al aislamiento ofrecido por los capacitores. El nodo 5 es de 22 V tal como debe ser y $V_E = 2.0235$ V, $V_B = 2.7039$ V y $V_C = 12.9280$ V son similares a la solución en dc del capítulo 8.

El análisis en ac indica que V_3 y V_7 tienen en esencia el mismo nivel porque los capacitores ofrecen un vínculo directo de impedancia mínima de un nodo al otro en la frecuencia que se aplicó. Su magnitud revela una ganancia de 146.2 comparada con una ganancia sin carga de 350.4. La magnitud de V_4 indica que el 30% (0.3 mV) de la señal que se aplicó se perdió a través de la resistencia de la fuente de 0.6 k Ω .

Por mero interés, ahora se calculará la ganancia del voltaje con carga y se hará una comparación con la solución de PSpice de 146.2.

$$\begin{aligned}
 r_e &= 18.44 \, \Omega \\
 y \quad Z_i &\cong R_1 \parallel R_2 \parallel \beta r_e \\
 &= 56 \, \text{k}\Omega \parallel 8.2 \, \text{k}\Omega \parallel (90)(18.44 \, \Omega) \\
 &\cong 1.35 \, \text{k}\Omega \\
 V_i &= \frac{Z_i V_s}{Z_i + R_s} = \frac{(1.35 \, \text{k}\Omega) V_s}{1.35 \, \text{k}\Omega + 0.6 \, \text{k}\Omega} = 0.69 V_s \\
 y \quad \frac{V_i}{V_s} &= 0.69 \\
 A_v &= \frac{V_o}{V_i} = \frac{R_L A_{v_{NL}}}{R_L + R_o} = \frac{(10 \, \text{k}\Omega)(-350.4)}{10 \, \text{k}\Omega + 6.8 \, \text{k}\Omega} \\
 &= -208.57 \\
 \text{con} \quad A_{v_s} &= \frac{V_i}{V_s} \frac{V_o}{V_i} = (0.69)(-208.57) \\
 &\cong -144
 \end{aligned}$$

la cual se compara de manera muy favorable con el -146.2 que se obtuvo anteriormente al utilizar PSpice.

El amplificador a FET con carga por analizar aparece en la figura 10.42. Se trata de un sistema tratado en el capítulo 9 y modificado para mostrar los efectos de R_{sen} y de R_L . La descripción del JFET de la figura 10.43 indica que $V_{TO} = V_{gs(apagado)} = V_P = -4$ V y la beta definida mediante $I_{DSS}/|V_P|^2 = 6.25 \times 10^{-4}$ A/V². El aislamiento proporcionado por los capacitores es obvio una vez más a partir de las soluciones para la polarización para V_1 , V_2 y V_7 . En realidad, $V_3 = 67.14 \times 10^{-6}$ V es casi igual a 0 V para cualquier propósito práctico. El nodo 6 se encuentra a 18 V como se definió en la fuente dc y $V_D = 5.6862$ V y $V_E = 1.0075$ V igual como lo propone el análisis dc.

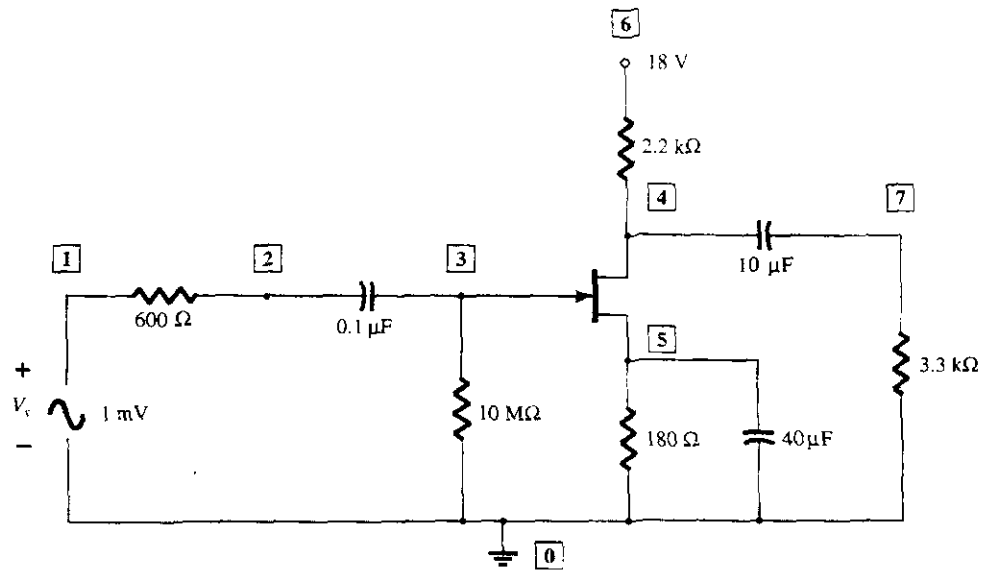


Figura 10.42 Definición de los nodos de un JFET amplificador que tiene una resistencia de la fuente de R_{sen} y una resistencia de la carga de R_L .

JFET ac Amplifier of Fig. 10.42

**** CIRCUIT DESCRIPTION

```
VDD 6 0 DC 18V
J1 4 3 5 JFET
RG 3 0 10MEG
RD 6 4 2.2K
RS 5 0 180
CI 2 3 0.1UF
CS 5 0 40UF
CO 4 7 10UF
.MODEL JFET NJF VTO=-4V BETA=6.25E-4
VSIG 1 0 AC 1MV
RSIG 1 2 600
RL 7 0 3.3K
.OP
.AC LIN 1 10KH 10KH
.PRINT AC V(1) V(3) V(4) V(5) V(7)
.OPTIONS NOPAGE
.END
```

Figura 10.43 Análisis mediante PSpice del JFET amplificador de la figura 10.42.

**** Junction FET MODEL PARAMETERS

JFET
NJF
VTO -4
BETA 625.000000E-06

*** SMALL SIGNAL BIAS SOLUTION TEMPERATURE = 27.000 DEG C
 NODE VOLTAGE NODE VOLTAGE NODE VOLTAGE NODE VOLTAGE
 (1) 0.0000 (2) 0.0000 (3) 67.14E-06 (4) 5.6862
 (5) 1.0075 (6) 18.0000 (7) 0.0000

VOLTAGE SOURCE CURRENTS
NAME CURRENT

VDD -5.597E-03
VSIG 0.000E+00

TOTAL POWER DISSIPATION 1.01E-01 WATTS

**** OPERATING POINT INFORMATION TEMPERATURE = 27.000 DEG C

**** JFETS

NAME J1
MODEL JFET
ID 5.60E-03
VGS -1.01E+00
VDS 4.68E+00
GM 3.74E-03
GDS 0.00E+00
CGS 0.00E+00
CGD 0.00E+00

**** AC ANALYSIS TEMPERATURE = 27.000 DEG C
 FREQ V(1) V(3) V(4) V(5) V(7)
 1.000E+04 1.000E-03 9.999E-04 4.937E-03 1.488E-06 4.937E-03

Figura 10.43 Continuación.

La solución en ac indica que $V_4 = V_7$ (los capacitores se encuentran en su estado de corto circuito equivalente) con una magnitud de 4.937 mV para una ganancia de 4.937 para A_v , debido a que la señal aplicada es de 1 mV.

Ahora se verificarán los resultados mediante las ecuaciones desarrolladas en el capítulo 9.

$$g_{m0} = \frac{2I_{DSS}}{V_P} = \frac{2(10 \text{ mA})}{-4 \text{ V}} = 5 \text{ mS}$$

$$g_m(\text{en } -1 \text{ V}) = g_{m0} \left(1 - \frac{V_{GS}}{V_P} \right) = 5 \text{ mS} \left(1 - \frac{-1 \text{ V}}{-4 \text{ V}} \right)$$

$$= 3.75 \text{ mS}$$

para comparar con el 3.74 mS en la descripción del JFET de la salida en PSpice.

$$\begin{aligned} A_v &= -g_m(R_D \parallel R_L) \\ &= -(3.75 \text{ mS})(2.2 \text{ k}\Omega \parallel 3.3 \text{ k}\Omega) \\ &= -(3.75 \text{ mS})(1.32 \text{ k}\Omega) \\ &= -4.95 \end{aligned}$$

que debe ser comparada con el -4.937 arriba.

PROBLEMAS

§ 10.3 Efecto de la impedancia de carga (R_L)

1. Para la configuración de polarización fija de la figura 10.44:
 - a) Determine A_v , Z_i y Z_o .
 - b) Trace el modelo de dos puertos de la figura 10.2 con los parámetros definidos en el inciso a.
 - c) Calcule la ganancia A_v utilizando el modelo del inciso b y la ecuación (10.3).
 - d) Determine la ganancia de corriente utilizando la ecuación (10.6).
 - e) Determine A_v , Z_i y Z_o utilizando el modelo r_c y compare con las soluciones anteriores.

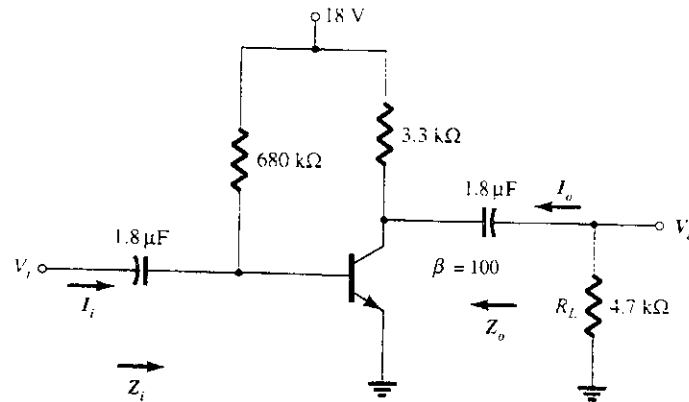


Figura 10.44 Problemas 1, 2 y 3.

- * 2. a) Dibuje las rectas de carga de ac y dc para la red que está en la figura 10.44 sobre las características de la figura 10.45.
- b) Calcule el valor de pico a pico de I_c y de V_{ce} a partir de la gráfica en caso de que V_i tenga un valor pico de 10 mV. Determine la ganancia de voltaje $A_v = V_o/V_i$ y compare con la solución que se obtuvo en el problema 1.

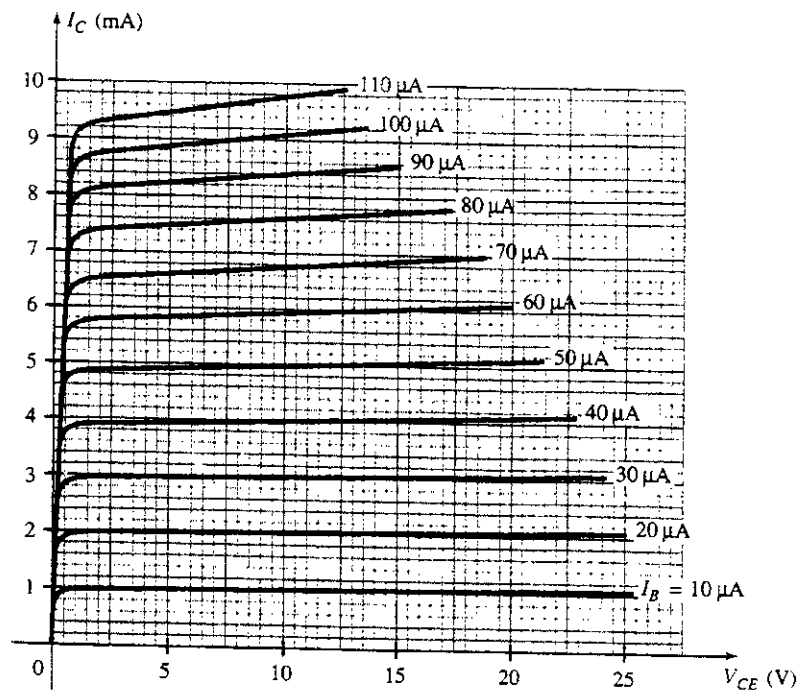


Figura 10.45 Problemas 2 y 7.

3. a) Determine la ganancia de voltaje A_v para la red de la figura 10.44 para $R_L = 4.7 \text{ k}\Omega$, $2.2 \text{ k}\Omega$ y $0.5 \text{ k}\Omega$. ¿Cuál es el efecto de disminuir los niveles de R_L en la ganancia de voltaje?
 b) ¿Cómo cambiarán Z_i , Z_o y $A_{v_{NL}}$ con la disminución de los valores de R_L ?

§ 10.4 Efecto de la impedancia de la fuente (R_s)

- * 4. Para la red de la figura 10.46:
- Determine $A_{v_{NL}}$, Z_i y Z_o .
 - Dibuje el modelo de dos puertos de la figura 10.2 con los parámetros que se determinaron en el inciso a.
 - Determine A_v utilizando los resultados del inciso b.
 - Calcule A_{v_i} .
 - Determine A_{v_i} utilizando el modelo r_e y compare los resultados con los que se obtuvieron en el inciso a.
 - Cambie R_s a $1 \text{ k}\Omega$ y determine A_{v_i} . ¿Cómo cambia A_{v_i} con el nivel de R_s ?
 - Cambie R_s a $1 \text{ k}\Omega$ y determine $A_{v_{NL}}$. ¿Cómo cambia $A_{v_{NL}}$ con el nivel de R_s ?
 - Cambie R_s a $1 \text{ k}\Omega$ y determine $A_{v_{NL}}$, Z_i y Z_o . ¿Cómo cambian con el nivel de R_s ?

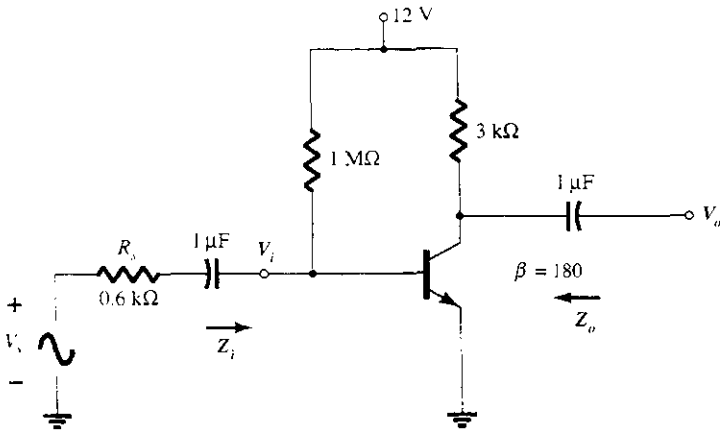


Figura 10.46 Problema 4.

§ 10.5 Efecto combinado de R_s y R_L

- * 5. Para la red de la figura 10.47:
- Determine $A_{v_{NL}}$, Z_i y Z_o .
 - Trace el modelo de dos puertos de la figura 10.2 con los parámetros que se determinaron en el inciso a.
 - Determine A_v y A_{v_i} .
 - Calcule A_{v_i} .
 - Cambie R_L a $5.6 \text{ k}\Omega$ y determine $A_{v_{NL}}$. ¿Cuál es el efecto de cambiar los niveles de R_L sobre la ganancia?
 - Cambie R_s a $0.5 \text{ k}\Omega$ (con R_L en $2.7 \text{ k}\Omega$) y haga sus comentarios sobre el efecto de reducir R_s sobre $A_{v_{NL}}$.
 - Cambie R_L a $5.6 \text{ k}\Omega$ y R_s a $0.5 \text{ k}\Omega$ y determine los nuevos valores de Z_i y Z_o . ¿Cómo se ven afectados los parámetros de impedancia al cambiar los niveles tanto de R_L como de R_s ?

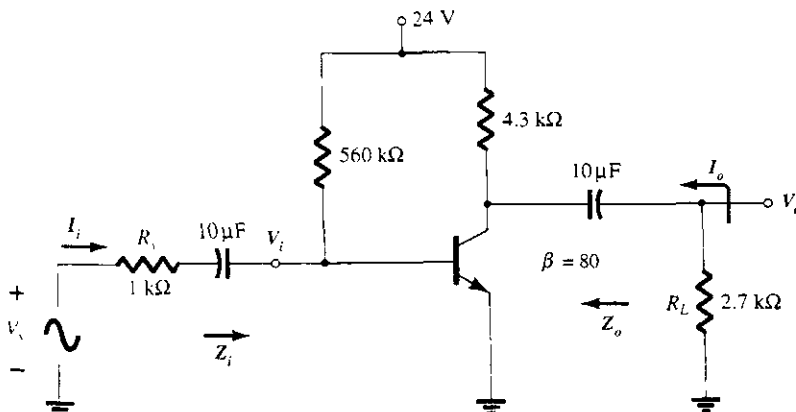


Figura 10.47 Problemas 5, 17 y 21.

§ 10.6 Redes BJT de CE

6. Para la configuración con divisor de voltaje de la figura 10.48:

- Determine $A_{v_{NL}}$, Z_i y Z_o .
- Dibuje el modelo de dos puertos de la figura 10.2 con los parámetros que se determinaron en el inciso a.
- Precise la ganancia A_v utilizando el modelo del inciso b.
- Calcule la ganancia de corriente A_i .
- Determine A_v , Z_i y Z_o utilizando el modelo r_o y compare las soluciones.

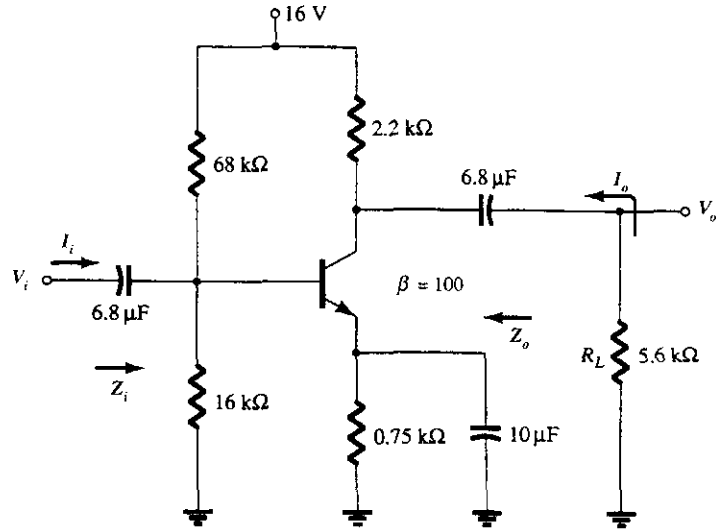


Figura 10.48 Problemas 6, 7 y 8.

- * 7. a) Dibuje las rectas de carga de dc y ac para la red de la figura 10.48 sobre las características de la figura 10.45.
- b) Calcule el valor de pico a pico de I_c y de V_{ce} a partir de la gráfica en caso de que V_i tenga un valor pico de 10 mV. Determine la ganancia de voltaje $A_v = V_o/V_i$ y compare con la solución que se obtuvo en el problema 6.
8. a) Determine la ganancia de voltaje A_v para la red de la figura 10.48 cuando $R_L = 4.7$ kΩ, 2.2 kΩ y 0.5 kΩ. ¿Cuál es el efecto de disminuir los niveles de R_L sobre la ganancia de voltaje?
- b) ¿Cómo cambiarán Z_i , Z_o y $A_{v_{NL}}$ con la disminución de los valores de R_L ?
9. Para la red de emisor estabilizado de la figura 10.49:
 - Determine $A_{v_{NL}}$, Z_i y Z_o .
 - Trace el modelo de dos puertos de la figura 10.2 con los valores que se determinaron en el inciso a.
 - Determine la ganancia A_v y A_{v_i} .
 - Cambie R_s a 1 kΩ. ¿Cuál es el efecto sobre $A_{v_{NL}}$, Z_i y Z_o ?
 - Cambie R_s a 1 kΩ y calcule A_v y A_{v_i} . ¿Cuál es el efecto de aumentar los niveles de R_s sobre A_v y A_{v_i} ?

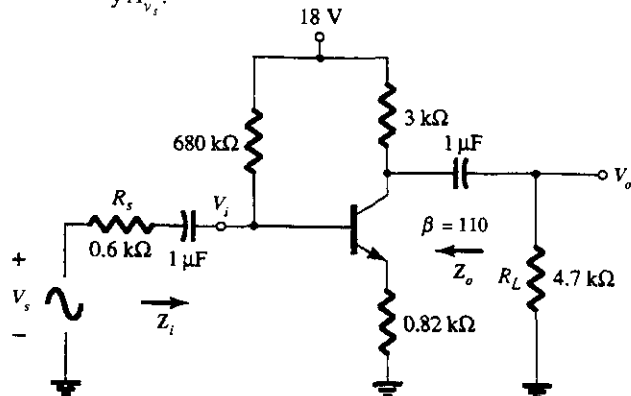


Figura 10.49 Problema 9.

§ 10.7 Redes emisor-seguidor

* 10. Para la red de la figura 10.50:

- Determine $A_{v_{NL}}$, Z_i y Z_o .
- Trace el modelo de dos puertos de la figura 10.2 con los valores que se determinaron en el inciso a.
- Determine la ganancia A_v y $A_{v_{NL}}$.
- Cambie R_1 a 1 k Ω y determine A_v y $A_{v_{NL}}$. ¿Cuál es el efecto de aumentar los valores de R_1 sobre las ganancias de voltaje?
- Cambie R_1 a 1 k Ω y determine $A_{v_{NL}}$, Z_i y Z_o . ¿Cuál será el efecto de aumentar los niveles de R_1 sobre los parámetros?
- Cambie R_L a 5.6 k Ω y determine A_v y $A_{v_{NL}}$. ¿Cuál es el efecto de aumentar los valores de R_L sobre las ganancias de voltaje? Mantenga R_1 en su nivel original de 0.6 k Ω .

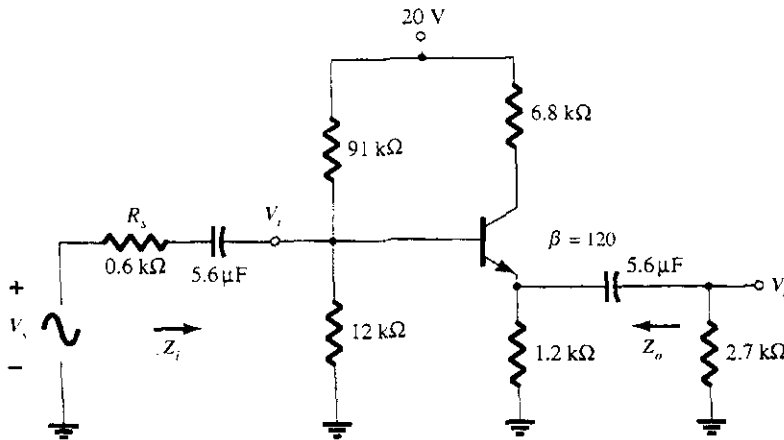


Figura 10.50 Problemas 10, 18 y 22.

§ 10.8 Redes CB

* 11. Para la red de base común de la figura 10.51:

- Determine Z_i , Z_o y $A_{v_{NL}}$.
- Trace el modelo de dos puertos de la figura 10.2 con los parámetros del inciso a.
- Determine la ganancia A_v y $A_{v_{NL}}$.
- Determine A_v y $A_{v_{NL}}$ utilizando el modelo r_e y compare los resultados con los que se obtuvieron en el inciso c.
- Cambie R_1 a 0.5 k Ω y R_L a 2.2 k Ω y calcule A_v y $A_{v_{NL}}$. ¿Cuál es el efecto de cambiar los niveles de R_1 y R_L sobre las ganancias de voltaje?
- Calcule Z_i si se cambia R_1 a 0.5 k Ω cuando todos los demás parámetros permanecen como en la figura 10.51. ¿Cómo se afecta Z_o al cambiar los niveles de R_1 ?
- Determine Z_i cuando se reduce R_L a 2.2 k Ω . ¿Cuál es el efecto de cambiar los niveles de R_L sobre la impedancia de entrada?

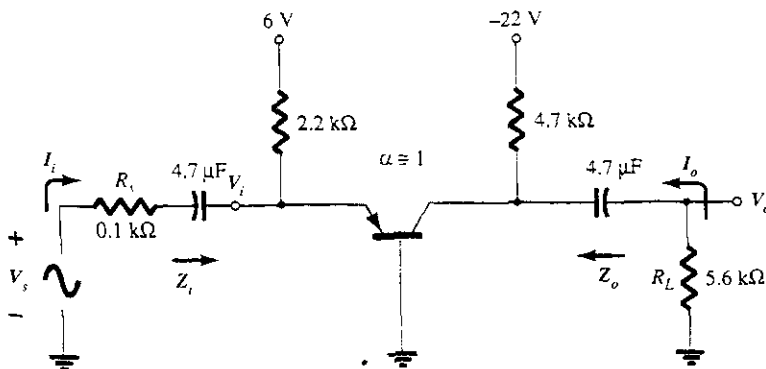


Figura 10.51 Problemas 11 y 19.

§ 10.9 Redes FET

* 12. Para la red JFET de autopolarización de la figura 10.52:

- Determine $A_{v_{NL}}$, Z_i y Z_o .
- Trace el modelo de dos puertos de la figura 10.2 con los parámetros del inciso a.
- Determine A_v y A_{v_s} .
- Cambie R_L a $6.8 \text{ k}\Omega$ y $R_{\text{señ}}$ a $1 \text{ k}\Omega$ y calcule los nuevos niveles de A_v y A_{v_s} . ¿Cómo se afectan las ganancias de voltaje debido a los cambios en $R_{\text{señ}}$ y R_L ?
- Para los mismos cambios del inciso d calcule Z_i y Z_o . ¿Cuál es el impacto sobre ambas impedancias?

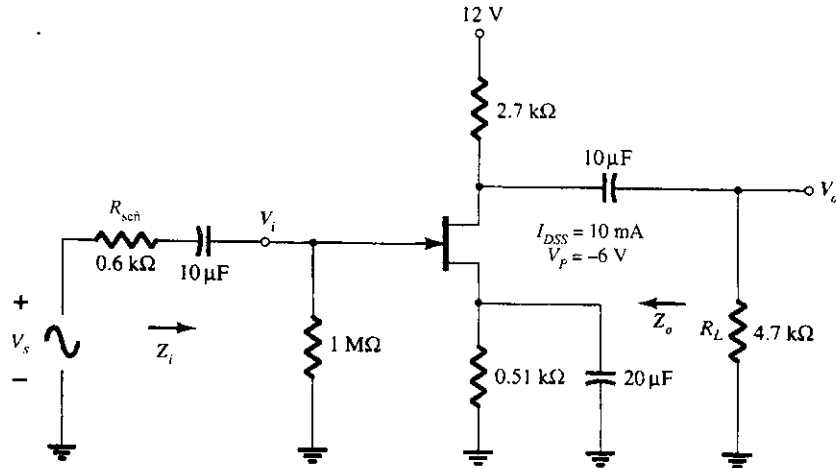


Figura 10.52 Problemas 12, 20 y 23.

13. Para la red fuente-seguidor de la figura 10.53:

- Determine $A_{v_{NL}}$, Z_i y Z_o .
- Trace el modelo de dos puertos de la figura 10.2 con los parámetros del inciso a.
- Determine A_v y A_{v_s} .
- Cambie R_L a $4.7 \text{ k}\Omega$ y calcule los nuevos niveles de A_v y A_{v_s} . ¿Cuál es el efecto de aumentar los niveles de R_L en ambas ganancias de voltaje?
- Cambie $R_{\text{señ}}$ a $1 \text{ k}\Omega$ (con R_L en $2.2 \text{ k}\Omega$) y calcule A_v y A_{v_s} . ¿Cuál es el efecto de aumentar los niveles de $R_{\text{señ}}$ en ambas ganancias de voltaje?
- Cambie R_L a $4.7 \text{ k}\Omega$ y $R_{\text{señ}}$ a $1 \text{ k}\Omega$ y calcule Z_i y Z_o . ¿Cuál es el efecto sobre ambos parámetros?

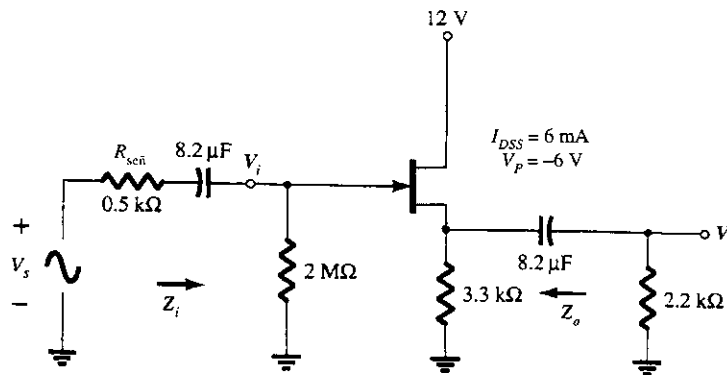


Figura 10.53 Problema 13.

- * 14. Para la red de compuerta común de la figura 10.54:
- Determine $A_{v_{NL}}$, Z_i y Z_o .
 - Trace el modelo de dos puertos de la figura 10.2 con los parámetros del inciso a.
 - Determine A_v y A_{v_i} .
 - Cambie R_L a $2.2 \text{ k}\Omega$ y calcule A_v y A_{v_i} . ¿Cuál es el efecto de cambiar el nivel de R_L sobre ambas ganancias de voltaje?
 - Cambie $R_{señ}$ a $0.5 \text{ k}\Omega$ (con R_L en $4.7 \text{ k}\Omega$) y calcule A_v y A_{v_i} . ¿Cuál es el efecto de cambiar el nivel de $R_{señ}$ en ambas ganancias de voltaje?
 - Cambie R_L a $2.2 \text{ k}\Omega$ y $R_{señ}$ a $0.5 \text{ k}\Omega$ y calcule Z_i y Z_o . ¿Cuál es el efecto sobre ambos parámetros?

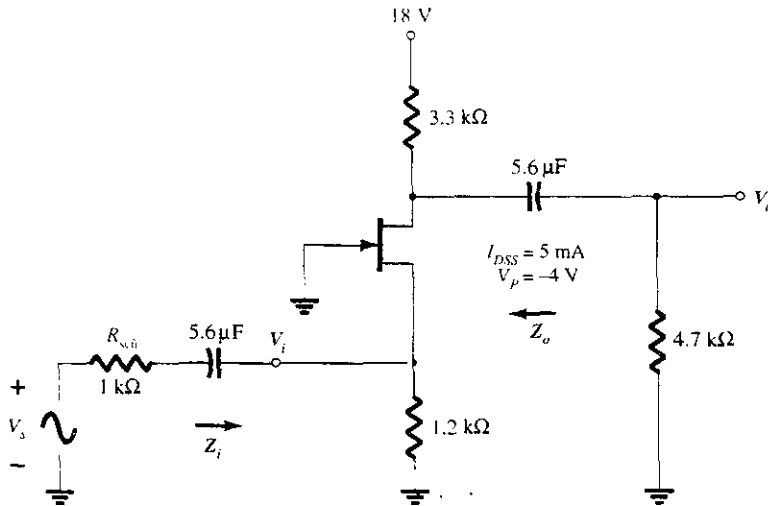


Figura 10.54 Problema 14.

§ 10.11 Sistemas en cascada

- * 15. Para el sistema en cascada de la figura 10.55 con dos estados idénticos, calcule:
- La ganancia del voltaje con carga en cada fase.
 - La ganancia total del sistema. A_v y A_{v_i} .
 - La ganancia de corriente con carga en cada fase.
 - La ganancia total de corriente del sistema.
 - Cómo se afecta Z_i debido al segundo estado y R_L .
 - Cómo se afecta Z_o debido al segundo estado y R_S .
 - La relación de la fase entre V_o y V_i .

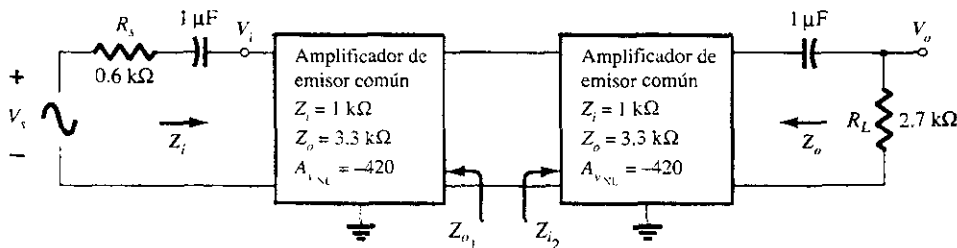


Figura 10.55 Problema 15.

- * 16. Para el sistema en cascada de la figura 10.56, determine:
- La ganancia del voltaje con carga en cada fase.
 - La ganancia total del sistema, A_v y A_{vNL} .
 - La ganancia de corriente con carga en cada fase.
 - La ganancia total de corriente del sistema.
 - Cómo se afecta Z_i debido al segundo estado y R_L .
 - Cómo se afecta Z_o debido al segundo estado y R_s .
 - La relación de la fase entre V_o y V_i .

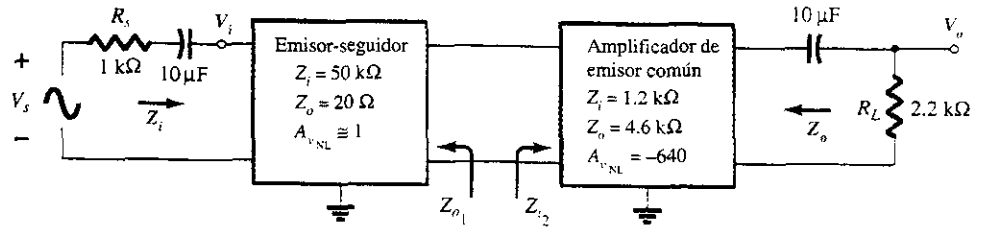


Figura 10.56 Problema 16.

§ 10.12 Análisis por computadora

- Escriba el archivo de entrada para PSpice para la red de la figura 10.47 y solicite el nivel de V_o para $V_s = 1$ mV. Suponga una frecuencia de 1 kHz para los elementos capacitivos.
 - Desarrolle el análisis y compare con el nivel de A_{vNL} para el problema 5.
- Repita el problema 17 para la red de la figura 10.50 y compare los resultados con aquellos del problema 10.
- Repita el problema 17 para la red de la figura 10.51 y compare los resultados con aquellos del problema 11.
- Repita el problema 17 para la red de la figura 10.52 y compare los resultados con aquellos del problema 12.
- Repita el problema 17 utilizando BASIC.
- Repita el problema 18 utilizando BASIC.
- Repita el problema 20 utilizando BASIC.

*Los asteriscos indican problemas más difíciles.

Respuesta en frecuencia de transistores BJT y JFET

CAPÍTULO

11

f —

11.1 INTRODUCCIÓN

Hasta ahora, el análisis se ha limitado a una frecuencia particular. Para el amplificador es una frecuencia que normalmente permite ignorar los efectos de los elementos capacitivos, reduciendo así el análisis sobre aquel que incluye únicamente elementos resistivos y fuentes de las variedades independientes y controladas. Ahora, investigaremos los efectos que causan sobre la frecuencia los elementos capacitivos más grandes del circuito en el extremo de las frecuencias bajas, y los elementos capacitivos pequeños del dispositivo activo en las frecuencias altas. Debido a que este análisis se extenderá a través de un amplio rango de frecuencias, se usará la escala logarítmica, así como sus definiciones. Debido a que la industria emplea, por lo general, una escala de decibels en sus gráficas de frecuencia, se presenta el concepto de decibels más detallado. Las similitudes entre los análisis de respuesta a la frecuencia de los BJT y los FET permiten que se les trate en el mismo capítulo.

11.2 LOGARITMOS

No es posible escapar a la necesidad de sentirse cómodo con la función logarítmica. El graficado de una variable entre límites amplios, la comparación de niveles sin enormes cifras y la identificación de niveles de particular importancia en el diseño, revisión y procedimientos de análisis, son características positivas del uso de la función logarítmica.

Como primer paso para aclarar la relación entre las variables de una función logarítmica, considere las siguientes ecuaciones matemáticas:

$$a = b^x, \quad x = \log_b a \quad (11.1)$$

Las variables a , b y x son las mismas en ambas ecuaciones. Si a se determina elevando la base b a la potencia x , la misma x será el resultado si se toma el logaritmo de a a la base b . Por ejemplo, si $b = 10$ y $x = 2$,

$$a = b^x = (10)^2 = 100$$

pero

$$x = \log_b a = \log_{10} 100 = 2$$

En otras palabras, si se pidiera encontrar la potencia de un número que diera como resultado un nivel particular, como el que se muestra a continuación:

$$10,000 = 10^x$$

el nivel de x podría ser determinado usando logaritmos. Esto es,

$$x = \log_{10} 10.000 = 4$$

En la industria eléctrica/electrónica, y para la mayor parte de la investigación científica, la base en la ecuación logarítmica se limita a 10 y al número $e = 2.71828...$

Los logaritmos de base 10 son llamados *logaritmos comunes* y los logaritmos base e se les conoce como *logaritmos naturales*. Resumiendo:

$$\text{Logaritmo común: } x = \log_{10} a \quad (11.2)$$

$$\text{Logaritmo natural: } y = \log_e a \quad (11.3)$$

Los dos están relacionados por

$$\log_e a = 2.3 \log_{10} a \quad (11.4)$$

En las actuales calculadoras científicas, el logaritmo común está indicado, por lo general, por la tecla **log** y el logaritmo natural por la tecla **In**.

EJEMPLO 11.1

Usando la calculadora determine el logaritmo de los siguientes números en la base indicada.

- a) $\log_{10} 10^6$.
- b) $\log_e e^3$.
- c) $\log_{10} 10^{-2}$.
- d) $\log_e e^{-1}$.

Solución

- a) 6 b) 3 c) -2 d) -1

Los resultados del ejemplo 11.1 revelan con más claridad cómo el logaritmo de un número elevado a una potencia es simplemente la potencia del número, si es que el número es igual a la base del logaritmo. En el siguiente ejemplo, la base y la variable x no están relacionadas por una potencia entera de la base.

EJEMPLO 11.2

Con la calculadora determine el logaritmo de los siguientes números:

- a) $\log_{10} 64$.
- b) $\log_e 64$.
- c) $\log_{10} 1600$.
- d) $\log_{10} 8000$.

Solución

- a) 1.806 b) 4.159 c) 3.204 d) 3.903

Obsérvese que en los incisos a y b del ejemplo 11.2 los logaritmos $\log_{10} a$ y $\log_e a$ están relacionados como lo define la ecuación (11.4). Además, nótese que el logaritmo de un número no se incrementa en la misma forma lineal que el número. Esto es, 8000 es 125 veces más grande que 64, pero el logaritmo de 8000 es sólo 2.16 veces más grande que la magnitud del logaritmo de 64, revelando con esto una relación extremadamente no lineal. La tabla 11.1 muestra con mayor claridad cómo se incrementa el logaritmo de un número sólo como el

exponente del número. Si se desea el antilogaritmo de un número se emplean las funciones de la calculadora 10^x o e^x .

TABLA 11.1

$\log_{10} 10^0$	= 0
$\log_{10} 10$	= 1
$\log_{10} 100$	= 2
$\log_{10} 1.000$	= 3
$\log_{10} 10.000$	= 4
$\log_{10} 100.000$	= 5
$\log_{10} 1.000.000$	= 6
$\log_{10} 10.000.000$	= 7
$\log_{10} 100.000.000$	= 8
y así sucesivamente	

Usando una calculadora, determine el antilogaritmo de las siguientes expresiones:

EJEMPLO 11.3

- a) $1.6 = \log_{10} a$
 b) $0.04 = \log_e a$.

Solución

a) $a = 10^{1.6}$

Teclas de calculadora: **1** **.** **6** **2nd F** **10^x**

y $a = 39.81$

b) $a = e^{0.04}$

Teclas de calculadora: **0** **.** **0** **4** **2nd F** **e^x**

y $a = 1.0408$

Debido a que el resto del análisis de este capítulo emplea el logaritmo común, revisemos ahora unas cuantas propiedades de los logaritmos empleando solamente el logaritmo común. Por lo general, las mismas relaciones son ciertas para los logaritmos de cualquier base.

$$\log_{10} 1 = 0 \quad (11.5)$$

Como lo muestra mejor la tabla 11.1, debido a que $10^0 = 1$,

$$\log_{10} \frac{a}{b} = \log_{10} a - \log_{10} b \quad (11.6)$$

que para el caso especial de $a = 1$ se convierte en

$$\log_{10} \frac{1}{b} = -\log_{10} b \quad (11.7)$$

revelando que para cualquier b mayor de 1 el logaritmo de un número menor que 1 siempre es negativo.

$$\log_{10} ab = \log_{10} a + \log_{10} b \quad (11.8)$$

En cada caso, las ecuaciones que empleen logaritmos naturales tendrán el mismo formato.

EJEMPLO 11.4

Usando una calculadora determine el logaritmo de los siguientes números:

- $\log_{10} 0.5$.
- $\log_{10} \frac{4000}{250}$.
- $\log_{10} (0.6 \times 30)$.

Solución

- 0.3**
- $\log_{10} 4000 - \log_{10} 250 = 3.602 - 2.398 = \mathbf{1.204}$
Verificación: $\log_{10} \frac{4000}{250} = \log_{10} 16 = \mathbf{1.204}$
- $\log_{10} 0.6 + \log_{10} 30 = -0.2218 + 1.477 = \mathbf{1.255}$
Verificación: $\log_{10} (0.6 \times 30) = \log_{10} 18 = \mathbf{1.255}$

El uso de escalas logarítmicas puede expandir significativamente el rango de variación de una variable particular en una gráfica. La mayoría del papel para gráficas disponible es de la variedad semilogarítmico o logarítmico (log-log). El término *semi* (que significa la mitad) indica que solamente una de las dos escalas es logarítmica y, en cambio, logarítmico indica que ambas escalas son logarítmicas. En la figura 11.1 aparece una escala semilogarítmica. Obsérvese que la escala vertical es lineal con divisiones iguales. El espaciado entre las líneas de la gráfica logarítmica se muestra en la gráfica.

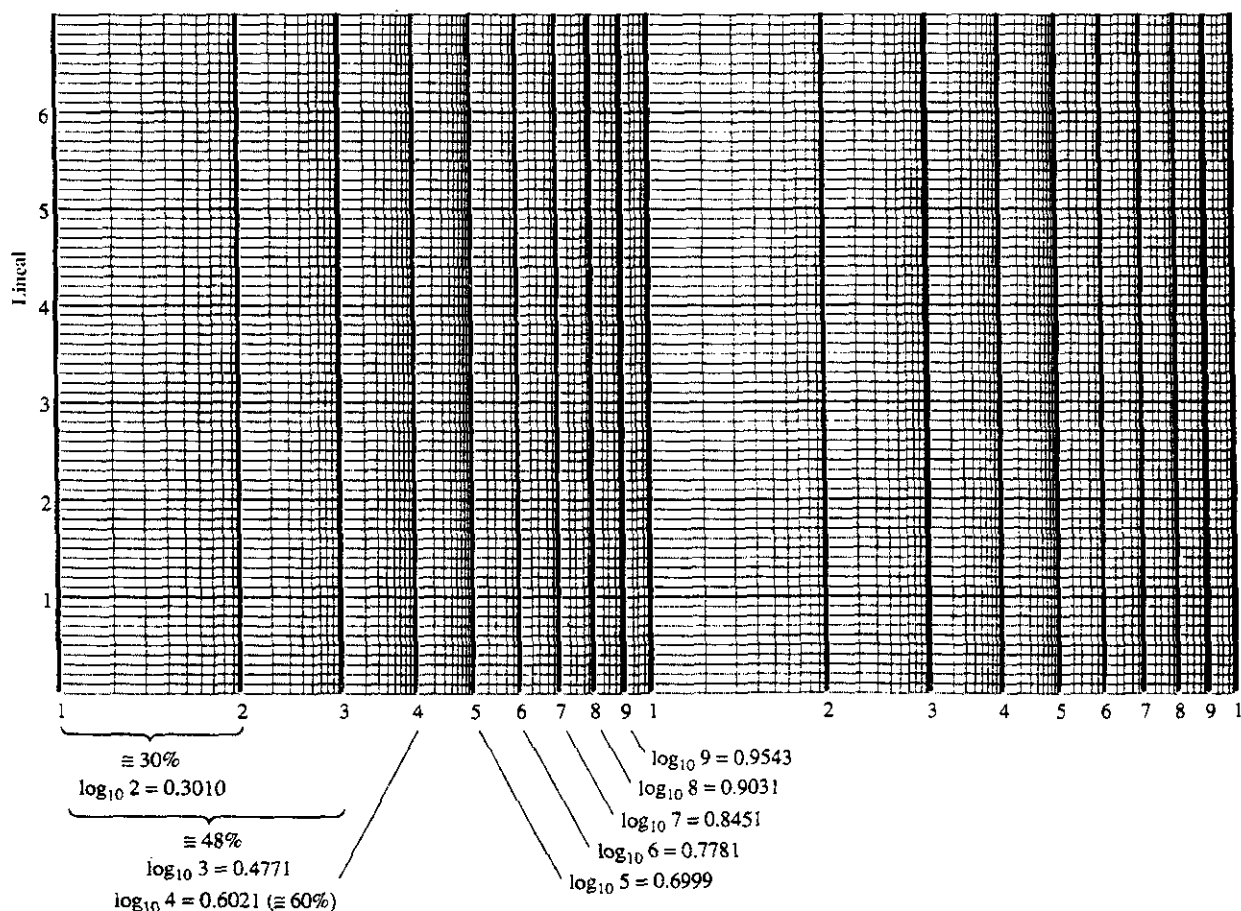


Figura 11.1 Papel para gráfica semilogarítmica.

El logaritmo de 2 en base 10 es aproximadamente 0.3. La distancia de 1 ($\log_{10} 1 = 0$) a 2 es por tanto el 30% de la distancia. El logaritmo de 3 en base 10 es 0.4771, o casi el 48% de la distancia (casi la mitad de la distancia entre los incrementos de potencias de 10 en la escala logarítmica). Debido a que $\log_{10} 5 \approx 0.7$, está marcado en un punto al 70% de la distancia. Nótese que entre cualquier de los dos dígitos aparece la misma compresión de líneas conforme se avanza de izquierda a derecha. Es importante observar el valor numérico resultante y el espaciado, ya que las gráficas tendrán, por lo general, solamente las marcas indicadas en la figura 11.2 debido a la falta de espacio. Debe notar que las barras más largas de esta figura tienen los valores numéricos 0.3, 3 y 30 asociados a ellas, las siguientes barras más cortas tienen valores de 0.5, 5 y 50 y las barras más cortas 0.7, 7 y 70.

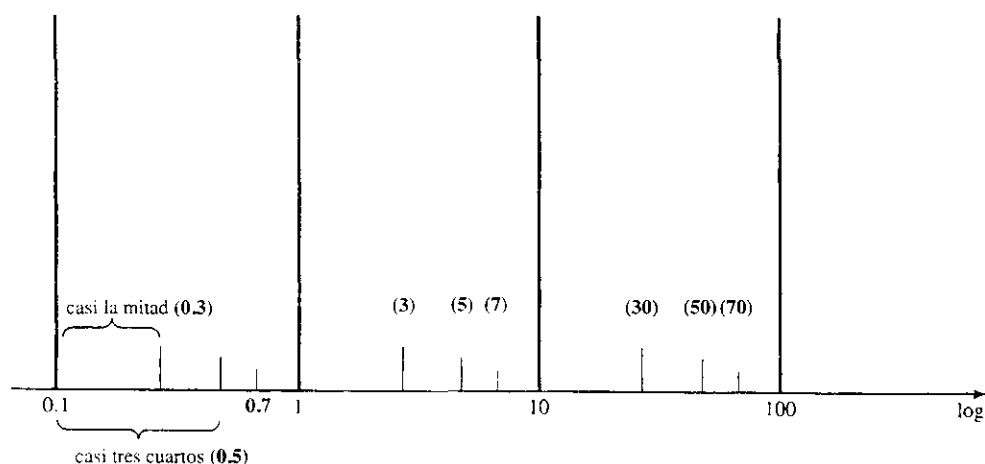


Figura 11.2 Identificación de los valores numéricos de las marcas en una escala logarítmica.

Fíjese cómo la graficación de una función en una escala logarítmica puede cambiar la apariencia general de la forma de onda, comparada con una graficación en una escala lineal. La gráfica de una línea recta en una escala lineal puede producir una curva en una escala logarítmica, y una gráfica no lineal en una escala lineal puede tomar la apariencia de una línea recta en una gráfica logarítmica. El punto importante es que los resultados extraídos a cada nivel deben estar correctamente etiquetados, desarrollando una familiaridad con el espaciado de las figuras 11.1 y 11.2. Esto es muy cierto para algunas de las gráficas log-log que aparecen más adelante en el libro.

11.3 DECIBELES

El concepto de *decibel* (dB) y los cálculos asociados serán cada vez más importantes en las secciones restantes de este capítulo. El fondo que rodea al término *decibel* tiene su origen en el hecho establecido de que la potencia y los niveles de sonido están relacionados con la base logarítmica. Esto es, un incremento en el nivel de potencia, digamos de 4 a 16 W, no resulta un incremento del nivel de audio por un factor de $16/4 = 4$. Se incrementará por un factor de 2, que se deriva de la potencia de 4 de la siguiente manera: $(4)^2 = 16$. Para un cambio de 4 a 64 W, el nivel de audio se incrementará por un factor de 3, debido a que $(4)^3 = 64$. En forma logarítmica, la relación puede escribirse como $\log_4 64 = 3$.

Para efectos de estandarización, se definió al *bel* (B) mediante la siguiente ecuación que relaciona los niveles de potencia P_1 y P_2 :

$$G = \log_{10} \frac{P_2}{P_1} \quad \text{bel} \quad (11.9)$$

El término *bel* se derivó del apellido de Alexander Graham Bell.

Sin embargo, se encontró que el bel era una unidad de medición demasiado grande para propósitos prácticos y, se definió el decibel (dB), de forma que 10 decibeles = 1 bel. Por tanto,

$$G_{dB} = 10 \log_{10} \frac{P_2}{P_1} \quad \text{dB} \quad (11.10)$$

La clasificación nominal de los equipos de comunicaciones electrónicas (amplificadores, micrófonos, etc.) está medido con frecuencia en decibeles. Sin embargo, la ecuación (11.10) indica que la medición de decibeles es una medida de la diferencia en magnitud entre *dos* niveles de potencia. Para una potencia final (de salida) especificada (P_2) debe haber un nivel de potencia de referencia (P_1). Por lo general se acepta que el nivel de referencia sea de 1 mW, aunque en ocasiones se aplica el estándar de años anteriores de 6 mW. La resistencia que se asocia con el nivel de potencia de 1 mW es de 600 Ω , elegida porque es la impedancia característica de las líneas de transmisión de audio. Cuando se emplea el nivel de 1 mW como nivel de referencia, el símbolo de decibel aparece con frecuencia como dBm. En forma de ecuación,

$$G_{dBm} = 10 \log_{10} \frac{P_2}{1 \text{ mW}} \bigg|_{600 \Omega} \quad \text{dBm} \quad (11.11)$$

Existe una segunda ecuación para los decibeles que se aplica frecuentemente. Puede describirse mejor mediante el sistema de la figura 11.3. Siendo V_i igual a algún valor V_1 , $P_1 = V_1^2/R_i$, donde R_i es la resistencia de entrada del sistema de la figura 11.3. Si V_i debiera aumentarse (o disminuirse) a algún otro nivel, V_2 , entonces $P_2 = V_2^2/R_i$. Si sustituimos en la ecuación (11.10) para determinar la diferencia resultante en decibeles entre los niveles de potencia,

$$G_{dB} = 10 \log_{10} \frac{P_2}{P_1} = 10 \log_{10} \frac{V_2^2/R_i}{V_1^2/R_i} = 10 \log_{10} \left(\frac{V_2}{V_1} \right)^2$$

y

$$G_{dB} = 20 \log_{10} \frac{V_2}{V_1} \quad \text{dB} \quad (11.12)$$

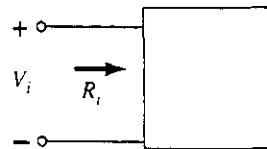


Figura 11.3 Configuración empleada en el análisis de la ecuación (11.12).

Es frecuente que se ignore el efecto de diferentes impedancias ($R_1 \neq R_2$) y se aplique la ecuación 11.12 sólo para establecer una base de comparación entre niveles, voltajes o corrientes. Para situaciones de este tipo la ganancia en decibeles se le debe nombrar más correctamente como la *ganancia de voltaje o corriente en decibeles* para diferenciarla del uso común de los decibeles, como se aplica a los niveles de potencia.

Una de las ventajas de la relación logarítmica es la forma en que puede aplicarse a las etapas en cascada. Por ejemplo, la magnitud de la ganancia de voltaje general de un sistema en cascada es dada por

$$|A_{v_T}| = |A_{v_1}| |A_{v_2}| |A_{v_3}| \cdots |A_{v_n}| \quad (11.13)$$

Aplicando la relación logarítmica adecuada, da como resultado:

$$G_v = 20 \log_{10} |A_{v_T}| = 20 \log_{10} |A_{v_1}| + 20 \log_{10} |A_{v_2}| + 20 \log_{10} |A_{v_3}| + \cdots + 20 \log_{10} |A_{v_n}| \quad (\text{dB}) \quad (11.14)$$

En palabras, la ecuación establece que la ganancia en decibels de un sistema en cascada es sólo la suma de ganancia en decibels de cada etapa, esto es,

$$G_v = G_{v_1} + G_{v_2} + G_{v_3} + \cdots + G_{v_n} \quad \text{dB} \quad (11.15)$$

Se elaboró la tabla 11.2 como un esfuerzo para desarrollar alguna asociación entre los niveles dB y las ganancias de voltaje. Obsérvese primero que una ganancia de 2 resulta un nivel dB de +6 dB, y una caída de $\frac{1}{2}$ resulta un nivel de -6 dB. Un cambio en V_o/V_i de 1 a 10, 10 a 100 o 100 a 1000 da como resultado el mismo cambio de 20 dB en el nivel. Cuando $V_o = V_i$, $V_o/V_i = 1$ y el nivel de dB es 0. En una ganancia muy alta de 1000, el nivel de dB es 60 y, en cambio, en una ganancia mucho más alta de 10,000 el nivel de dB es de 80 dB, significa que el incremento es de solamente 20 dB como resultado de la relación logarítmica. La tabla 11.2 revela que las ganancias de voltaje de 50 dB o mayores deben reconocerse inmediatamente como demasiado altas.

TABLA 11.2

Ganancia en voltaje V_o/V_i	Nivel de dB
0.5	-6
0.707	-3
1	0
2	6
10	20
40	32
100	40
1,000	60
10,000	80
etc.	

Encuentre la magnitud de la ganancia que corresponde a una ganancia de decibels de 100.

EJEMPLO 11.5

Solución

Por la ecuación (11.10),

$$G_{\text{dB}} = 10 \log_{10} \frac{P_2}{P_1} = 100 \text{ dB} \rightarrow \log_{10} \frac{P_2}{P_1} = 10$$

por tanto,

$$\frac{P_2}{P_1} = 10^{10} = 10,000,000,000$$

Este ejemplo muestra muy bien el rango de valores que deben esperarse de los dispositivos prácticos. Es cierto que, un cálculo futuro que dé un resultado en decibels cercano a 100, debe ser por tanto cuestionado de inmediato.

La potencia de entrada a un dispositivo es 10,000 W a un voltaje de 1000 V. La salida de potencia es de 500 W y la impedancia de salida es de 20 Ω .

EJEMPLO 11.6

- Encuentre la ganancia de potencia en decibels.
- Obtenga la ganancia de voltaje en decibels.
- Explique por qué concuerdan o difieren los incisos a y b.

Solución

$$\begin{aligned} \text{a) } G_{\text{dB}} &= 10 \log_{10} \frac{P_o}{P_i} = 10 \log_{10} \frac{500 \text{ W}}{10 \text{ kW}} = 10 \log_{10} \frac{1}{20} = -10 \log_{10} 20 \\ &= -10(1.301) = -13.01 \text{ dB} \end{aligned}$$

$$\begin{aligned} \text{b) } G_v &= 20 \log_{10} \frac{V_o}{V_i} = 20 \log_{10} \frac{\sqrt{PR}}{1000} = 20 \log_{10} \frac{\sqrt{(500 \text{ W})(20 \Omega)}}{1000 \text{ V}} \\ &= 20 \log_{10} \frac{100}{1000} = 20 \log_{10} \frac{1}{10} = -20 \log_{10} 10 = -20 \text{ dB} \end{aligned}$$

$$\text{c) } R_i = \frac{V_i^2}{P_i} = \frac{(1 \text{ kV})^2}{10 \text{ kW}} = \frac{10^6}{10^4} = 100 \Omega \neq R_o = 20 \Omega$$

EJEMPLO 11.7

Un amplificador de 40 W de potencia nominal de salida se conecta a una bocina de 10 Ω .

- Calcule la potencia de entrada que se requiere para una salida a potencia total si la ganancia de potencia es de 25 dB.
- Deduzca el voltaje de entrada para la salida especificada si la ganancia de voltaje del amplificador es de 40 dB.

Solución

$$\text{a) Por la ecuación (11.10): } 25 = 10 \log_{10} \frac{40 \text{ W}}{P_i} \Rightarrow P_i = \frac{40 \text{ W}}{\text{antilog}(2.5)} = \frac{40 \text{ W}}{3.16 \times 10^2}$$

$$= \frac{40 \text{ W}}{316} \approx 126.5 \text{ mW}$$

$$\text{b) } G_v = 20 \log_{10} \frac{V_o}{V_i} \Rightarrow 40 = 20 \log_{10} \frac{V_o}{V_i}$$

$$\frac{V_o}{V_i} = \text{antilog } 2 = 100$$

$$V_o = \sqrt{PR} = \sqrt{(40 \text{ W})(10 \Omega)} = 20 \text{ V}$$

$$V_i = \frac{V_o}{100} = \frac{20 \text{ V}}{100} = 0.2 \text{ V} = 200 \text{ mV}$$

11.4 CONSIDERACIONES GENERALES SOBRE LA FRECUENCIA

La frecuencia de la señal aplicada puede tener un efecto pronunciado sobre la respuesta de un circuito simple o de varias etapas. Hasta ahora, el análisis se hizo para el espectro de frecuencias medias. A bajas frecuencias encontraremos que los capacitores de acoplamiento y de desvío ya no pueden reemplazarse por la aproximación de corto circuito, debido al incremento de reactancia de estos elementos. Los parámetros dependientes de la frecuencia de los modelos de pequeña señal, y las capacitancias parásitas asociadas con el dispositivo activo del circuito, limitarán la respuesta en alta frecuencia del sistema. Un aumento en la cantidad de etapas de un sistema en cascada también limitará la respuesta en las altas y bajas frecuencias.

La magnitud de las curvas de respuesta de ganancia de un sistema de amplificador con acoplamiento RC , directamente acoplado, y acoplado por transformador, se proporcionan en la figura 11.4. Obsérvese que la escala horizontal es logarítmica para permitir una gráfica que se extienda desde las regiones de baja frecuencia hasta las de alta. Para cada gráfica se definió una región de frecuencia baja, media y alta. Además, la principal razón de la caída en ganancia a las frecuencias baja y alta también se indicó entre paréntesis. Para el amplificador con acoplamiento RC , la caída a bajas frecuencias se debe a la reactancia cada vez mayor de C_C , C_s o C_E , y su límite de alta frecuencia está determinado por los elementos capacitivos parásitos del circuito, y la dependencia en frecuencia de la ganancia del dispositivo activo. Una explicación de la caída de ganancia para el sistema acoplado por transformador requiere una comprensión básica de la "acción de transformador" y del circuito del transformador equivalente. Por el momento, digamos que se debe sólo al "efecto de corto" (entre las terminales de entrada del transformador) de la reactancia inductiva magnética a bajas frecuencias ($X_L = 2\pi fL$). La ganancia debe ser obviamente en $f = 0$, debido a que en este punto ya no hay un flujo cambiante a través del núcleo para inducir un voltaje secundario o de salida. Como lo indica la figura 11.4, la respuesta a alta frecuencia la controla principalmente la capacitancia parásita entre las vueltas de las bobinas del primario y secundario. Para el amplificador acoplado directamente no hay capacitores de acoplamiento o de desvío que causen una caída de la ganancia a bajas frecuencias.

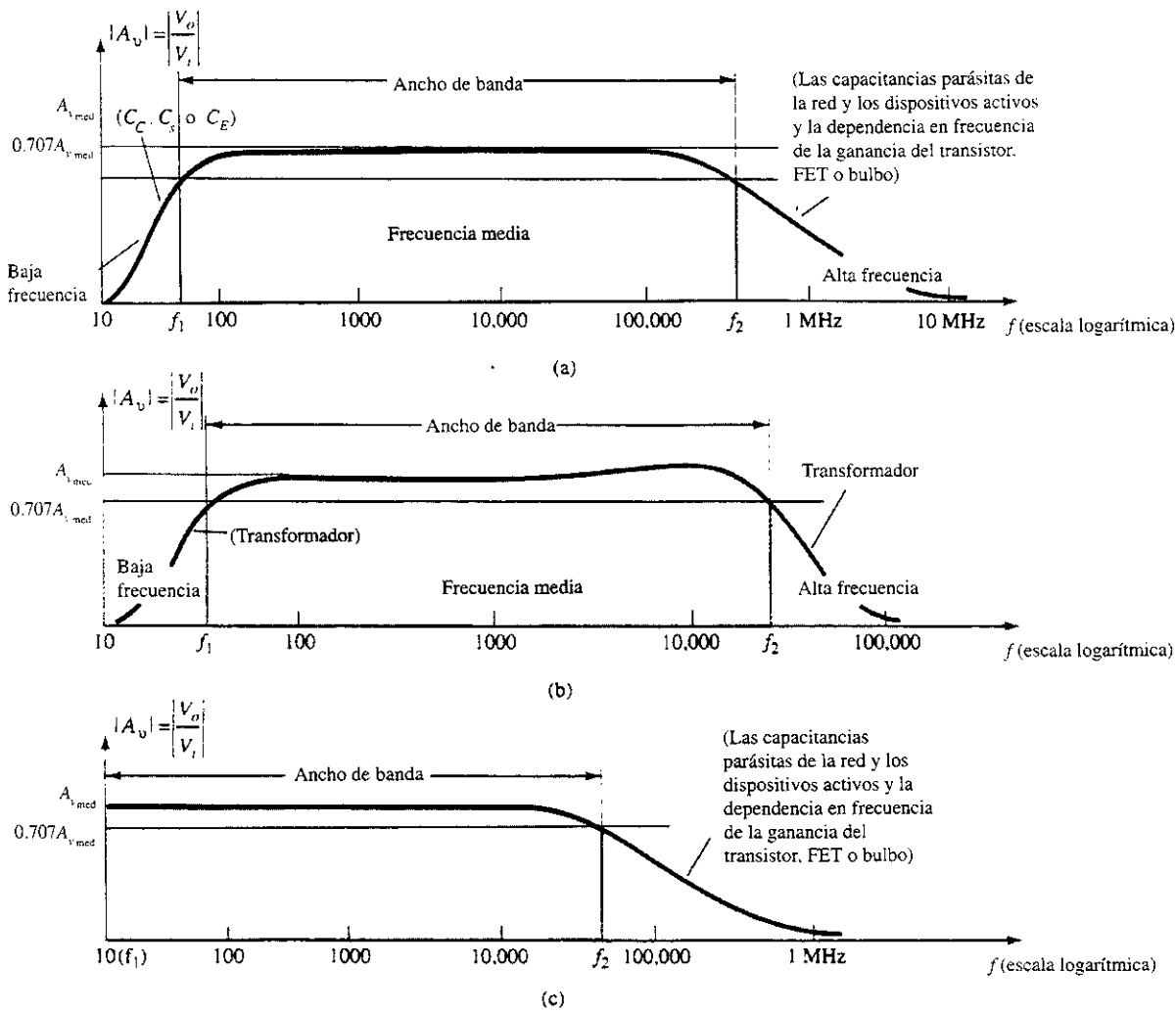


Figura 11.4 Ganancia en función de la frecuencia para a) amplificadores con acoplamiento RC; b) amplificadores acoplados por transformador; c) amplificadores acoplados directamente.

Como lo señala la figura, es una respuesta plana hasta la alta frecuencia de corte, por las cuales se determinan las capacitancias parásitas del circuito o la dependencia en frecuencia de la ganancia del dispositivo activo.

La magnitud de la ganancia es igual o muy cercana al valor de banda media. Para poner las fronteras de frecuencia a una ganancia relativamente alta, se escogió que $0.707A_{v_{med}}$ fuera la ganancia a los niveles de corte. Las frecuencias f_1 y f_2 correspondientes son denominadas generalmente como las *frecuencias de esquina, corte, banda, o de media potencia*. Se escogió el multiplicador 0.707 debido a que en este nivel la potencia de salida es la mitad de la potencia de salida en la banda media, esto es, a las frecuencias medias,

$$P_{o_{med}} = \frac{|V_o|^2}{R_o} = \frac{|A_{v_{med}} V_i|^2}{R_o}$$

y a las frecuencias de media potencia

$$P_{o_{HPF}} = \frac{|0.707A_{v_{med}} V_i|^2}{R_o} = 0.5 \frac{|A_{v_{med}} V_i|^2}{R_o}$$

y

$$P_{o_{HPF}} = 0.5 P_{o_{med}} \quad (11.16)$$

El ancho de banda de cada sistema se determina por f_1 y f_2 , esto es,

$$\text{ancho de banda (BW)} = f_2 - f_1 \quad (11.17)$$

Para aplicaciones de naturaleza de comunicaciones (audio, video) es más útil una gráfica en decibels de la ganancia de voltaje en función de la frecuencia que aparece en la figura 11.4. Sin embargo, antes de obtener la gráfica logarítmica, por lo general se normaliza la curva, como se señala en la figura 11.5. En esta figura, la ganancia para cada frecuencia está dividida entre el valor de banda media. Obviamente, el valor de banda media es 1, como se indica. A las frecuencias de media potencia el nivel resultante es de $0.707 = 1/\sqrt{2}$. Ahora, puede obtenerse una gráfica en decibels aplicando la ecuación 11.12 de la siguiente manera:

$$\left. \frac{A_v}{A_{v_{med}}} \right|_{dB} = 20 \log_{10} \frac{A_v}{A_{v_{med}}} \quad (11.18)$$

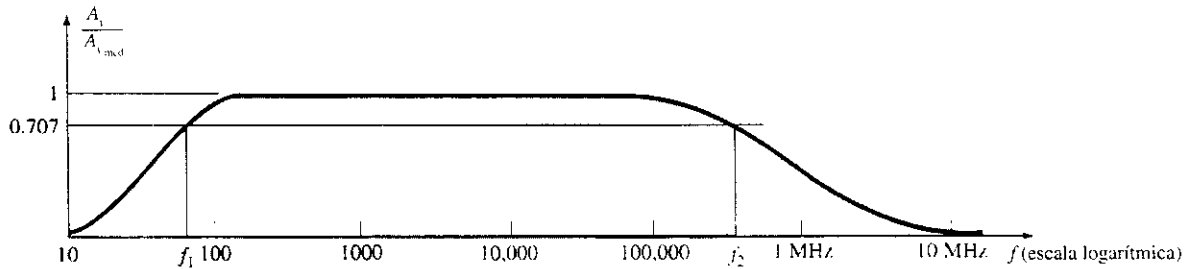


Figura 11.5 Gráfica de ganancia normalizada en función de la frecuencia.

A las frecuencias de banda media, $20 \log_{10} 1 = 0$ y a las frecuencias de corte, $20 \log_{10} 1/\sqrt{2} \approx -3$ dB. Ambos valores están indicados con claridad en la gráfica de decibels resultante en la figura 11.6. Entre más pequeña es la relación de la fracción, más negativo será el nivel de decibels.

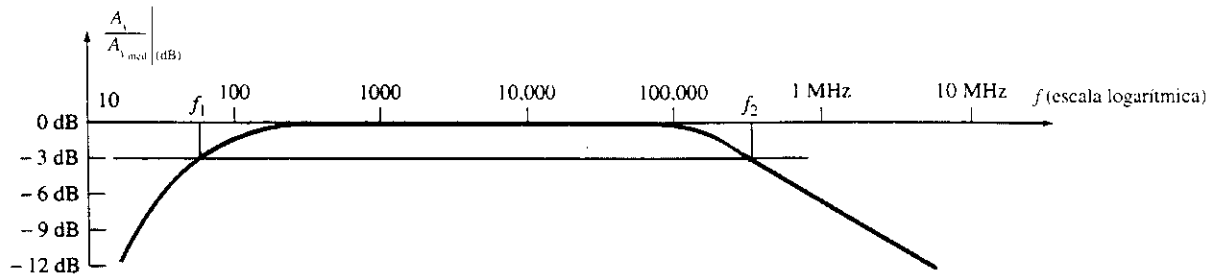


Figura 11.6 Gráfica en decibels para la ganancia normalizada en función de la frecuencia de la figura 11.5.

Para la mayor parte de la exposición que viene a continuación, se realizará una gráfica de decibels para las regiones de frecuencias baja y alta. Recuerde la figura 11.6 para permitir una visualización de la respuesta del sistema total.

Debe comprenderse que la mayoría de los amplificadores introducen un desplazamiento de fase de 180° entre las señales de entrada y salida. Ahora, este hecho debe ampliarse para indicar que sólo ocurre en la región de la banda media. A bajas frecuencias, hay un desplazamiento de fase tal que V_o se retrasa de V_i por un ángulo cada vez mayor. A altas frecuencias el desplazamiento de fase caerá a menos de 180° . La figura 11.7 es una gráfica de fase estándar para un amplificador con acoplamiento RC.

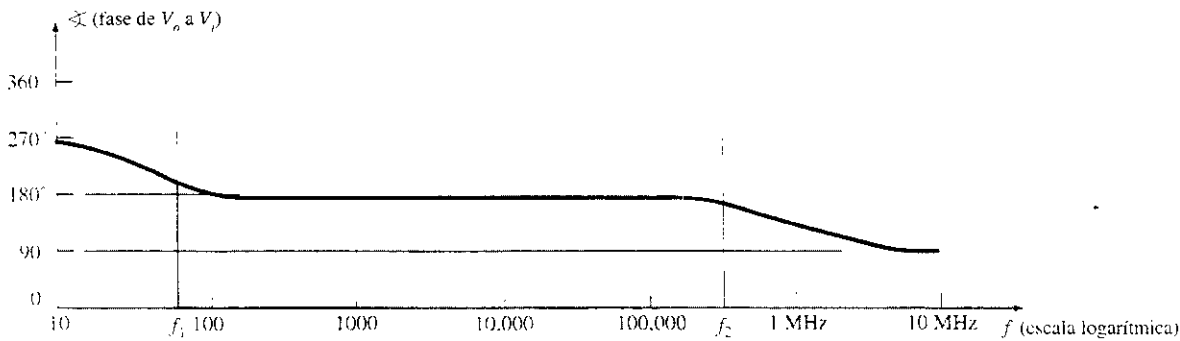


Figura 11.7 Gráfica de fase para un sistema amplificador con acoplamiento RC.

11.5 ANÁLISIS A BAJA FRECUENCIA, GRÁFICA DE BODE

En la región de baja frecuencia de un amplificador con BJT o FET de una sola etapa, la combinación R - C se forma por los capacitores C_C , C_E y C_S del circuito y los parámetros resistivos del circuito, y es la que determina las frecuencias de corte. Puede establecerse un circuito R - C similar al de la figura 11.8 para cada elemento capacitivo y determinar la frecuencia en que el voltaje de salida cae a 0.707 de su valor máximo. Una vez que se determinan las frecuencias de corte debidas a cada capacitor, pueden compararse para establecer cuál determinará la frecuencia de corte en baja frecuencia del sistema.

Nuestro análisis comenzará con la serie de combinaciones R - C de la figura 11.8 y el desarrollo de un procedimiento que resultará una en gráfica de la respuesta a la frecuencia con el mínimo de tiempo y esfuerzo. A frecuencias muy altas,

$$X_C = \frac{1}{2\pi fC} \cong 0 \Omega$$

y el equivalente de corto circuito puede sustituir al capacitor, como se muestra en la figura 11.9. El resultado es $V_o \cong V_i$ a altas frecuencias. En $f = 0$ Hz,

$$X_C = \frac{1}{2\pi fC} = \frac{1}{2\pi(0)C} = \infty \Omega$$

y la aproximación de circuito abierto puede aplicarse como se ve en la figura 11.10 con el resultado de $V_o = 0$ V.

Entre los dos extremos, la relación $A_v = V_o/V_i$ variará como lo indica la figura 11.11. Conforme aumenta la frecuencia, disminuye la reactancia capacitiva, y aumenta el voltaje de entrada, porque aparece entre las terminales de salida.

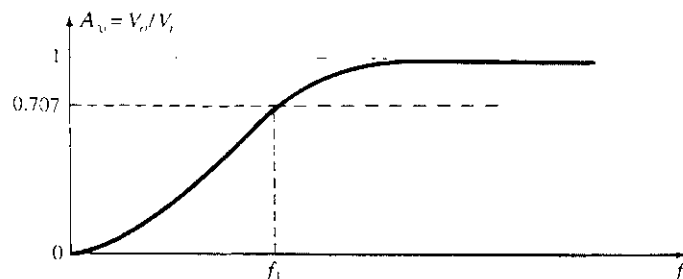


Figura 11.11 Respuesta a baja frecuencia para el circuito R - C de la figura 11.8.

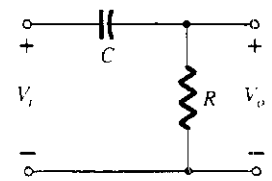


Figura 11.8 Combinación R - C que definirá una baja frecuencia de corte.

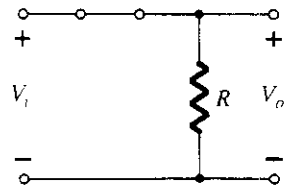


Figura 11.9 Circuito R - C de la figura 11.8 a frecuencias muy altas.

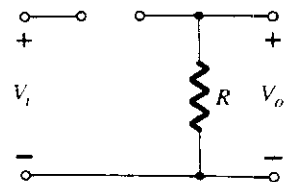


Figura 11.10 Circuito R - C de la figura 11.8 a $f = 0$ Hz.

Los voltajes de salida y entrada se relacionan por la regla de divisor de voltaje de la siguiente manera:

$$V_o = \frac{RV_i}{R + X_C}$$

estando determinada la magnitud de V_o por

$$V_o = \frac{RV_i}{\sqrt{R^2 + X_C^2}}$$

Para el caso especial cuando $X_C = R$,

$$V_o = \frac{RV_i}{\sqrt{R^2 + X_C^2}} = \frac{RV_i}{\sqrt{R^2 + R^2}} = \frac{RV_i}{\sqrt{2R^2}} = \frac{RV_i}{\sqrt{2}R} = \frac{1}{\sqrt{2}}V_i$$

y

$$|A_v| = \frac{V_o}{V_i} = \frac{1}{\sqrt{2}} = 0.707 \big|_{X_C=R} \quad (11.19)$$

cuyo nivel se indica en la figura 11.11. En otras palabras, a la frecuencia en la que $X_C = R$, la salida será el 70.7% de la entrada para el circuito de la figura 11.8.

La frecuencia a la que esto ocurre está especificada por

$$X_C = \frac{1}{2\pi f_1 C} = R$$

y

$$f_1 = \frac{1}{2\pi RC} \quad (11.20)$$

En términos de logaritmos,

$$G_v = 20 \log_{10} A_v = 20 \log_{10} \frac{1}{\sqrt{2}} = -3 \text{ dB}$$

mientras $A_v = V_o/V_i = 1$ o $V_o = V_i$ (el valor máximo),

$$G_v = 20 \log_{10} 1 = 20(0) = 0 \text{ dB}$$

En la figura 11.6 podemos reconocer que hay una caída de 3 dB en la ganancia desde el nivel de banda media cuando $f = f_1$. En un momento encontraremos que un circuito RC determinará la frecuencia de corte a baja frecuencia para un transistor BJT, y f_1 se determinará por la ecuación (11.20).

Si la ecuación de ganancia es escrita como

$$A_v = \frac{V_o}{V_i} = \frac{R}{R - jX_C} = \frac{1}{1 - j(X_C/R)} = \frac{1}{1 - j(1/\omega CR)} = \frac{1}{1 - j(1/2\pi f CR)}$$

y se usa la frecuencia definida antes,

$$A_v = \frac{1}{1 - j(f_1/f)} \quad (11.21)$$

En la forma de magnitud y fase,

$$A_v = \frac{V_o}{V_i} = \underbrace{\frac{1}{\sqrt{1 + (f_1/f)^2}}}_{\text{magnitud de } A_v} \underbrace{\angle \tan^{-1}(f_1/f)}_{\text{fase } \angle \text{ de } V_o \text{ a } V_i} \quad (11.22)$$

Para la magnitud, cuando $f = f_1$,

$$|A_v| = \frac{1}{\sqrt{1 + (1)^2}} = \frac{1}{\sqrt{2}} = 0.707 \rightarrow -3 \text{ dB}$$

En forma logarítmica, la ganancia en dB es

$$\begin{aligned} A_{v(\text{dB})} &= 20 \log_{10} \frac{1}{\sqrt{1 + (f_1/f)^2}} = -20 \log_{10} \left[1 + \left(\frac{f_1}{f} \right)^2 \right]^{1/2} \\ &= -\left(\frac{1}{2}\right)(20) \log_{10} \left[1 + \left(\frac{f_1}{f} \right)^2 \right] \\ &= -10 \log_{10} \left[1 + \left(\frac{f_1}{f} \right)^2 \right] \end{aligned}$$

Para las frecuencias donde $f \ll f_1$ o $(f_1/f)^2 \gg 1$, la ecuación anterior puede calcularse por

$$A_{v(\text{dB})} = -10 \log_{10} \left(\frac{f_1}{f} \right)^2$$

y finalmente,

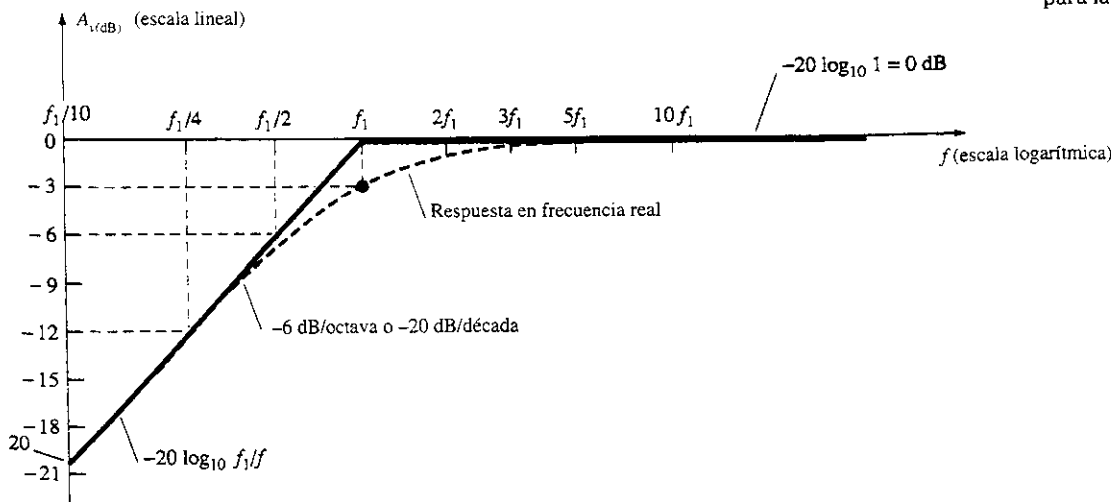
$$\boxed{A_{v(\text{dB})} = -20 \log_{10} \frac{f_1}{f}} \quad f \ll f_1 \quad (11.23)$$

Ignorando la condición $f \ll f_1$ por un momento, una gráfica de la ecuación (11.23) en una escala logarítmica de frecuencias producirá un resultado de naturaleza muy útil para futuras gráficas en decibels.

$$\begin{aligned} \text{A } f = f_1: \quad \frac{f_1}{f} &= 1 \quad \text{y} \quad -20 \log_{10} 1 = 0 \text{ dB} \\ \text{A } f = \frac{1}{2}f_1: \quad \frac{f_1}{f} &= 2 \quad \text{y} \quad -20 \log_{10} 2 \cong -6 \text{ dB} \\ \text{A } f = \frac{1}{4}f_1: \quad \frac{f_1}{f} &= 4 \quad \text{y} \quad -20 \log_{10} 4 \cong -12 \text{ dB} \\ \text{A } f = \frac{1}{10}f_1: \quad \frac{f_1}{f} &= 10 \quad \text{y} \quad -20 \log_{10} 10 = -20 \text{ dB} \end{aligned}$$

Una gráfica de estos puntos se muestra en la figura 11.12, desde $0.1 f_1$ a f_1 . Nótese que esto resulta una línea recta cuando se grafica en una escala logarítmica. En la misma figura también

Figura 11.12 Gráfica de Bode para la región de baja frecuencia.



se traza una línea recta para la condición de 0 dB para $f \gg f_1$. Como se dijo antes, los segmentos de línea recta (asíntotas) son solamente exactos para 0 dB cuando $f \gg f_1$ y la línea con pendiente cuando $f_1 \gg f$. Sin embargo, sabemos que cuando $f = f_1$, hay una caída de 3 dB desde el nivel de banda media. Empleando esta información junto con los segmentos rectos, permite una gráfica lo suficientemente exacta de la respuesta de frecuencia, como se indica en la misma figura. La gráfica de segmentos lineales formada por las asíntotas y puntos de corte asociados se le llama *gráfica de Bode* de la magnitud en función de la frecuencia.

Los cálculos anteriores y la curva misma muestran que:

Un cambio en frecuencia por un factor de 2, equivalente a 1 octava, resulta un cambio de 6 dB en la relación, tal como se observa por el cambio en ganancia de $f_1/2$ a f_1 .

Como se indica por el cambio en ganancia de $f_1/2$ a f_1 .

Para un cambio de 10:1 en frecuencia, equivalente a 1 década, hay un cambio de 20 dB en la relación, como se señala entre las frecuencias de $f_1/10$ y f_1 .

Por tanto, en el futuro puede obtenerse con facilidad una gráfica en decibels para una función que tenga el formato de la ecuación (11.23). Primero obtenga f_1 , sólo a partir de los parámetros del circuito, y luego trace dos asíntotas, una a lo largo de la línea de 0 dB y la otra a partir de f_1 y con una pendiente de 6 dB/octava o 20 dB/década. Luego encuentre el punto de 3 dB que corresponda a f_1 y trace la curva.

EJEMPLO 11.8

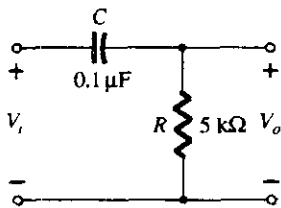


Figura 11.13 Ejemplo 11.8.

Para el circuito de la figura 11.13:

- Determine la frecuencia de corte.
- Trace las asíntotas y localice el punto de -3 dB.
- Dibuje la curva de respuesta en frecuencia.

Solución

$$a) \quad f_1 = \frac{1}{2\pi RC} = \frac{1}{(6.28)(5 \times 10^3 \Omega)(0.1 \times 10^{-6} \text{ F})} \approx 318.5 \text{ Hz}$$

b) y c) Ver la figura 11.14.

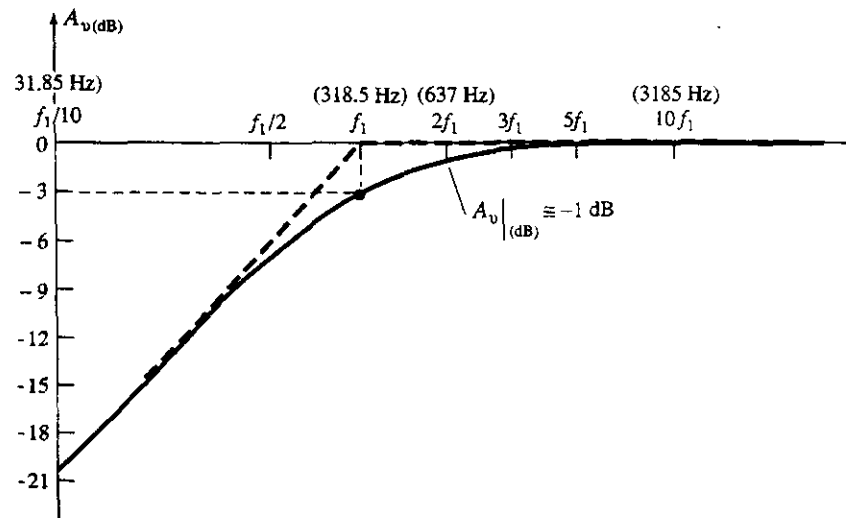


Figura 11.14 Respuesta en frecuencia para el circuito R-C de la figura 11.13.

La ganancia a cualquier frecuencia puede determinarse a partir de la gráfica de frecuencia de la siguiente manera:

$$A_{v(\text{dB})} = 20 \log_{10} \frac{V_o}{V_i}$$

pero

$$\frac{A_{v(\text{dB})}}{20} = \log_{10} \frac{V_o}{V_i}$$

y

$$\boxed{A_v = \frac{V_o}{V_i} = 10^{\left(\frac{A_{v(\text{dB})}}{20}\right)}} \quad (11.24)$$

Por ejemplo, si $A_{v(\text{dB})} = -3 \text{ dB}$,

$$A_v = \frac{V_o}{V_i} = 10^{(-3/20)} = 10^{(-0.15)} \cong 0.707 \quad \text{como se espera}$$

La cantidad $10^{-0.15}$ se determina usando la función 10^x que se encuentra en la mayoría de las computadoras científicas.

A partir de la figura 11.14, $A_{v(\text{dB})} \cong -1 \text{ dB}$ en $f = 2f_1 = 637 \text{ Hz}$. La ganancia en este punto es

$$A_v = \frac{V_o}{V_i} = 10^{\left(\frac{-1}{20}\right)} = 10^{(-1/20)} = 10^{(-0.05)} = 0.891$$

y

$$V_o = 0.891 V_i$$

o V_o es 89.1% de V_i a $f = 637 \text{ Hz}$.

El ángulo de fase de θ se determina de

$$\boxed{\theta = \tan^{-1} \frac{f_1}{f}} \quad (11.25)$$

a partir de la ecuación (11.22).

Para frecuencias $f \ll f_1$,

$$\theta = \tan^{-1} \frac{f_1}{f} \rightarrow 90^\circ$$

Por ejemplo, si $f_1 = 100f$,

$$\theta = \tan^{-1} \frac{f_1}{f} = \tan^{-1}(100) = 89.4^\circ$$

Para $f = f_1$,

$$\theta = \tan^{-1} \frac{f_1}{f} = \tan^{-1} 1 = 45^\circ$$

Para $f \gg f_1$,

$$\theta = \tan^{-1} \frac{f_1}{f} \rightarrow 0^\circ$$

Por ejemplo, si $f = 100f_1$,

$$\theta = \tan^{-1} \frac{f_1}{f} = \tan^{-1} 0.01 = 0.573^\circ$$

En la figura 11.15 se proporciona una gráfica de $\theta = \tan^{-1} (f_i/f)$. Si añadimos el desplazamiento de fase de 180° introducido por un amplificador, se obtendrá la gráfica de fase de la figura 11.7. La respuesta en magnitud y fase de cada combinación R - C se ha establecido. En la sección 11.6 se volverá a graficar la frecuencia de cada capacitor importante para la región de baja frecuencia en una combinación R - C y, se determinarán las frecuencias de corte para cada uno a fin de establecer la respuesta a baja frecuencia del amplificador BJT.

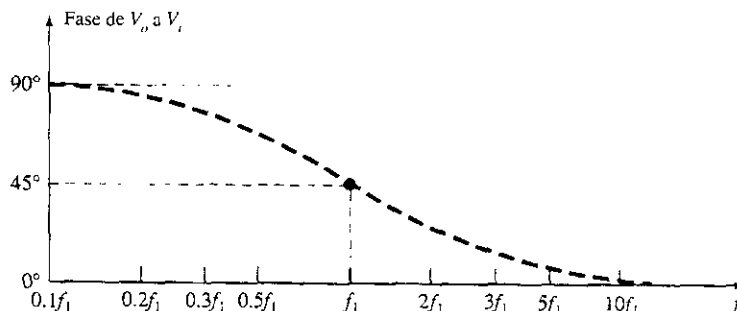


Figura 11.15 Respuesta de fase del circuito R - C de la figura 11.8.

11.6 RESPUESTA A BAJA FRECUENCIA, AMPLIFICADOR BJT

El análisis de esta sección empleará la configuración de polarización del BJT a divisor de voltaje, pero los resultados pueden aplicarse a cualquier configuración BJT. Sólo será necesario encontrar la resistencia equivalente adecuada para la combinación R - C . Para el circuito de la figura 11.16, los capacitores C_s , C_C y C_E determinarán la respuesta a baja frecuencia. Ahora, examinaremos el impacto de cada uno en forma independiente y el orden listado.

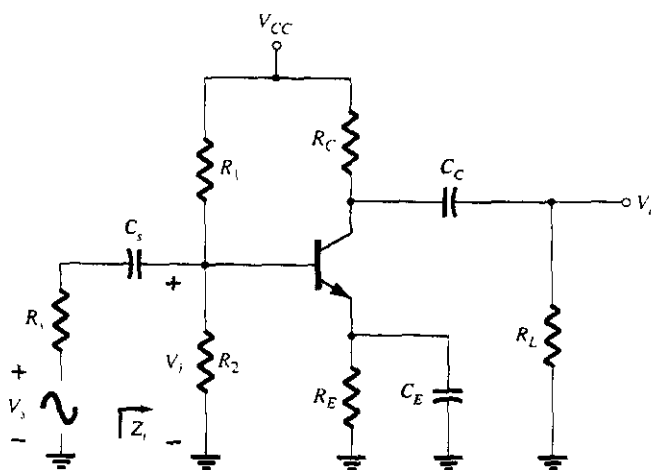


Figura 11.16 Amplificador BJT cargado con capacitores que afectan la respuesta a baja frecuencia.

C_s

Debido a que C_s está conectado casi siempre entre la fuente aplicada y el dispositivo activo, la forma general de la configuración R - C se establece por el circuito de la figura 11.17. La resistencia total es ahora $R_s + R_i$ y la frecuencia de corte, como se dijo en la sección 11.5 es

$$f_{L_s} = \frac{1}{2\pi(R_s + R_i)C_s} \quad (11.26)$$

A frecuencias medias o altas, la reactancia del capacitor será lo suficientemente pequeña para permitir una aproximación de corto circuito para el elemento. El voltaje V_i estará relacionado a V_s por

$$V_i|_{med} = \frac{R_i V_s}{R_i + R_s} \quad (11.27)$$

A f_{L_s} el voltaje V_i será el 70.7% del valor determinado por la ecuación (11.27), suponiendo que C_s es el único elemento capacitivo que controla la respuesta a baja frecuencia.

Para el circuito de la figura 11.16, cuando analizamos los efectos de C_s debemos suponer que C_E y C_C están realizando su función de diseño o el análisis será muy difícil de controlar; es decir, que la magnitud de las reactancias de C_E y C_C permite emplear un equivalente de corto circuito al compararlo con su magnitud con la de las otras impedancias en serie. Usando esta hipótesis, el circuito equivalente de ac para la sección de entrada de la figura 11.16 aparecerá como se muestra en la figura 11.18.

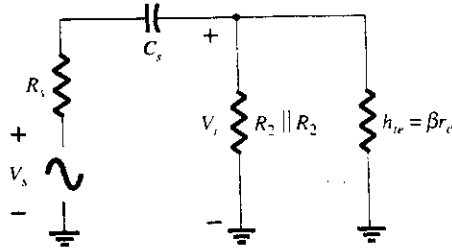


Figura 11.18 Equivalente en ac para C_s .

El valor de R_i para la ecuación (11.26) se determina mediante

$$R_i = R_1 \parallel R_2 \parallel \beta r_e \quad (11.28)$$

El voltaje V_i aplicado a la entrada del dispositivo activo puede calcularse si se usa la regla de divisor de voltaje:

$$V_i = \frac{R_i V_s}{R_s + R_i - jX_{C_s}} \quad (11.29)$$

C_C

Ya que el capacitor de acoplamiento está conectado con frecuencia entre la salida del dispositivo activo y la carga aplicada, la configuración R - C que determina la frecuencia de corte debida a C_C aparece en la figura 11.19. A partir de la figura 11.19 la resistencia en serie total es ahora $R_o + R_L$, y la frecuencia de corte debida a C_C se determina por

$$f_{L_c} = \frac{1}{2\pi(R_o + R_L)C_C} \quad (11.30)$$

Si se ignoran los efectos de C_s y C_E el voltaje de salida V_o será el 70.7% de su valor de banda media a f_{L_c} . Para el circuito de la figura 11.16, el circuito equivalente de ac para la sección de salida con $V_i = 0$ V aparece en la figura 11.20. El valor resultante para R_o en la ecuación (11.30) es simplemente

$$R_o = R_C \parallel r_o \quad (11.31)$$

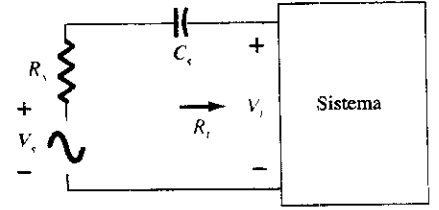


Figura 11.17 Determinación del efecto de C_s en la respuesta en baja frecuencia.

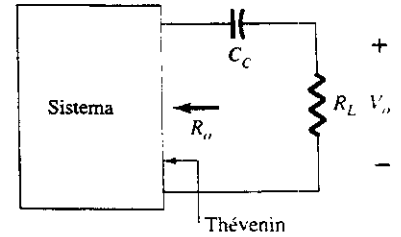


Figura 11.19 Determinación del efecto de C_C en la respuesta en baja frecuencia.

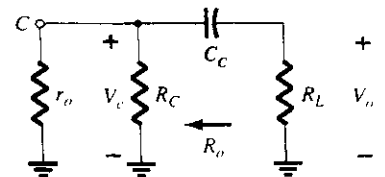


Figura 11.20 Equivalente en ac para C_C con $V_i = 0$ V.

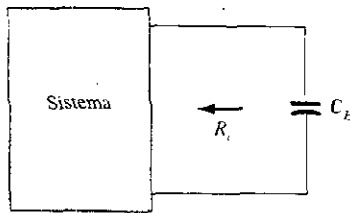
f 

Figura 11.21 Determinación del efecto de C_E en la respuesta en baja frecuencia.

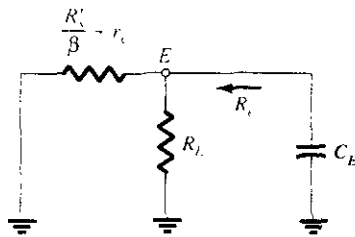


Figura 11.22 Equivalente en ac para C_E .

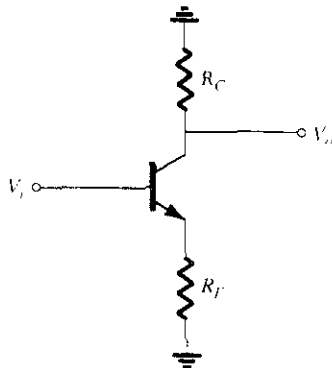


Figura 11.23 Red empleada para describir el efecto de C_E en la ganancia del amplificador.

 C_E

Para determinar f_{L_E} debe obtenerse el circuito "visto" por C_E , como se muestra en la figura 11.21. Una vez que se establece el nivel de R_e , la frecuencia de corte debida a C_E puede determinarse con la siguiente ecuación:

$$f_{L_E} = \frac{1}{2\pi R_e C_E} \quad (11.32)$$

Para el circuito de la figura 11.16, el equivalente de ac que "ve" C_E aparece en la figura 11.22. El valor de R_e se determina por tanto,

$$R_e = R_E \parallel \left(\frac{R'_s}{\beta} + r_e \right) \quad (11.33)$$

donde $R'_s = R_s \parallel R_1 \parallel R_2$.

El efecto de C_E sobre la ganancia se describe mejor en una forma cuantitativa, recordando que la ganancia para la configuración de la figura 11.23 se da por

$$A_v = \frac{-R_C}{r_e + R_E}$$

La ganancia máxima está disponible obviamente cuando R_e es cero ohms. A bajas frecuencias, con el capacitor de desvío C_E en su estado equivalente a "circuito abierto", R_E aparece en la ecuación de ganancia anterior y resulta la ganancia mínima. Conforme la frecuencia aumenta, la reactancia del capacitor C_E disminuye, reduciendo la impedancia en paralelo de R_E y C_E hasta que el resistor R_E es efectivamente "puesto en corto" por C_E . El resultado es máximo o la ganancia de banda media determinado por $A_v = -R_C/r_e$. En f_{L_E} la ganancia será 3 dB menor que el valor de banda media determinado con R_E "en corto".

Antes de continuar, no olvide que C_s , C_C y C_E afectarán sólo la respuesta a baja frecuencia. Al nivel de las frecuencias de la banda media pueden insertarse los equivalentes de corto circuito para los capacitores. Aunque cada uno afectará la ganancia $A_v = V_o/V_i$ en un rango de frecuencia similar, el mayor punto de corte a baja frecuencia determinado por C_s , C_C o C_E tendrá el mayor impacto, ya que será el último localizado antes del nivel de banda media. Si las frecuencias están relativamente distantes, la frecuencia de corte más alta determinará en esencia la frecuencia de corte baja para el sistema completo. Si hay dos o más frecuencias de corte "altas", el efecto elevará la frecuencia de corte baja y reducirá el ancho de banda resultante del sistema. En otras palabras, hay una interacción entre los elementos capacitivos que puede afectar la frecuencia baja de corte resultante. Sin embargo, si las frecuencias de corte establecidas por cada capacitor están lo suficientemente separadas, puede ignorarse el efecto de uno sobre el otro con un alto grado de precisión, un hecho que se demostrará en el siguiente ejemplo.

EJEMPLO 11.9

- a) Determine la frecuencia de corte inferior para el circuito de la figura 11.16, usando los siguientes parámetros:

$$C_s = 10 \mu\text{F}, \quad C_E = 20 \mu\text{F}, \quad C_C = 1 \mu\text{F}$$

$$R_s = 1 \text{ k}\Omega, \quad R_1 = 40 \text{ k}\Omega, \quad R_2 = 10 \text{ k}\Omega, \quad R_E = 2 \text{ k}\Omega, \quad R_C = 4 \text{ k}\Omega,$$

$$R_L = 2.2 \text{ k}\Omega$$

$$\beta = 100, \quad r_o = \infty \Omega, \quad V_{CC} = 20 \text{ V}$$

- b) Grafique la respuesta de frecuencia con una gráfica de Bode.

Solución

a) Determinar r_e para las condiciones de dc:

$$\beta R_E = (100)(2 \text{ k}\Omega) = 200 \text{ k}\Omega \gg 10R_2 = 100 \text{ k}\Omega$$

El resultado es:

$$V_B \cong \frac{R_2 V_{CC}}{R_2 + R_1} = \frac{10 \text{ k}\Omega (20 \text{ V})}{10 \text{ k}\Omega + 40 \text{ k}\Omega} = \frac{200 \text{ V}}{50} = 4 \text{ V}$$

con
$$I_E = \frac{V_E}{R_E} = \frac{4 \text{ V} - 0.7 \text{ V}}{2 \text{ k}\Omega} = \frac{3.3 \text{ V}}{2 \text{ k}\Omega} = 1.65 \text{ mA}$$

por tanto,
$$r_e = \frac{26 \text{ mV}}{1.65 \text{ mA}} \cong \mathbf{15.76 \text{ }\Omega}$$

y
$$\beta r_e = 100(15.76 \text{ }\Omega) = 1576 \text{ }\Omega = \mathbf{1.576 \text{ k}\Omega}$$

Ganancia en la banda media:

$$A_v = \frac{V_o}{V_i} = \frac{-R_C || R_L}{r_e} = -\frac{(4 \text{ k}\Omega) || (2.2 \text{ k}\Omega)}{15.76 \text{ }\Omega} \cong -90$$

La impedancia de entrada

$$\begin{aligned} Z_i = R_i &= R_1 || R_2 || \beta r_e \\ &= 40 \text{ k}\Omega || 10 \text{ k}\Omega || 1.576 \text{ k}\Omega \\ &\cong 1.32 \text{ k}\Omega \end{aligned}$$

y de la figura 11.24,

$$V_i = \frac{R_i V_s}{R_i + R_s}$$

o
$$\frac{V_i}{V_s} = \frac{R_i}{R_i + R_s} = \frac{1.32 \text{ k}\Omega}{1.32 \text{ k}\Omega + 1 \text{ k}\Omega} = 0.569$$

por tanto,
$$\begin{aligned} A_{v_s} &= \frac{V_o}{V_s} = \frac{V_o}{V_i} \frac{V_i}{V_s} = (-90)(0.569) \\ &= \mathbf{-51.21} \end{aligned}$$

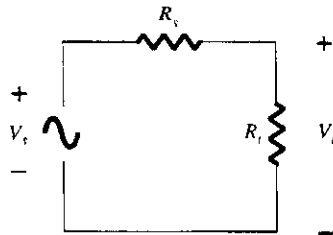


Figura 11.24 Determinación del efecto de R_s sobre la ganancia A_{v_s} .

C_s :

$$\begin{aligned} R_i &= R_1 || R_2 || \beta r_e = 40 \text{ k}\Omega || 10 \text{ k}\Omega || 1.576 \text{ k}\Omega \cong 1.32 \text{ k}\Omega \\ f_{L_s} &= \frac{1}{2\pi(R_s + R_i)C_s} = \frac{1}{(6.28)(1 \text{ k}\Omega + 1.32 \text{ k}\Omega)(10 \text{ }\mu\text{F})} \\ &\cong \mathbf{6.86 \text{ Hz}} \end{aligned}$$

Para verificar el resultado que se calculó, el circuito se analizará usando PSpice y los nodos definidos en la figura 11.25. El archivo de entrada de la figura 11.26 revela que la respuesta se debe sólo a C_s , con C_C y C_E puestos a niveles muy altos de 1 Farad para asegurarse que puedan aproximarse mediante equivalentes de corto circuito. El nivel de V_s fue puesto a 1 mV para proporcionar un nivel para V_o que sea comparado con facilidad con la ganancia del sistema.

La respuesta de PROBE de la figura 11.27 revela que la frecuencia de corte determinada por C_s es muy cercana a 7 Hz. El nivel de corte se determinó en $(0.707)(51.21 \text{ mV}) = 36.21 \text{ mV}$. Obsérvese que la respuesta PROBE usa una escala logarítmica para la frecuencia y una escala lineal para el voltaje de salida $V_o = V(7, 0)$.

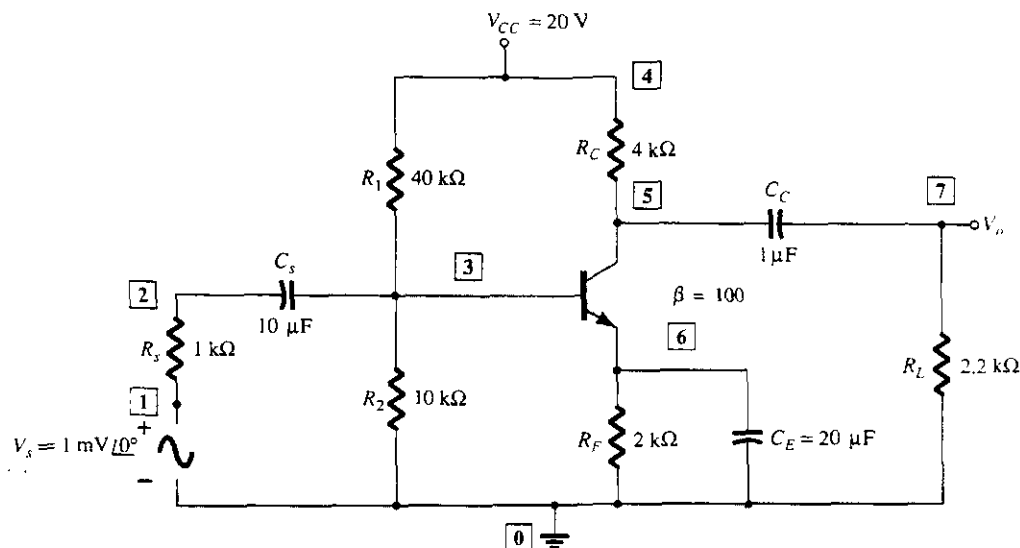


Figura 11.25 Determinación de los nodos de la red de la figura 11.16 para un análisis PSpice.

Frequency response of BJT circuit - Fig. 11.25 (Effect of C_s only)

**** CIRCUIT DESCRIPTION

```
VCC 4 0 20V
RB1 4 3 40K
RB2 3 0 10K
RC 4 5 4K
RE 6 0 2K
RS 2 1 1K
RL 7 0 2.2K
*CE and CC made very large(so they have no effect)
CS 2 3 10UF
CE 6 0 1F
CC 5 7 1F
Q1 5 3 6 QN
.MODEL QN NPN(BF=100 IS=5E-15)
VS 1 0 AC 1M
.AC LIN 100 1HZ 100HZ
.PROBE
.OPTIONS NOPAGE
.END
```

Figura 11.26 Determinación del efecto de C_s en la respuesta a baja frecuencia de un amplificador BJT.

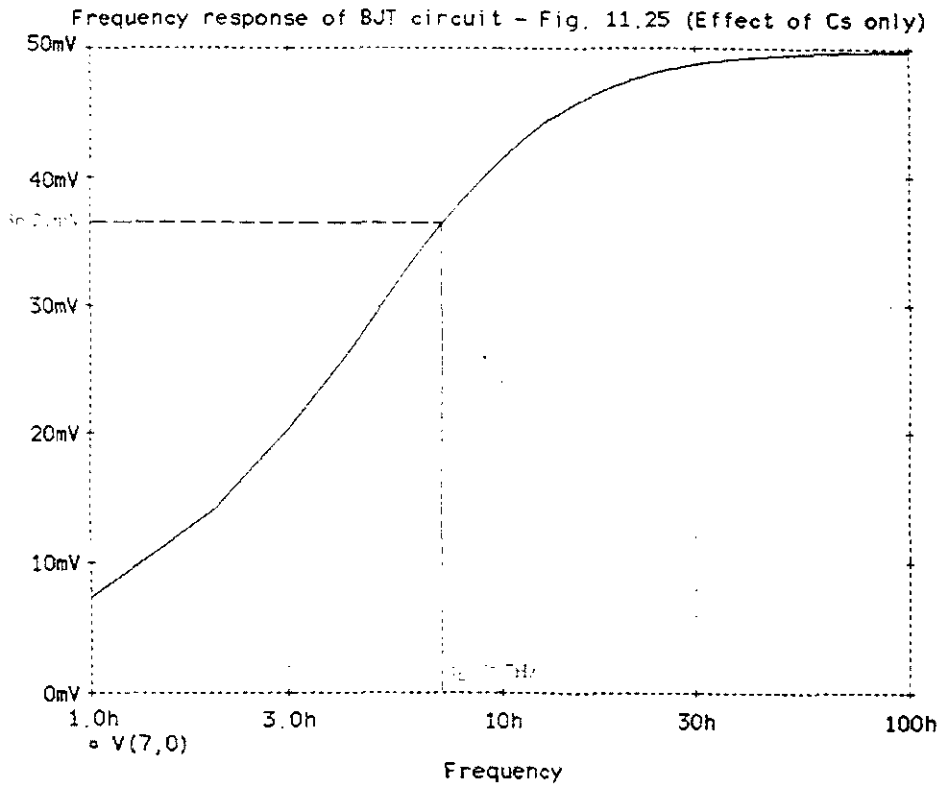


Figura 11.27

C_C :

$$\begin{aligned}
 f_{L_c} &= \frac{1}{2\pi(R_C + R_L)C_C} \\
 &= \frac{1}{(6.28)(4 \text{ k}\Omega + 2.2 \text{ k}\Omega)(1 \text{ }\mu\text{F})} \\
 &\approx \mathbf{25.68 \text{ Hz}}
 \end{aligned}$$

Para investigar los efectos de C_C se modifica el archivo de entrada de la figura 11.26 para que $C_C = 1 \text{ }\mu\text{F}$ con $C_S = 1 \text{ F}$ y $C_E = 1 \text{ F}$. El resultado es el archivo de salida de la figura 11.28, que comprueba los resultados que se obtuvieron antes.

C_E :

$$\begin{aligned}
 R'_s &= R_s || R_1 || R_2 = 1 \text{ k}\Omega || 40 \text{ k}\Omega || 10 \text{ k}\Omega \approx 0.889 \text{ k}\Omega \\
 R_e &= R_E || \left(\frac{R'_s}{\beta} + r_e \right) = 2 \text{ k}\Omega || \left(\frac{0.889 \text{ k}\Omega}{100} + 15.76 \text{ }\Omega \right) \\
 &= 2 \text{ k}\Omega || (8.89 \text{ }\Omega + 15.76 \text{ }\Omega) = 2 \text{ k}\Omega || 24.65 \text{ }\Omega \approx 24.35 \text{ }\Omega \\
 f_{L_E} &= \frac{1}{2\pi R_e C_E} = \frac{1}{(6.28)(24.35 \text{ }\Omega)(20 \text{ }\mu\text{F})} = \frac{10^6}{3058.36} \approx \mathbf{327 \text{ Hz}}
 \end{aligned}$$

Para C_E se modifica el archivo de entrada de la figura 11.26, de manera que $C_E = 20 \text{ }\mu\text{F}$ con $C_S = 1 \text{ F}$ y $C_C = 1 \text{ F}$. La respuesta de PROBE de la figura 11.29 confirma el resultado teórico. El hecho de que f_{L_E} sea significativamente mayor que f_{L_c} o f_{L_s} , sugiere que será el factor predominante en la determinación de la respuesta a baja frecuencia para el sistema completo. Para

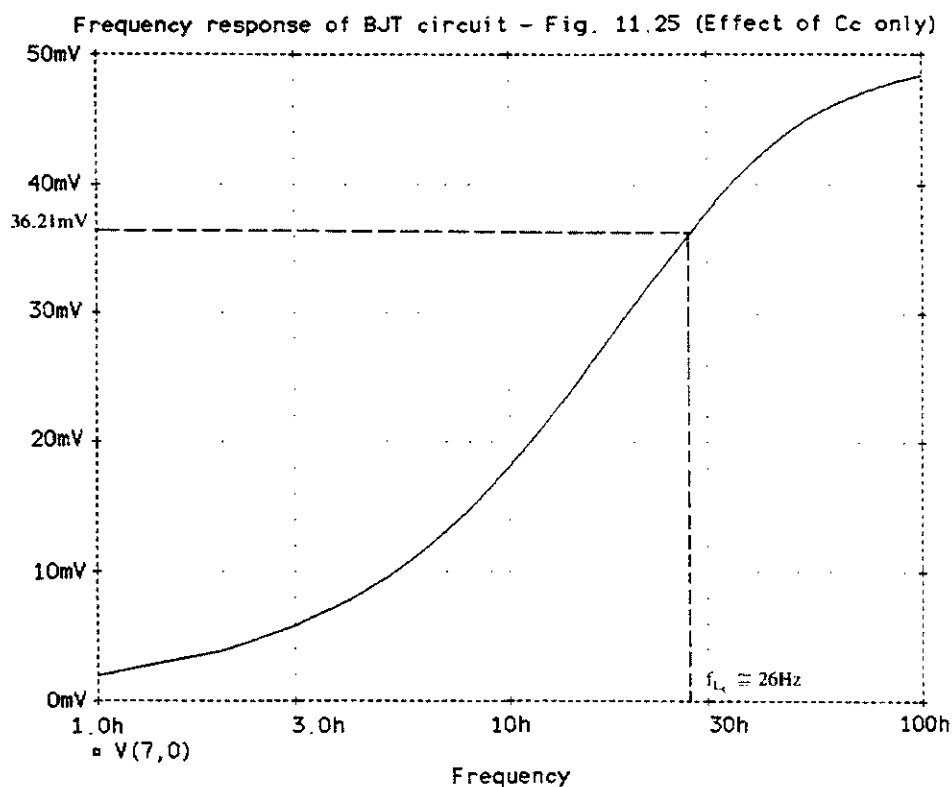


Figura 11.28 Efecto de C_C en la respuesta a baja frecuencia del amplificador BJT de la figura 11.25.

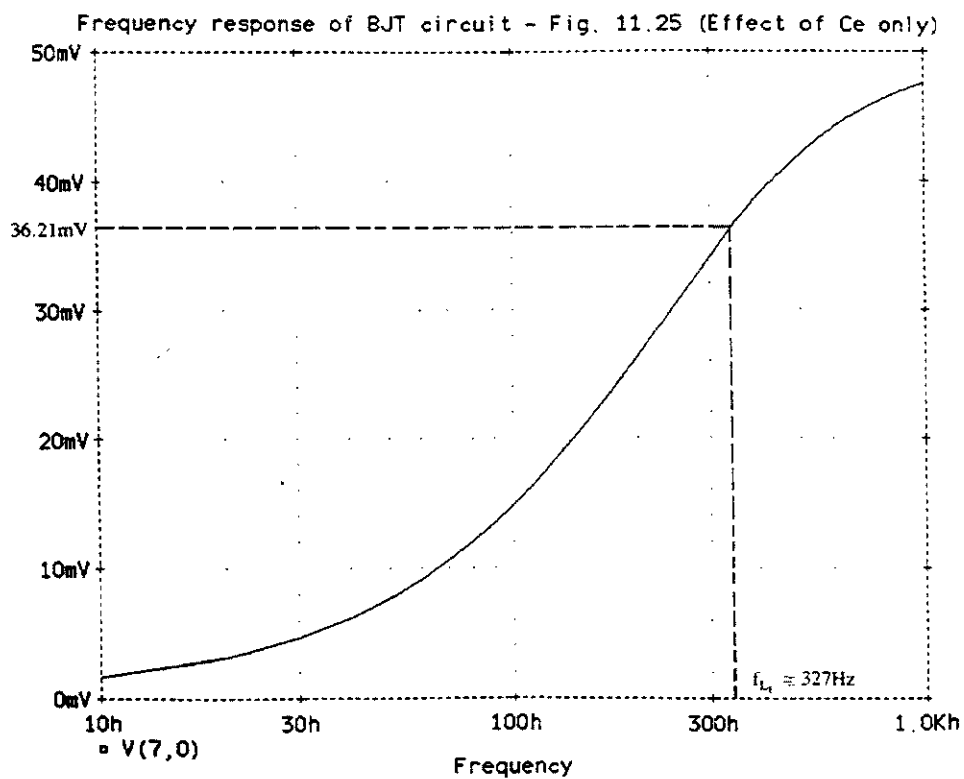


Figura 11.29 Efecto de C_E en la respuesta a baja frecuencia del amplificador BJT de la figura 11.25.

probar la precisión de nuestra hipótesis, se obtuvo el circuito completo y la gráfica de la figura 11.30. Obsérvese la fuerte similitud con la gráfica de la figura 11.29; la única diferencia visible es la mayor ganancia a más bajas frecuencias de la figura 11.29.

- b) Se mencionó antes que las gráficas dB se normalizan, por lo general, si se divide la ganancia de voltaje A_v entre la magnitud de la ganancia a banda media. Para la figura 11.16, la magnitud de la ganancia a banda media es 51.21 y naturalmente, la relación $|A_v/A_{v_{med}}|$ será 1 en la región de banda media. El resultado es una asíntota de 0 dB en la región de banda media, como se muestra en la figura 11.31. Definiendo a f_{L_E} como lo indica la frecuencia

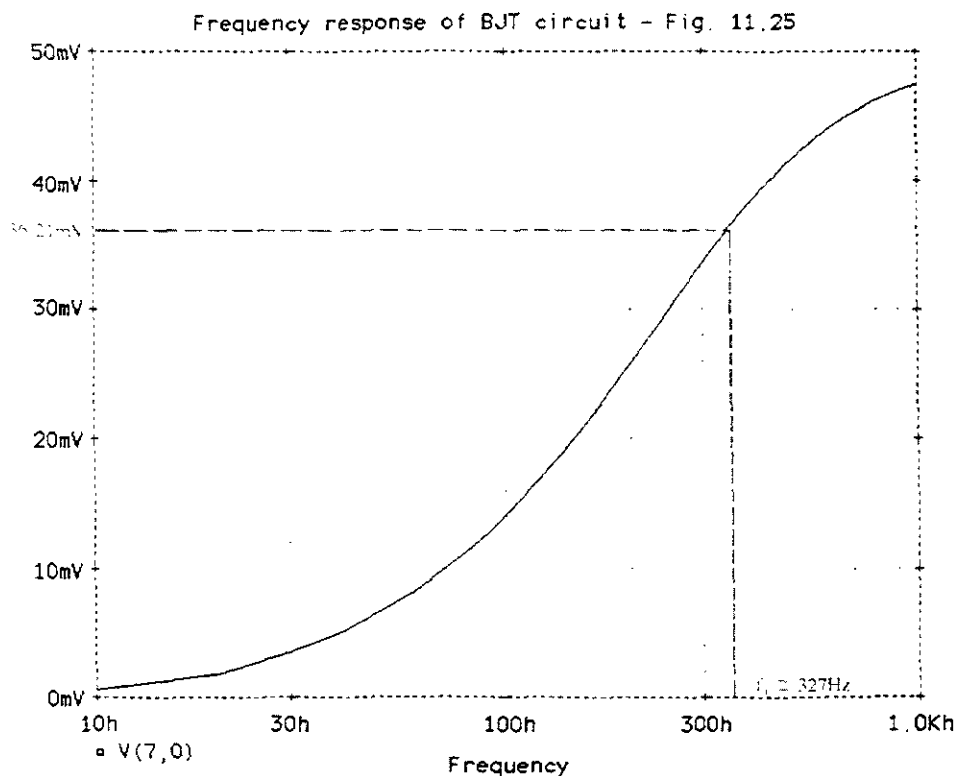


Figura 11.30 Efecto neto de C_s , C_C y C_E en la respuesta a baja frecuencia del amplificador BJT de la figura 11.25.

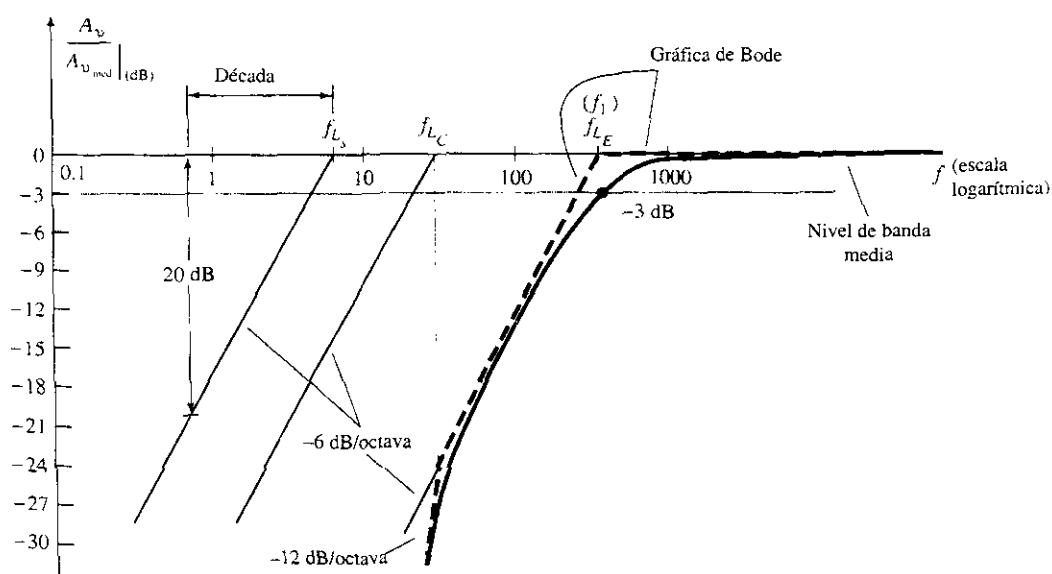


Figura 11.31 Gráfica de baja frecuencia para la red del ejemplo 11.9.

de corte inferior f_1 , puede dibujarse una asíntota a -6 dB/octava, como se señala en la figura 11.31, para hacer la gráfica de Bode y nuestra envolvente para la respuesta real. A f_1 la curva real está a -3 dB por abajo del nivel de la banda media, como lo define el nivel de $0.707A_{v_{med}}$, permitiendo, por tanto, el trazo de la gráfica de la curva de respuesta en la frecuencia real, como se muestra en la figura 11.31. Se trazó una asíntota a -6 dB/octava a cada frecuencia definida en el análisis anterior para demostrar que para ese circuito, f_{L_E} es el que determina el punto de -3 dB. No es sino hasta cerca de -24 dB que f_{L_C} comienza a afectar la forma de la envolvente. La gráfica de magnitud muestra que la pendiente de la asíntota resultante es la suma de las asíntotas que tienen la misma dirección de pendiente en el mismo intervalo de frecuencia. Obsérvese en la figura 11.31 que la pendiente ha caído a -12 dB/octava para frecuencias menores de f_{L_C} , y puede descender a -18 dB/octava, si las tres frecuencias de corte definidas en la figura 11.31 estuvieran mucho más cerca.

Usando PROBE puede lograrse una gráfica de $20 \log_{10}|A_v/A_{v_{med}}| = A_v/A_{v_{med}}$ dB, recordando que si $V_s = 1$ mV, y la magnitud de $|A_v/A_{v_{med}}|$ es la misma que $|V_o/A_{v_{med}}|$, ya que V_o tendrá el mismo valor numérico que A_v . La gráfica resultante de la figura 11.32 revela el cambio en pendiente de la asíntota en f_{L_C} , y cómo la curva real sigue la envolvente creada por la gráfica de Bode. Además, obsérvese la caída de 3 dB en f_1 .

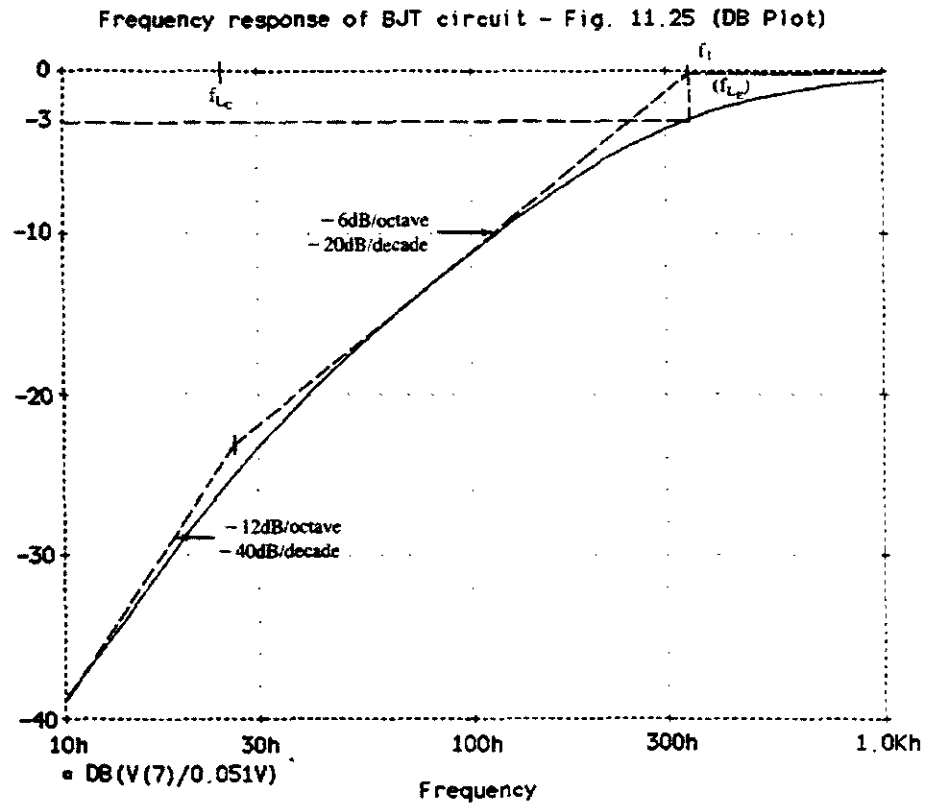


Figura 11.32 Gráfica dB de la respuesta a baja frecuencia del amplificador BJT de la figura 11.25.

Recuerde mientras pasamos a la siguiente sección, que el análisis de esta sección no se limita al circuito de la figura 11.16. Para cualquier configuración de transistor es necesario simplemente aislar cada combinación R - C formada por un elemento capacitivo y determinar las frecuencias de corte. Las frecuencias resultantes precisarán si hay una interacción fuerte

entre elementos capacitivos para la determinación de la respuesta general, y cuál elemento tendrá el mayor impacto para establecer la frecuencia de corte inferior. El análisis de la siguiente sección será muy similar al de esta sección, cuando delimitemos las frecuencias de corte inferior para el amplificador a FET.

11.7 RESPUESTA A BAJA FRECUENCIA, AMPLIFICADOR FET

El análisis del amplificador FET en la región de baja frecuencia será muy parecido al del amplificador BJT de la sección 11.6. Tenemos otra vez tres capacitores de interés, como se muestra en el circuito de la figura 11.33: C_G , C_C y C_S . Aunque la figura 11.33 se usará para establecer las ecuaciones fundamentales, el procedimiento y conclusiones pueden aplicarse a la mayoría de las configuraciones a FET.

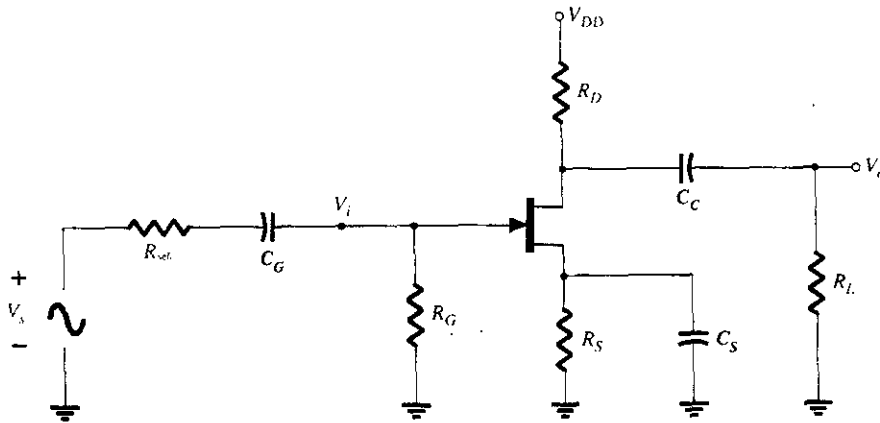


Figura 11.33 Elementos capacitivos que afectan la respuesta a baja frecuencia de un amplificador JFET.

C_G

Para el capacitor de acoplamiento entre la fuente y el dispositivo activo, el circuito equivalente de ac aparecerá igual que en la figura 11.34. La frecuencia de corte determinada por C_G será

$$f_{L_G} = \frac{1}{2\pi (R_{\text{set}} + R_i) C_G} \quad (11.34)$$

que es un equivalente exacto de la ecuación (11.26). Para el circuito de la figura 11.33,

$$R_i = R_G \quad (11.35)$$

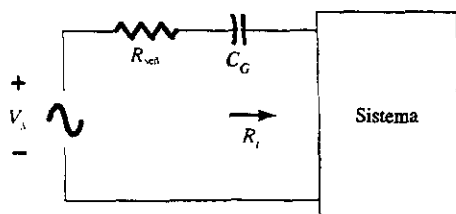


Figura 11.34 Determinación del efecto de C_G sobre la respuesta a baja frecuencia.

Por lo general, $R_G \gg R_{señ}$, y la baja frecuencia de corte se determinará principalmente por R_G y C_G . El hecho de que R_G sea tan grande, permite un nivel relativamente bajo de C_G , mientras se mantiene un nivel de frecuencia de corte bajo para f_{L_G} .

C_C

Para el capacitor de acoplamiento entre el dispositivo activo y la carga, el circuito de la figura 11.35 dará resultado, pero también es una copia exacta de la figura 11.19. La frecuencia de corte resultante es

$$f_{L_C} = \frac{1}{2\pi(R_o + R_L)C_C} \quad (11.36)$$

Para el circuito de la figura 11.33,

$$R_o = R_D \parallel r_d \quad (11.37)$$

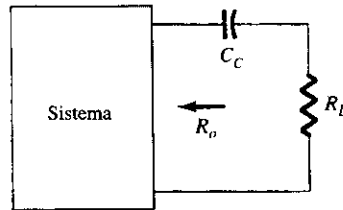


Figura 11.35 Determinación del efecto de C_C en la respuesta a baja frecuencia.

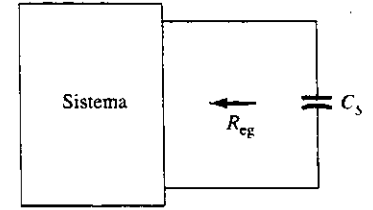


Figura 11.36 Determinación del efecto de C_S en la respuesta a baja frecuencia.

C_S

Para el capacitor de fuente, C_S , el nivel de resistencia importante se puede ver definido en la figura 11.36. La frecuencia de corte es

$$f_{L_S} = \frac{1}{2\pi R_{ec} C_S} \quad (11.38)$$

Para la figura 11.33 el valor resultante de R_{ec} :

$$R_{ec} = \frac{R_S}{1 + R_S(1 + g_m r_d)/(r_d + R_D \parallel R_L)} \quad (11.39)$$

que para $r_d \cong \infty \Omega$ llega a ser

$$R_{ec} = R_S \parallel \frac{1}{g_m} \quad (11.40)$$

EJEMPLO 11.10

- a) Determine la frecuencia de corte inferior para el circuito de la figura 11.33 con los siguientes parámetros:

$$\begin{aligned} C_G &= 0.01 \mu\text{F}, & C_C &= 0.5 \mu\text{F}, & C_S &= 2 \mu\text{F} \\ R_{señ} &= 10 \text{ k}\Omega, & R_G &= 1 \text{ M}\Omega, & R_D &= 4.7 \text{ k}\Omega, & R_S &= 1 \text{ k}\Omega, & R_L &= 2.2 \text{ k}\Omega \\ I_{DSS} &= 8 \text{ mA}, & V_P &= -4 \text{ V}, & r_d &= \infty \Omega, & V_{DD} &= 20 \text{ V} \end{aligned}$$

- b) Grafique la respuesta en frecuencia usando una gráfica de Bode.

Solución

a) Análisis DC. Graficando la curva de transferencia de $I_D = I_{DSS}(1 - V_{GS}/V_P)^2$ y sobreponiendo la curva definida por $V_{GS} = -I_D R_S$ resultará una intersección en $V_{GSQ} = -2$ V e $I_{DQ} = 2$ mA. Además,

$$g_{m0} = \frac{2I_{DSS}}{|V_P|} = \frac{2(8 \text{ mA})}{4 \text{ V}} = 4 \text{ mS}$$

$$g_m = g_{m0} \left(1 - \frac{V_{GSQ}}{V_P} \right) = 4 \text{ mS} \left(1 - \frac{-2 \text{ V}}{-4 \text{ V}} \right) = 2 \text{ mS}$$

C_G :

Ecuación (11.34): $f_{L_C} = \frac{1}{2\pi(10 \text{ k}\Omega + 1 \text{ M}\Omega)(0.01 \text{ }\mu\text{F})} \cong 15.8 \text{ Hz}$

C_C :

Ecuación (11.36): $f_{L_C} = \frac{1}{2\pi(4.7 \text{ k}\Omega + 2.2 \text{ k}\Omega)(0.5 \text{ }\mu\text{F})} \cong 46.13 \text{ Hz}$

C_S :

$$R_{cc} = R_S \parallel \frac{1}{g_m} = 1 \text{ k}\Omega \parallel \frac{1}{2 \text{ mS}} = 1 \text{ k}\Omega \parallel 0.5 \text{ k}\Omega \cong 333.33 \text{ }\Omega$$

Ecuación (11.38): $f_{L_S} = \frac{1}{2\pi(333.33 \text{ }\Omega)(2 \text{ }\mu\text{F})} = 238.73 \text{ Hz}$

Debido a que f_{L_S} es la mayor de las tres frecuencias de corte, es entonces la que define la frecuencia de corte inferior para el circuito de la figura 11.33.

b) La ganancia en la banda media del sistema está determinada por

$$\begin{aligned} A_{v_{med}} &= \frac{V_o}{V_i} = -g_m(R_D \parallel R_L) = -(2 \text{ mS})(4.7 \text{ k}\Omega \parallel 2.2 \text{ k}\Omega) \\ &= -(2 \text{ mS})(1.499 \text{ k}\Omega) \\ &\cong -3 \end{aligned}$$

Si se usa la ganancia de la banda media para normalizar la respuesta del circuito de la figura 11.33 resultará la gráfica de frecuencia de la figura 11.37, verificada a su vez por la respuesta de PROBE de la figura 11.38.

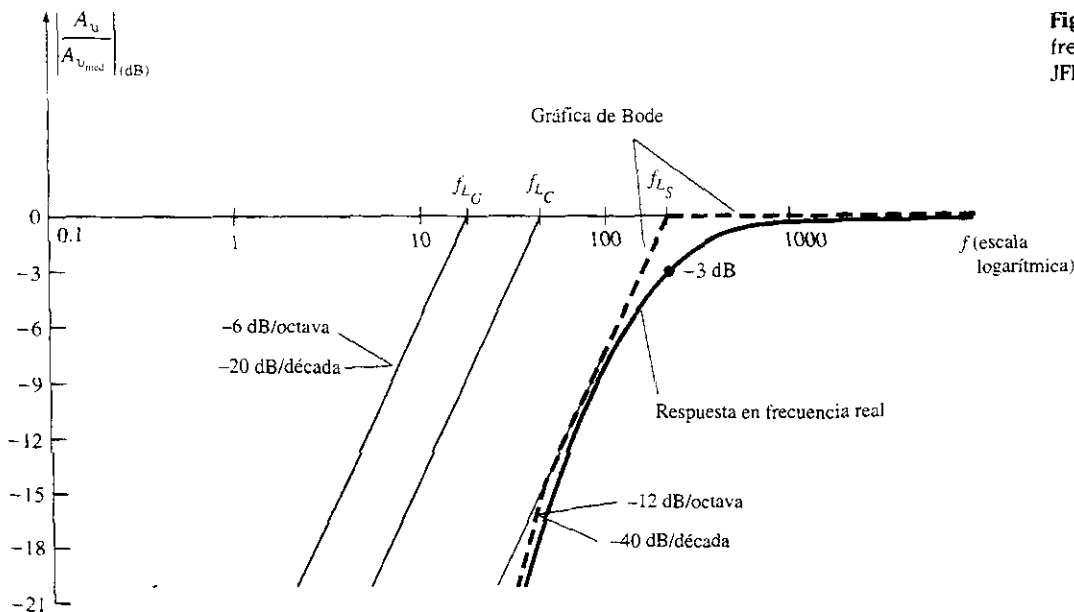


Figura 11.37 Respuesta a baja frecuencia para la configuración JFET del ejemplo 11.10.

```

Low frequency response of JFET amplifier - Fig. 11.33
VDD 4 0 20V
RG 3 0 1MEG
RSIG 2 1 10K
RS 6 0 1K
RD 4 5 4.7K
RL 7 0 2.2K
CG 2 3 0.01UF
CC 5 7 0.5UF
CS 6 0 2UF
J1 5 3 6 JN
.MODEL JN NJF(VTO=-4V BETA=500E-6)
CW1 3 0 5PF
CW2 7 0 6PF
VSIG 1 0 AC 1MV
.AC DEC 10 10HZ 10KHZ
.OP
.PROBE
.OPTIONS NOPAGE
.END

```

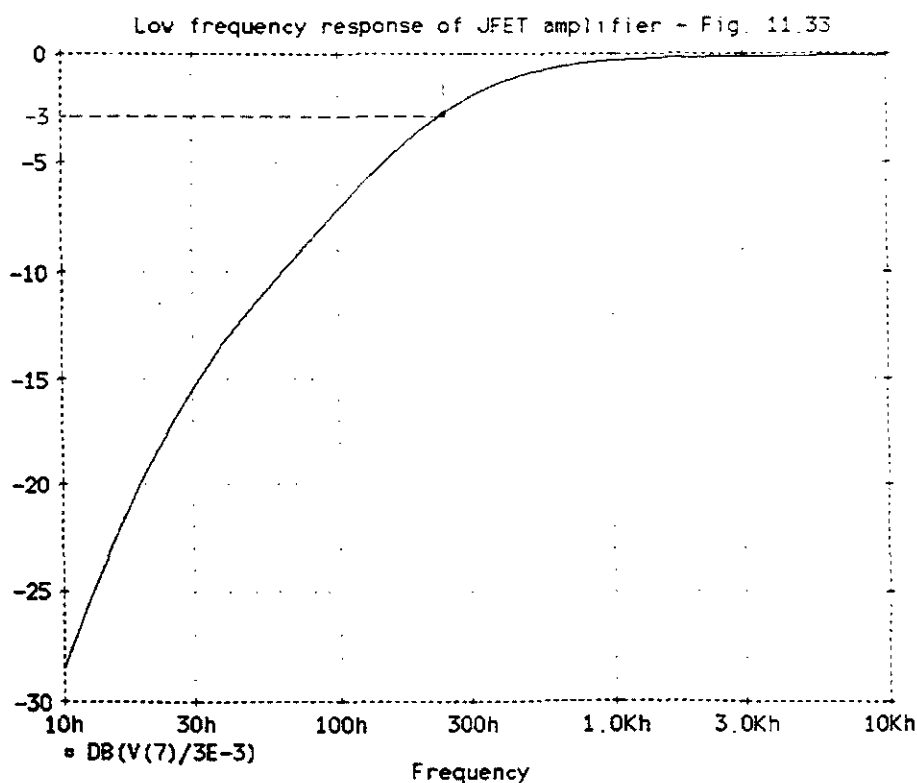


Figura 11.38 Análisis PSpice del amplificador JFET del ejemplo 11.10.

11.8 CAPACITANCIA DE EFECTO MILLER

En la región de alta frecuencia los elementos capacitivos de importancia son las capacitancias interelectrónicas (entre terminales) internas del dispositivo activo, y la capacitancia del alambrado entre las terminales del circuito. Los grandes capacitores del circuito que controlan la respuesta a baja frecuencia fueron reemplazados por sus equivalentes de corto circuito debido a sus bajos niveles de reactancia.

Para amplificadores *inversores* (un desplazamiento de fase de 180° entre la entrada y la salida, da como resultado un valor negativo para A_v), la capacitancia de entrada y salida aumenta debido a un nivel de capacitancia sensible a la capacitancia interelectrónicas que hay entre las terminales de entrada y salida del dispositivo y la ganancia del amplificador. En la figura 11.39 dicha capacitancia de “retroalimentación” está definida por C_f .

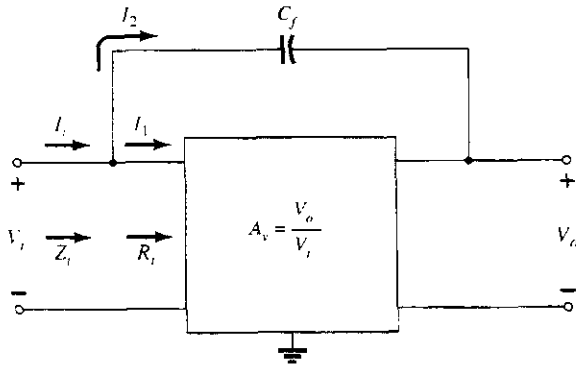


Figura 11.39 Red empleada en la derivación de una ecuación para la capacitancia Miller de entrada.

Aplicando las leyes de corriente de Kirchhoff se tiene que

$$I_i = I_1 + I_2$$

Usando la ley de Ohm se obtiene

$$I_i = \frac{V_i}{Z_i}, \quad I_1 = \frac{V_i}{R_i}$$

e

$$I_2 = \frac{V_i - V_o}{X_{C_f}} = \frac{V_i - A_v V_i}{X_{C_f}} = \frac{(1 - A_v)V_i}{X_{C_f}}$$

Sustituyendo, obtenemos

$$\frac{V_i}{Z_i} = \frac{V_i}{R_i} + \frac{(1 - A_v)V_i}{X_{C_f}}$$

y

$$\frac{1}{Z_i} = \frac{1}{R_i} + \frac{1}{X_{C_f}/(1 - A_v)}$$

pero

$$\frac{X_{C_f}}{1 - A_v} = \frac{1}{\underbrace{\omega(1 - A_v)C_f}_{C_M}} = X_{C_M}$$

y

$$\frac{1}{Z_i} = \frac{1}{R_i} + \frac{1}{X_{C_M}}$$

estableciendo el circuito equivalente de la figura 11.40. El resultado es una impedancia de entrada equivalente a la del amplificador de la figura 11.39, que incluye la misma R_i que hemos manejado en los capítulos anteriores; pero se le añadió un capacitor de retroalimentación

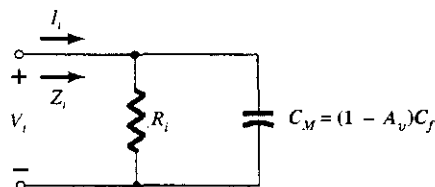


Figura 11.40 Demostración del impacto de la capacitancia por efecto Miller.

magnificado por la ganancia del amplificador. Cualquier capacitancia interelectrónica en las terminales de entrada del amplificador se añadirá en paralelo con los elementos de la figura 11.40.

Por tanto, el efecto Miller de la capacitancia de entrada se define por

$$C_{M_i} = (1 - A_v)C_f \quad (11.41)$$

Esto nos muestra que:

Para cualquier amplificador inversor, la capacitancia de entrada será incrementada por una capacitancia de efecto Miller sensible a la ganancia del amplificador, y la capacitancia interelectrónica estará conectada entre las terminales de entrada y salida del dispositivo activo.

El dilema de una ecuación como la ecuación (11.41) es que a altas frecuencias la ganancia A_v será una función del nivel de C_{M_i} . Sin embargo, ya que la ganancia máxima es el valor de banda media, usar el valor de banda media resultará el nivel más alto de C_{M_i} y un escenario de peor caso. Por tanto, se emplea por lo general el valor de la banda media para A_v en la ecuación (11.41).

La razón más importante sobre la restricción de que el amplificador sea de la variedad inversora, es ahora más aparente cuando se examina la ecuación (11.41). Un valor positivo de A_v , resultaría una capacitancia negativa (para $A_v > 1$).

El efecto Miller también incrementará el nivel de la capacitancia de salida, el cual también debe considerarse cuando se determine la frecuencia de corte a alta frecuencia. En la figura 11.41 están en su lugar los parámetros importantes para precisar el efecto Miller. Si se aplican las leyes de corriente de Kirchhoff resultará

$$I_o = I_1 + I_2$$

con
$$I_1 = \frac{V_o}{R_o} \quad \text{e} \quad I_2 = \frac{V_o - V_i}{X_{C_f}}$$

La resistencia R_o por lo general es lo suficiente grande para permitir que se ignore el primer término de la ecuación, comparado con el segundo, y suponiendo que

$$I_o \cong \frac{V_o - V_i}{X_{C_f}}$$

Sustituyendo $V_i = V_o/A_v$ en $A_v = V_o/V_i$ dará como resultado

$$I_o = \frac{V_o - V_o/A_v}{X_{C_f}} = \frac{V_o(1 - 1/A_v)}{X_{C_f}}$$

y
$$\frac{I_o}{V_o} = \frac{1 - 1/A_v}{X_{C_f}}$$

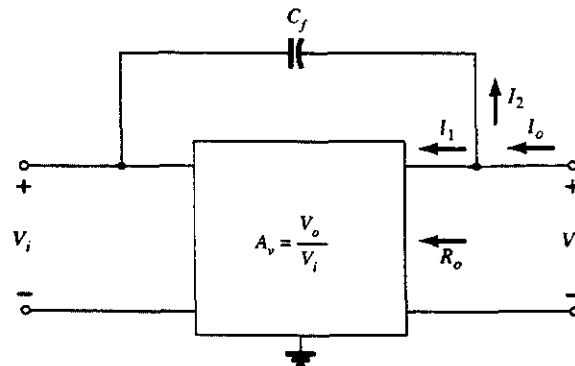


Figura 11.41 Red empleada en la derivación de una ecuación para la capacitancia Miller de salida.

$$\frac{V_o}{I_o} = \frac{X_{C_f}}{1 - 1/A_v} = \frac{1}{\omega C_f (1 - 1/A_v)} = \frac{1}{\omega C_{M_o}}$$

y da como resultado la siguiente ecuación para la capacitancia de salida Miller:

$$C_{M_o} = \left(1 - \frac{1}{A_v}\right) C_f \quad (11.42a)$$

Para la situación común donde $A_v \gg 1$, la ecuación (11.42a) se reduce a

$$C_{M_o} \equiv C_f \quad |A_v| \gg 1 \quad (11.42b)$$

En las siguientes dos secciones aparecerán ejemplos del uso de la ecuación (11.42) cuando investiguemos la respuesta en alta frecuencia de los amplificadores BJT y FET.

11.9 RESPUESTA EN ALTA FRECUENCIA, AMPLIFICADOR BJT

En el extremo de alta frecuencia, se encuentran dos factores que definirán el punto de -3 dB: la capacitancia de circuito (parásita e introducida) y la dependencia en frecuencia de $h_{fe}(\beta)$.

Parámetros de la red

En la región de alta frecuencia el circuito RC que nos preocupa tiene la configuración que aparece en la figura 11.42. Si las frecuencias son cada vez más altas, la reactancia X_C disminuirá en magnitud, y dará como resultado un efecto de corto a la salida; por lo mismo, disminuirá la ganancia. La derivación que lleva a la frecuencia de esquina para esta configuración RC sigue líneas similares a las que se localizan en la región de baja frecuencia. La diferencia más significativa está en la forma general de A_v que aparece a continuación:

$$A_v = \frac{1}{1 + j(f/f_2)} \quad (11.43)$$

que resultará una gráfica de magnitud como lo muestra la figura 11.43, y que tiene una caída de 6 dB/octava con la frecuencia en aumento. Obsérvese que f_2 está en el denominador de la relación de frecuencia, en lugar que en el numerador como sucede con f_1 en la ecuación (11.21).

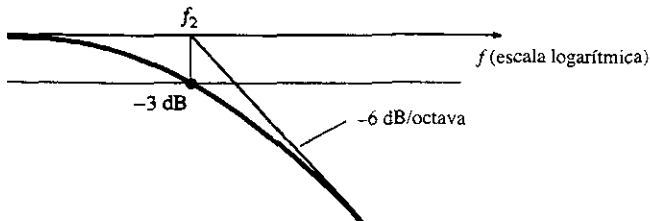


Figura 11.43 Gráfica asintótica, como lo define la ecuación (11.43).

En la figura 11.44 las diversas capacitancias parásitas (C_{be} , C_{bc} y C_{ce}) del transistor se incluyeron con las capacitancias del alambrado (C_{w_i} , C_{w_o}) introducidas durante la construcción. En la figura 11.45 aparece el modelo equivalente de alta frecuencia para el circuito de la figura 11.44. Nótese la ausencia de los capacitores C_s , C_C y C_E , que se supone, están en estado de

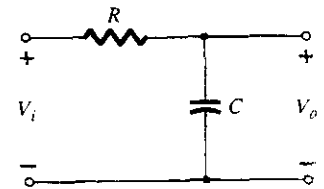


Figura 11.42 Combinación RC que definirá una alta frecuencia de corte.

Figura 11.44 Red de la figura 11.16 con los capacitores que afectan la respuesta en alta frecuencia.

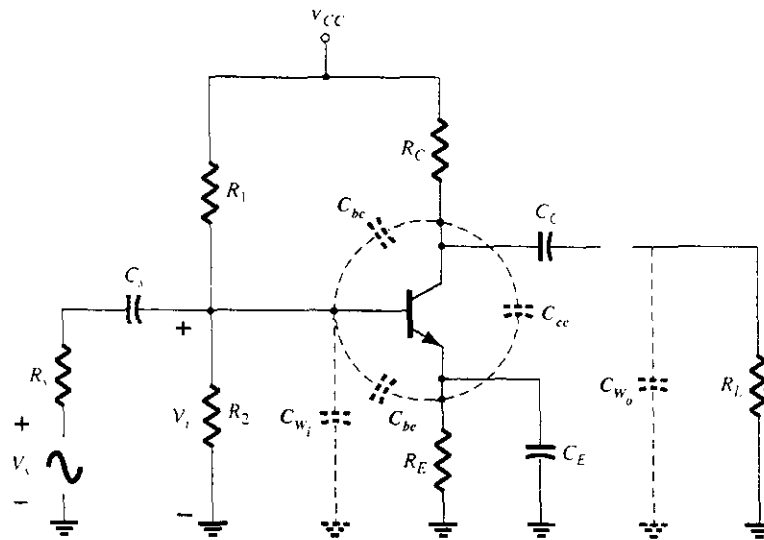
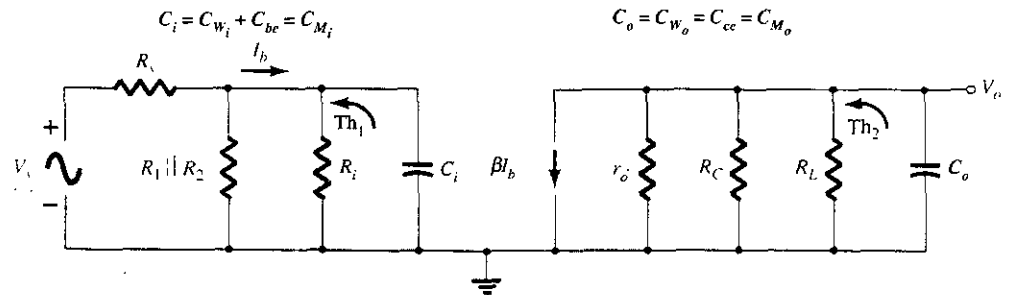


Figura 11.45 Modelo equivalente de ac para alta frecuencia para la red de la figura 11.44.



corto circuito en estas frecuencias. La capacitancia C_i incluye la capacitancia del alambrado de entrada C_{w_i} , la capacitancia de transición C_{be} y la capacitancia Miller C_{M_i} . La capacitancia C_o incluye la capacitancia del alambrado de salida C_{w_o} , la capacitancia parásita C_{ce} y la capacitancia Miller de salida C_{M_o} . En general, la capacitancia C_{be} es la mayor de las capacitancias parásitas, y C_{ce} la más pequeña. La mayoría de las hojas de especificaciones proporcionan sólo los niveles de C_{be} y C_{bc} , pero no incluyen a C_{ce} , a menos que afecte la respuesta de un tipo particular de transistor en un área específica de aplicación.

La determinación del circuito equivalente Thévenin para los circuitos de entrada y salida de la figura 11.45 resultarán las configuraciones de la figura 11.46. Para el circuito de entrada la frecuencia de -3 dB se define por

$$f_{H_i} = \frac{1}{2\pi R_{Th_1} C_i} \quad (11.44)$$

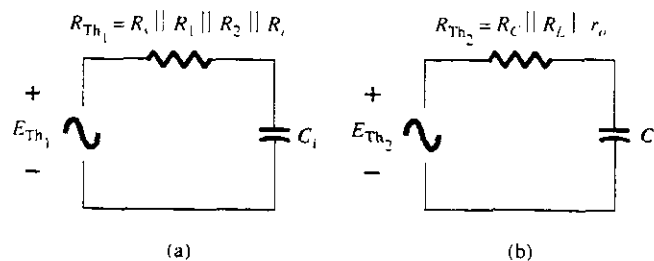


Figura 11.46 Circuitos Thévenin para las redes de entrada y salida de la red de la figura 11.45.

con
$$R_{Th_1} = R_s \parallel R_1 \parallel R_2 \parallel R_i \quad (11.45)$$

y
$$C_i = C_{W_i} + C_{be} + C_{M_i} = C_{W_i} + C_{be} + (1 - A_v)C_{bc} \quad (11.46)$$

A muy altas frecuencias, el efecto de C_i reduce la impedancia total de la combinación en paralelo de R_1 , R_2 , R_i y C_i en la figura 11.45. El resultado es un nivel reducido de voltaje a través de C_i , una reducción en I_b y una ganancia para el sistema.

Para la red de salida,

$$f_{H_o} = \frac{1}{2\pi R_{Th_2} C_o} \quad (11.47)$$

con
$$R_{Th_2} = R_C \parallel R_L \parallel r_o \quad (11.48)$$

y
$$C_o = C_{W_o} + C_{ce} + C_{M_o} \quad (11.49)$$

A muy altas frecuencias, la reactancia capacitiva de C_o disminuirá y, por consecuencia, se reducirá la impedancia total de las ramas en paralelo de salida de la figura 11.45. El resultado neto es que V_o también declinará hacia cero conforme la reactancia X_C sea cada vez más pequeña. Cada una de las frecuencias f_{H_i} y f_{H_o} definen una asíntota de -6 dB/octava, como se muestra en la figura 11.43. Si los capacitores parásitos fueran los únicos elementos que determinaran la alta frecuencia de corte, la frecuencia más baja podría ser el factor determinante. Sin embargo, la disminución de h_{fe} (o β) con la frecuencia también debe considerarse para ver si su frecuencia de corte es menor que la de f_{H_i} o f_{H_o} .

Variación de h_{fe} (o β)

La variación de h_{fe} (o β) con la frecuencia se aproximará con algún grado de precisión a la siguiente relación:

$$h_{fe} = \frac{h_{fe_{med}}}{1 + j(f/f_\beta)} \quad (11.50)$$

El uso de h_{fe} en vez de β en alguna parte de este material descriptivo se debe en principio al hecho de que los fabricantes emplean, por lo general, los parámetros híbridos cuando tratan este parámetro en sus hojas de especificación o en otros lugares.

La única cantidad indefinida f_β , se determina por un conjunto de parámetros empleados en el modelo π híbrido o *Giacoletto*; y se aplica con frecuencia para representar mejor al transistor en la región de alta frecuencia, y aparece en la figura 11.47. Los diversos parámetros merecen una explicación. La resistencia $r_{bb'}$ incluye las resistencias de contacto, el volumen y de propagación de la base. La primera se debe a la conexión real de la base, la segunda incluye la resistencia de una terminal externa con la región activa de los transistores y la última es

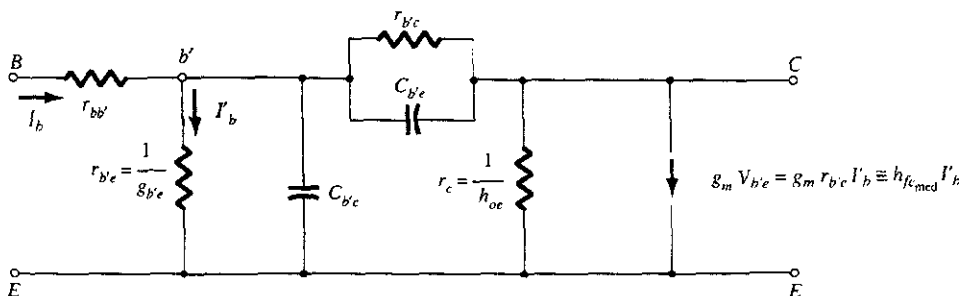


Figura 11.47 Circuito equivalente de ac Giacioletto (o π híbrido) de transistor en alta frecuencia y pequeña señal.

la resistencia real dentro de la región activa de la base. Las resistencias $r_{b'e}$, r_{ce} y $r_{b'c}$ son las que se encuentran entre las terminales indicadas cuando el dispositivo está en la región activa. Lo mismo se aplica para las capacitancias $C_{b'c}$ y $C_{b'e}$, aunque la primera es una capacitancia de transición y la última es de difusión. Una explicación más detallada de la dependencia de la frecuencia sobre cada uno puede encontrarse en varios textos fácilmente disponibles.

En términos de estos parámetros,

$$f_{\beta} \text{ (que aparece a veces como } f_{h_{fe}}) = \frac{g_{b'e}}{2\pi(C_{b'e} + C_{b'c})} \quad (11.51)$$

o debido a que el parámetro híbrido h_{fe} se relaciona con $g_{b'e}$ mediante $g_m = h_{fe \text{ med}} g_{b'e}$,

$$f_{\beta} = \frac{1}{h_{fe \text{ med}}} \frac{g_m}{2\pi(C_{b'e} + C_{b'c})} \quad (11.52)$$

Si vamos un paso más adelante, encontraremos que

$$g_m = h_{fe \text{ med}} g_{b'e} = h_{fe \text{ med}} \frac{1}{r_{b'e}} \cong \frac{h_{fe \text{ med}}}{h_{ie}} = \frac{\beta_{\text{med}}}{\beta_{\text{med}} r_e} = \frac{1}{r_e}$$

y si usamos las aproximaciones

$$C_{b'e} \cong C_{be} \quad \text{y} \quad C_{b'c} \cong C_{bc}$$

dará como resultado la siguiente forma para la ecuación (11.50):

$$f_{\beta} \cong \frac{1}{2\pi\beta_{\text{med}} r_e (C_{be} + C_{bc})} \quad (11.53)$$

La ecuación (11.53) revela que debido a que r_e está en función del diseño de la red:

f_{β} está en función de las condiciones de polarización.

El formato básico de la ecuación (11.50) es exactamente el mismo al de la ecuación (11.43); y si extraemos el factor multiplicante $h_{fe \text{ med}}$, revelamos que h_{fe} caerá de su valor de la banda media con una pendiente de 6 dB/octava, como se muestra en la figura 11.48. La misma figura tiene una gráfica de h_{fb} (o α) en función de la frecuencia. Obsérvese el pequeño cambio en h_{fb} para el rango de frecuencia seleccionado, lo que descubre cómo la configuración de base común presenta mejores características de alta frecuencia que la configuración de emisor común. Nótese también la ausencia de la capacitancia por efecto Miller, debido a la característica no inversora de la configuración de base común. Por esta razón, los parámetros de alta frecuencia de base común en lugar de los parámetros de emisor común se especifican con más frecuencia para un transistor, en especial para aquellos diseñados específicamente para operar en las regiones de alta frecuencia.

La siguiente ecuación permite una conversión directa para determinar f_{β} si están especificadas f_{α} y α .

$$f_{\beta} = f_{\alpha} (1 - \alpha) \quad (11.54)$$

Una cantidad llamada *producto de ganancia-ancho de banda* se define para el transistor por la condición

$$\left| \frac{h_{fe \text{ med}}}{1 + j(f/f_{\beta})} \right| = 1$$

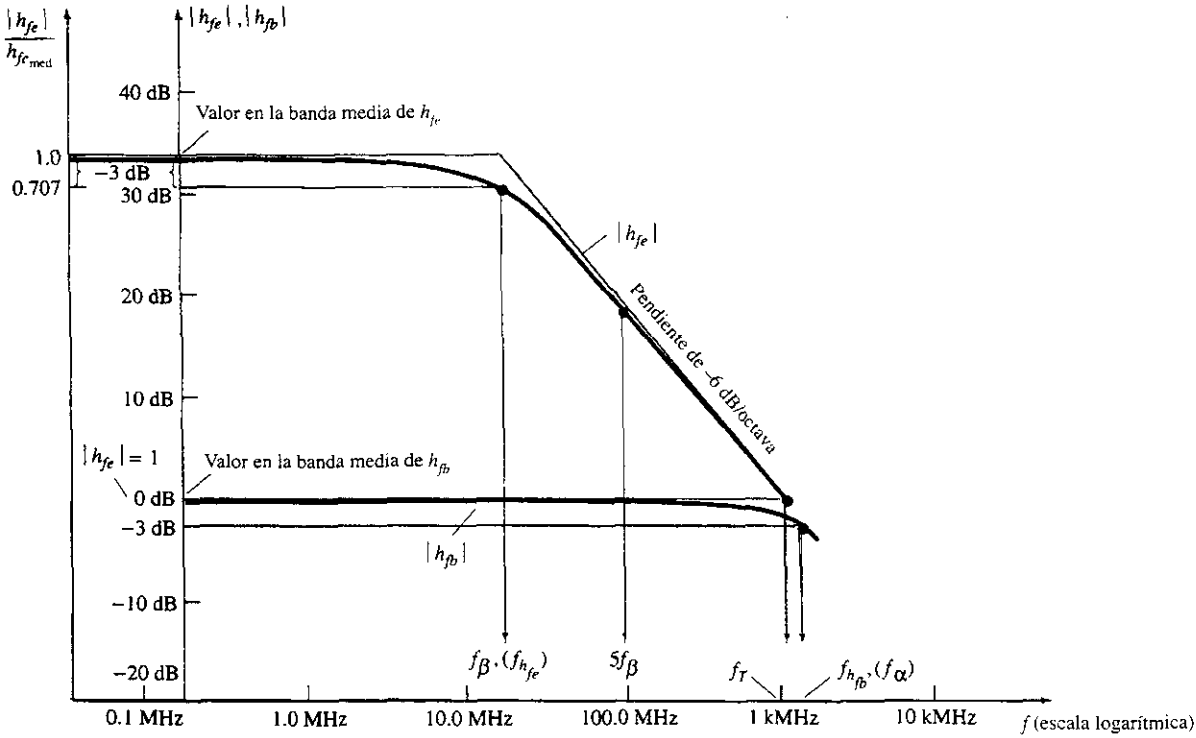


Figura 11.48 h_{fe} y h_{fb} en función de la frecuencia en la región de alta frecuencia.

por lo que $|h_{fe}|_{dB} = 20 \log_{10} \left| \frac{h_{fe_{med}}}{1 + j(f/f_{\beta})} \right| = 20 \log_{10} 1 = 0 \text{ dB}$

La frecuencia a la cual $|h_{fe}|_{dB} = 0 \text{ dB}$ se indica por f_T en la figura 11.48. La magnitud de h_{fe} en el punto definido por la condición ($f_T \gg f_{\beta}$) está dada por

$$\frac{h_{fe_{med}}}{\sqrt{1 + (f_T/f_{\beta})^2}} \cong \frac{h_{fe_{med}}}{f_T/f_{\beta}} = 1$$

por lo que $f_T \cong h_{fe_{med}} \cdot f_{\beta}$ ($\cong BW$) (producto ganancia-ancho de banda) (11.55)

o $f_T \cong \beta_{med} f_{\beta}$ (11.56)

con $f_{\beta} = \frac{f_T}{\beta_{med}}$ (11.57)

Sustituyendo con la ecuación (11.53) a f_{β} en la ecuación (11.55) se obtiene:

$$f_T \cong \beta_{med} \frac{1}{2\pi\beta_{med}r_e(C_{be} + C_{bc})}$$

y $f_T \cong \frac{1}{2\pi r_e(C_{be} + C_{bc})}$ (11.58)

EJEMPLO 11.11

Para la red de la figura 11.44, con los mismos parámetros que los del ejemplo 11.9, es decir,

$$\begin{aligned} R_s &= 1 \text{ k}\Omega, & R_1 &= 40 \text{ k}\Omega, & R_2 &= 10 \text{ k}\Omega, & R_E &= 2 \text{ k}\Omega, & R_C &= 4 \text{ k}\Omega, & R_L &= 2.2 \text{ k}\Omega \\ C_s &= 10 \text{ }\mu\text{F}, & C_C &= 1 \text{ }\mu\text{F}, & C_E &= 20 \text{ }\mu\text{F} \\ \beta &= 100, & r_o &= \infty \text{ }\Omega, & V_{CC} &= 20 \text{ V} \end{aligned}$$

con la adición de

$$C_{be} = 36 \text{ pF}, \quad C_{bc} = 4 \text{ pF}, \quad C_{ce} = 1 \text{ pF}, \quad C_{W_i} = 6 \text{ pF}, \quad C_{W_o} = 8 \text{ pF}$$

- Determine f_{H_i} y f_{H_o} .
- Encuentre f_β y f_T .
- Grafique la respuesta en frecuencia para las regiones de baja y alta frecuencia con los resultados del ejemplo 11.9 y los resultados de los incisos a y b.
- Obtenga una respuesta PROBE para el espectro de frecuencia completo y compárelo con los resultados del inciso c.

Solución

- a) Del ejemplo 11.9:

$$R_i = 1.32 \text{ k}\Omega, \quad A_{v_{med}} (\text{amplificador}) = -90$$

$$\begin{aligned} \text{y} \quad R_{Th_1} &= R_s || R_1 || R_2 || R_i = 1 \text{ k}\Omega || 40 \text{ k}\Omega || 10 \text{ k}\Omega || 1.32 \text{ k}\Omega \\ &\cong 0.531 \text{ k}\Omega \end{aligned}$$

$$\begin{aligned} \text{con} \quad C_i &= C_{W_i} + C_{be} + (1 - A_v)C_{bc} \\ &= 6 \text{ pF} + 36 \text{ pF} + [1 - (-90)]4 \text{ pF} \\ &= 406 \text{ pF} \end{aligned}$$

$$\begin{aligned} f_{H_i} &= \frac{1}{2\pi R_{Th_1} C_i} = \frac{1}{2\pi (0.531 \text{ k}\Omega)(406 \text{ pF})} \\ &= \mathbf{738.24 \text{ kHz}} \end{aligned}$$

$$R_{Th_2} = R_C || R_L = 4 \text{ k}\Omega || 2.2 \text{ k}\Omega = 1.419 \text{ k}\Omega$$

$$\begin{aligned} C_o &= C_{W_o} + C_{ce} + C_{M_o} = 8 \text{ pF} + 1 \text{ pF} + \left(1 - \frac{1}{-90}\right)4 \text{ pF} \\ &= 13.04 \text{ pF} \end{aligned}$$

$$\begin{aligned} f_{H_o} &= \frac{1}{2\pi R_{Th_2} C_o} = \frac{1}{2\pi (1.419 \text{ k}\Omega)(13.04 \text{ pF})} \\ &= \mathbf{8.6 \text{ MHz}} \end{aligned}$$

- b) Aplicando la ecuación (11.53) se obtiene

$$\begin{aligned} f_\beta &= \frac{1}{2\pi \beta_{med} r_e (C_{be} + C_{bc})} \\ &= \frac{1}{2\pi (100)(15.76 \text{ }\Omega)(36 \text{ pF} + 4 \text{ pF})} = \frac{1}{2\pi (100)(15.76 \text{ }\Omega)(40 \text{ pF})} \\ &= \mathbf{2.52 \text{ MHz}} \end{aligned}$$

$$\begin{aligned} f_T &= \beta_{med} f_\beta = (100)(2.52 \text{ MHz}) \\ &= \mathbf{252 \text{ MHz}} \end{aligned}$$

- c) Véase la figura 11.49. Tanto f_{β} como f_{H_o} bajarán la alta frecuencia de corte por abajo del nivel determinado por f_{H_i} . f_{β} está cercano a f_{H_i} y, por tanto, tendrá un mayor impacto que f_{H_o} . En cualquier caso, el ancho de banda será menor que el definido sólo por f_{H_i} . Para los parámetros de este circuito, la alta frecuencia de corte estará relativamente cercana a los 600 kHz.

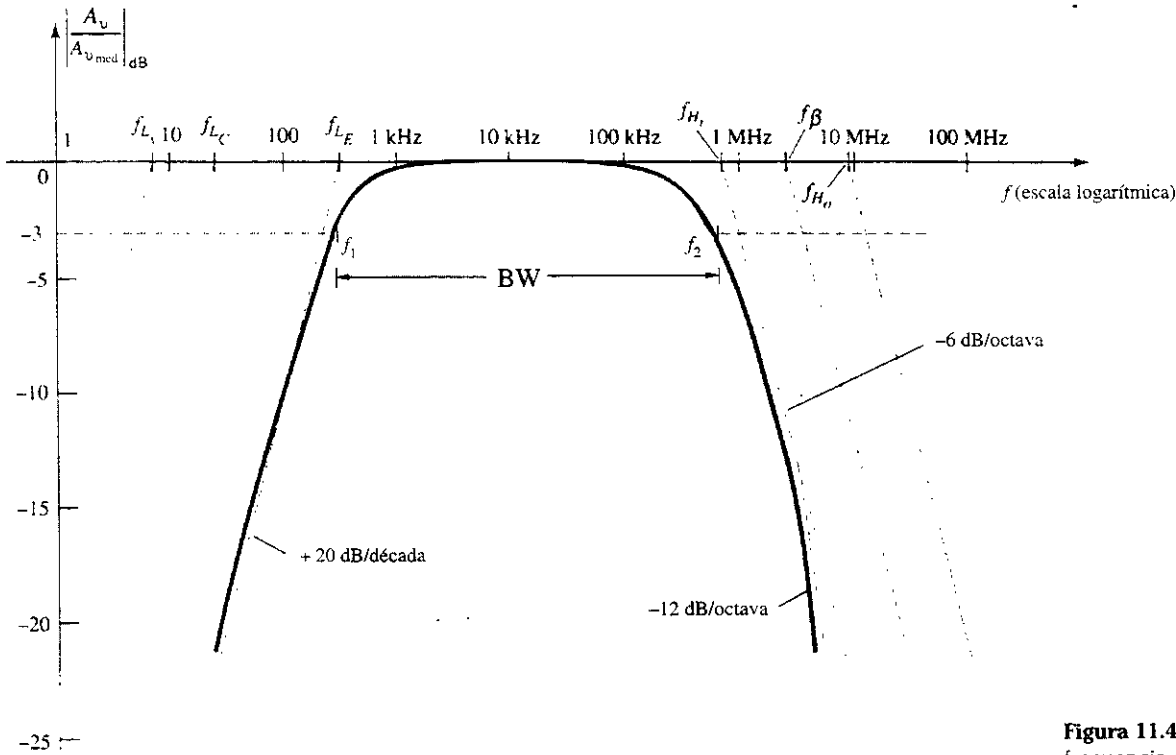


Figura 11.49 Respuesta en frecuencia completa para la red de la figura 11.44.

Por tanto, la más baja de las frecuencias superiores de corte define el ancho de banda máximo posible de un sistema.

- d) En la figura 11.50 aparece el archivo de entrada para obtener la respuesta PROBE usando PSpice. Los niveles de las capacitancias parásitas no se incluyen en el enunciado del modelo,

```
Full frequency response of BJT circuit - Fig. 11.44 (Q cap. & wiring cap.)
VCC 4 0 20V
RB1 4 3 40K
RB2 3 0 10K
RC 4 5 4K
RE 6 0 2K
RS 2 1 1K
RL 7 0 2.2K
CS 2 3 10UF
CE 6 0 20UF
CC 5 7 1UF
CBE 3 6 36PF
CBC 5 3 4PF
CCE 5 6 1PF
Q1 5 3 6 QN
.MODEL QN NPN(BF=100 IS=5E-15)
CW1 3 0 6PF
CW2 7 0 8PF
VS 1 0 AC 1mV
.AC DEC 10 10HZ 100MEGHZ
.PROBE
.OPTIONS NOPAGE
.END
```

Figura 11.50 Análisis PSpice de la respuesta en frecuencia completa de la red de la figura 11.44.

debido a que éste pide niveles de capacitancia con polarización cero. Los niveles que aparecen en el ejemplo son sólo en las condiciones de polarización establecidas para la red, y por tanto se consideran como parámetros de la red. El comando DEC en el enunciado de análisis .AC especifica que la frecuencia se lleve de manera logarítmica de 10 Hz a 100 MHz en intervalos de décadas, para proporcionar una cantidad suficiente de puntos de datos para una buena graficación logarítmica.

La respuesta de salida de la figura 11.51 no incluye los efectos de f_β , pero apoya el análisis realizado en los incisos a a c para la región de alta frecuencia. La baja frecuencia de corte está cerca de los 327 Hz definida por f_{L_F} , y la frecuencia de corte alta está cercana a los 600 kHz. En otras palabras, aunque f_{H_o} está más de una década arriba de f_{H_i} , tendrá un impacto en la frecuencia de corte de -3 dB.

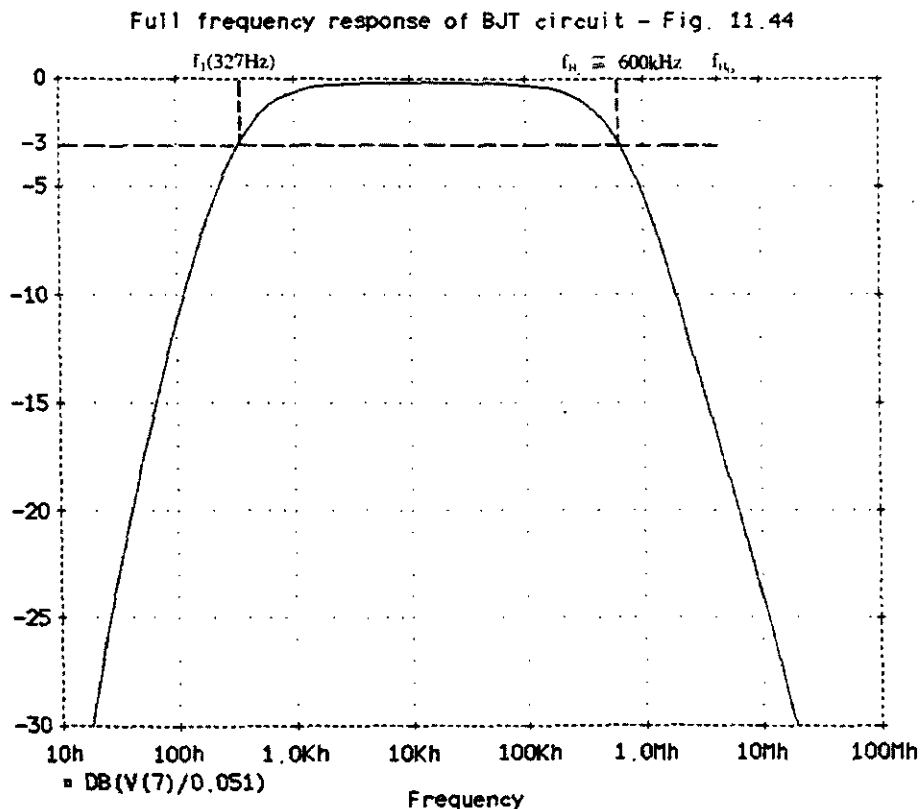


Figura 11.51 Respuesta en frecuencia completa de la red de la figura 11.44.

11.10 RESPUESTA EN ALTA FRECUENCIA, AMPLIFICADOR FET

El análisis de la respuesta en alta frecuencia del amplificador FET se hará en forma muy similar a la que se hizo para el amplificador BJT. Como se señala en la figura 11.52, existen capacitancias interelectrónicas y de alambrado que determinarán las características de alta frecuencia del amplificador. Los capacitores C_{gs} y C_{gd} varían de 1 a 10 pF, mientras que la capacitancia C_{ds} por lo general es bastante más pequeña con valores entre 0.1 y 1 pF.

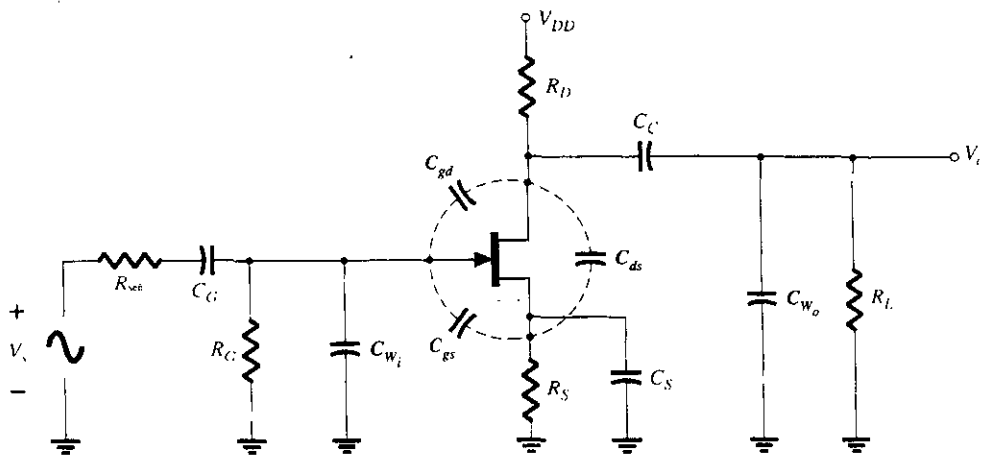


Figura 11.52 Elementos capacitivos que afectan la respuesta en alta frecuencia de un amplificador JFET.

Debido a que la red de la figura 11.52 es un amplificador inversor, aparecerá una capacitancia por el efecto Miller en el circuito equivalente de ac para alta frecuencia que aparece en la figura 11.53. A altas frecuencias, C_i se aproximará a un equivalente de corto circuito, y V_{gs} caerá en valor y reducirá la ganancia general. En las frecuencias donde C_o se acerque a uno igual que el corto circuito, el voltaje de salida paralelo V_o caerá en magnitud.

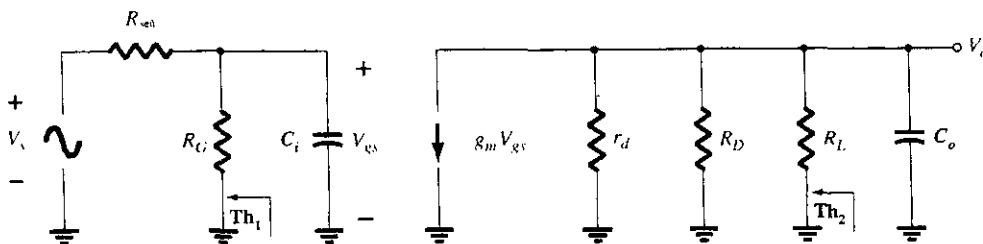


Figura 11.53 Circuito equivalente de ac en alta frecuencia para la figura 11.52.

Las frecuencias de corte definidas por los circuitos de entrada y salida pueden obtenerse encontrando primero los circuitos Thévenin equivalentes para cada sección, como se muestra en la figura 11.54. Para el circuito de entrada,

$$f_{H_i} = \frac{1}{2\pi R_{Th_1} C_i} \quad (11.59)$$

$$y \quad R_{Th_1} = r_{señ} \parallel R_G \quad (11.60)$$

$$\text{con} \quad C_i = C_{W_i} + C_{gs} + C_{M_i} \quad (11.61)$$

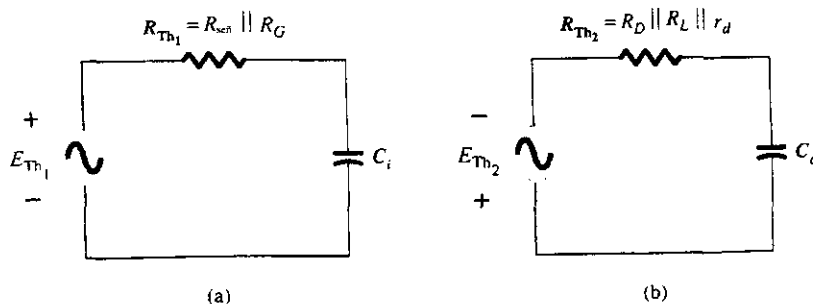


Figura 11.54 Los circuitos Thévenin equivalentes para a) el circuito de entrada y b) el circuito de salida.

y

$$C_{M_i} = (1 - A_v)C_{gd} \quad (11.62)$$

y para el circuito de salida,

$$f_{H_o} = \frac{1}{2\pi R_{Th_2} C_o} \quad (11.63)$$

con

$$R_{Th_2} = R_D \parallel R_L \parallel r_d \quad (11.64)$$

y

$$C_o = C_{W_o} + C_{ds} + C_{M_o} \quad (11.65)$$

y

$$C_{M_o} = \left(1 - \frac{1}{A_v}\right)C_{gd}$$

EJEMPLO 11.12

- a) Determine la alta frecuencia de corte para la red de la figura 11.52 usando los mismos parámetros que los del ejemplo 11.10:

$$\begin{aligned} C_G &= 0.01 \mu\text{F}, & C_C &= 0.5 \mu\text{F}, & C_S &= 2 \mu\text{F} \\ R_{\text{señ}} &= 10 \text{ k}\Omega, & R_G &= 1 \text{ M}\Omega, & R_D &= 4.7 \text{ k}\Omega, & R_S &= 1 \text{ k}\Omega, & R_L &= 2.2 \text{ k}\Omega \\ I_{DSS} &= 8 \text{ mA}, & V_P &= -4 \text{ V}, & r_d &= \infty \Omega, & V_{DD} &= 20 \text{ V} \end{aligned}$$

con la adición de

$$C_{gd} = 2 \text{ pF}, \quad C_{gs} = 4 \text{ pF}, \quad C_{ds} = 0.5 \text{ pF}, \quad C_{W_i} = 5 \text{ pF}, \quad C_{W_o} = 6 \text{ pF}$$

- b) Revise una respuesta PROBE para el rango completo de frecuencia y obsérvese si soporta las conclusiones del ejemplo 11.10 y los cálculos anteriores.

Solución

- a) $R_{Th} = R_{\text{señ}} \parallel R_G = 10 \text{ k}\Omega \parallel 1 \text{ M}\Omega = 9.9 \text{ k}\Omega$
Del ejemplo 11.10, $A_v = -3$.

$$\begin{aligned} C_i &= C_{W_i} + C_{gs} + (1 - A_v)C_{gd} \\ &= 5 \text{ pF} + 4 \text{ pF} + (1 + 3)2 \text{ pF} \\ &= 9 \text{ pF} + 8 \text{ pF} \\ &= 17 \text{ pF} \end{aligned}$$

$$\begin{aligned} f_{H_i} &= \frac{1}{2\pi R_{Th} C_i} \\ &= \frac{1}{2\pi(9.9 \text{ k}\Omega)(17 \text{ pF})} = \mathbf{945.67 \text{ kHz}} \end{aligned}$$

$$\begin{aligned} R_{Th_2} &= R_D \parallel R_L \\ &= 4.7 \text{ k}\Omega \parallel 2.2 \text{ k}\Omega \\ &\approx 1.5 \text{ k}\Omega \end{aligned}$$

$$C_o = C_{W_o} + C_{ds} + C_{M_o} = 6 \text{ pF} + 0.5 \text{ pF} + \left(1 - \frac{1}{-3}\right)2 \text{ pF} = 9.17 \text{ pF}$$

$$f_{H_o} = \frac{1}{2\pi(1.5 \text{ k}\Omega)(9.17 \text{ pF})} = 11.57 \text{ MHz}$$

Los resultados anteriores indican que la capacitancia de entrada con su capacitancia de efecto Miller determinará la alta frecuencia de corte. Este caso es muy típico debido al pequeño valor de C_{ds} y los niveles de resistencia localizados en el circuito de salida.

- b) El análisis PROBE de las figuras 11.55 y 11.56 soporta con facilidad los resultados del ejemplo 11.10 y los cálculos anteriores.

```
Full frequency response of JFET amplifier - Fig. 11.52
VDD 4 0 20V
RG 3 0 1MEG
RSIG 2 1 10K
RS 6 0 1K
RD 4 5 4.7K
RL 7 0 2.2K
CG 2 3 0.01UF
CC 5 7 0.5UF
CS 6 0 2UF
CGD 3 5 2PF
CGS 3 6 4PF
CDS 5 6 0.5PF
J1 5 3 6 JN
.MODEL JN NJF(VTO=-4V BETA=500E-6)
CW1 3 0 5PF
CW2 7 0 6PF
VSIG 1 0 AC 1MV
.AC DEC 10 10HZ 10MEGHZ
.OP
.PROBE
.OPTIONS NOPAGE
.END
```

Figura 11.55 Análisis PSpice completo en frecuencia, del amplificador JFET de la figura 11.52.

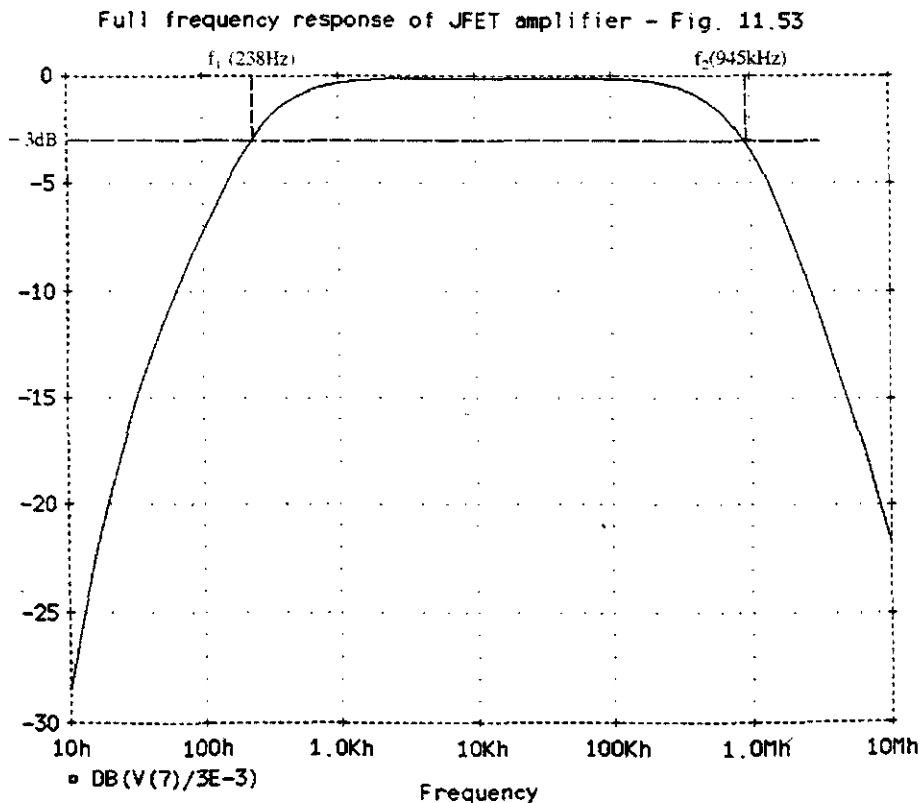


Figura 11.56 Respuesta en frecuencia de la red de la figura 11.52.

Aunque el análisis de las secciones anteriores se limita sólo a dos configuraciones, la exposición del procedimiento general para la determinación de las frecuencias de corte, debe soportar el análisis de cualquier otra configuración a transistor. No olvide que la capacitancia Miller se limita a los amplificadores inversores y que f_a es significativamente mayor que f_β si se encuentra la configuración de base común. Hay mucha más literatura sobre el análisis de amplificadores de una sola etapa que va más allá de la cobertura de este capítulo. Sin embargo, el contenido de este capítulo debe proporcionar una base firme para cualquier análisis futuro de los efectos de la frecuencia.

11.11 EFECTOS DE FRECUENCIA EN MULTIETAPAS

Para una segunda etapa de transistor conectada directamente a la salida de una primera etapa, habrá un cambio significativo en la respuesta general de frecuencia. En la región de alta frecuencia, la capacitancia de salida C_o debe ahora incluir la capacitancia de alambrado (C_{W_1}), la capacitancia parásita (C_{be}) y la capacitancia Miller (C_M) de la siguiente etapa. Además, habrá niveles de baja frecuencia de corte adicionales, surgidos de la segunda etapa que reducirán todavía más la ganancia general del sistema en esta región. Para cada etapa adicional, la alta frecuencia de corte estará determinada principalmente por la etapa que tenga la menor frecuencia de corte. La baja frecuencia de corte está determinada principalmente por la etapa que tiene la mayor frecuencia de corte a baja frecuencia. Obviamente, una etapa con un diseño pobre puede echar a perder un sistema en cascada bien diseñado.

El efecto del aumento del número de etapas idénticas puede mostrarse con facilidad considerando las situaciones indicadas en la figura 11.57. En cada caso, las frecuencias superiores e inferiores de corte de cada una de las etapas en cascada son idénticas. Para una sola etapa, las frecuencias de corte son f_1 y f_2 , como se indica. Para dos etapas idénticas en cascada la tasa de caída en las regiones de alta frecuencia e inferior se incrementó a -12 dB/octava o -40 dB/década. Por tanto, en f_1 y f_2 la caída en decibelios es ahora de -6 dB, en vez del nivel de ganancia de la banda de frecuencia definida de -3 dB. El punto de -3 dB se ha desplazado a f'_1 y f'_2 , como se indica con una caída resultante en el ancho de banda. Una caída de -18 dB/octava o -60 dB/década resultará para un sistema de tres etapas idénticas con la reducción indicada del ancho de banda (f''_1 y f''_2).

Suponiendo que las etapas son idénticas, puede determinarse una ecuación para cada banda de frecuencia en función del número de etapas (n) de la siguiente manera: para la región de baja frecuencia

$$A_{v_{\text{baj}}(\text{general})} = A_{v_{1\text{baj}}} A_{v_{2\text{baj}}} A_{v_{3\text{baj}}} \cdots A_{v_{n\text{baj}}}$$

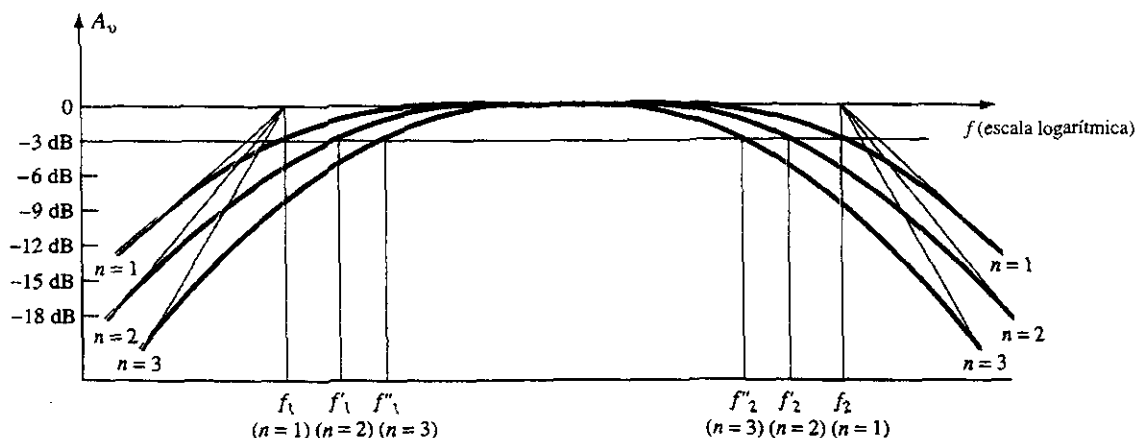


Figura 11.57 Efecto de incremento en el número de etapas sobre las frecuencias de corte y el ancho de banda.

pero debido a que cada etapa es idéntica, $A_{v_{1\text{baj}}} = A_{v_{2\text{baj}}} = \text{etc.}$, y

$$A_{v_{\text{baj (general)}}} = (A_{v_{\text{baj}}})^n$$

o

$$\frac{A_{v_{\text{baj}}}}{A_{v_{\text{med}}}} (\text{general}) = \left(\frac{A_{v_{1\text{baj}}}}{A_{v_{\text{med}}}} \right)^n = \frac{1}{(1 - jf/f)^n}$$

Al hacer la magnitud de este resultado igual a $1/\sqrt{2}$ (nivel de -3 dB) da como resultado

o

$$\frac{1}{[\sqrt{1 + (f_1/f')^2}]^n} = \frac{1}{\sqrt{2}}$$

$$\left\{ \left[1 + \left(\frac{f_1}{f'} \right)^2 \right]^{1/2} \right\}^n = \left\{ \left[1 + \left(\frac{f_1}{f'} \right)^2 \right]^n \right\}^{1/2} = (2)^{1/2}$$

por lo que

$$\left[1 + \left(\frac{f_1}{f'} \right)^2 \right]^n = 2$$

y

$$1 + \left(\frac{f_1}{f'} \right)^2 = 2^{1/n}$$

con el resultado de

$$f'_1 = \frac{f_1}{\sqrt{2^{1/n} - 1}} \quad (11.66)$$

En forma parecida puede mostrarse que para la región de alta frecuencia,

$$f'_2 = (\sqrt{2^{1/n} - 1}) f_2 \quad (11.67)$$

Obsérvese la presencia del mismo factor $\sqrt{2^{1/n} - 1}$ en cada ecuación. A continuación se enumera la magnitud de este factor para diversos valores de n .

n	$\sqrt{2^{1/n} - 1}$
1	1
2	0.64
3	0.51
4	0.43
5	0.39

Para $n = 2$, nótese que la alta frecuencia de corte es $f'_2 = 0.64f_2$ o 64% del valor que se obtuvo para una sola etapa, mientras que $f'_1 = (1/0.64)f_1 = 1.56f_1$. Para $n = 3$, $f'_2 = 0.51f_2$ o aproximadamente $\frac{1}{2}$ del valor de una sola etapa con $f'_1 = (1/0.51)f_1 = 1.96f_1$ o más o menos el *doble* del valor de una sola etapa.

Para el amplificador a transistor con acoplamiento RC , si $f_2 = f_\beta$ o, si son lo suficiente cercanos en magnitud para que ambos afecten la alta frecuencia de 3 dB, el número de etapas debe aumentarse por un factor de 2 cuando se determine f'_2 , debido al número incrementado de factores $1/(1 + jf/f_x)$.

Una disminución en el ancho de banda no está siempre asociada con un incremento en el número de etapas, si la ganancia de la banda media puede permanecer fija e independiente de la cantidad de etapas. Por ejemplo, si un amplificador de una sola etapa produce una ganancia de 100 con un ancho de banda de 10,000 Hz, el producto ganancia-ancho de banda que resulta es $10^2 \times 10^4 = 10^6$. Para un sistema de dos etapas puede obtenerse la misma ganancia teniendo dos etapas con una ganancia de 10, ya que $(10 \times 10 = 100)$. El ancho de banda de cada etapa se incrementará entonces por un factor de 10 a 100,000, debido a los requerimientos menores de ganancia y al producto ganancia-ancho de banda fijo de 10^6 . Por supuesto, el diseño debe ser tal que permita aumentar el ancho de banda y establecer un nivel de ganancia.

11.12 PRUEBA DE ONDA CUADRADA

Se puede tener una muy buena idea acerca de la respuesta en frecuencia de un amplificador si se aplica una señal de onda cuadrada al amplificador y si se observa la respuesta en la salida. La forma de la onda de salida revelará si las frecuencias altas o bajas están amplificándose adecuadamente. El uso de la *prueba de onda cuadrada* consume mucho menos tiempo que la aplicación de una serie de señales senoidales a diferentes frecuencias y magnitudes para probar la respuesta en frecuencia de un amplificador.

La razón de la selección de una señal de onda cuadrada para el proceso de prueba, se describe mejor cuando se examina la expansión en *serie de Fourier* de una onda cuadrada compuesta de una serie de componentes senoidales de diferentes magnitudes y frecuencias. La suma de los términos de la serie resultará la forma de onda original. En otras palabras, aunque una forma de onda pueda no ser senoidal, puede reproducirse mediante una serie de términos senoidales de diferentes frecuencias y magnitudes.

La expansión en serie de Fourier de la onda cuadrada de la figura 11.58 es

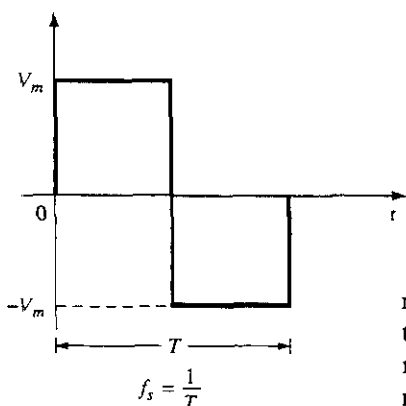


Figura 11.58 Onda cuadrada.

$$v = \frac{4}{\pi} V_m \left(\sin 2\pi f_s t + \frac{1}{3} \sin 2\pi(3f_s)t + \frac{1}{5} \sin 2\pi(5f_s)t + \frac{1}{7} \sin 2\pi(7f_s)t + \frac{1}{9} \sin 2\pi(9f_s)t + \cdots + \frac{1}{n} \sin 2\pi(nf_s)t \right) \quad (11.68)$$

El primer término de la serie se denomina *término fundamental*, y en este caso tiene la misma frecuencia f_s de la onda cuadrada. El siguiente término tiene una frecuencia igual al triple de la fundamental y se le conoce como *tercera armónica*. Su magnitud es un tercio de la magnitud del término fundamental. Las frecuencias de los siguientes términos son múltiplos de la frecuencia fundamental, y la magnitud disminuye con cada armónica superior. La figura 11.59 muestra cómo la suma de términos de una serie de Fourier puede resultar una forma de onda no senoidal. La generación de la onda cuadrada de la figura 11.58 requiere entonces de una cantidad infinita de términos. Sin embargo, la suma de la fundamental y la tercera armónica en la figura 11.59a ofrece con más detalle como resultado una forma de onda que está comenzando a tomar la apariencia de una onda cuadrada. La inclusión de la quinta y séptima armónicas, como se ve en la figura 11.59b, nos acerca más a la forma de onda de la figura 11.58.

Debido a que la novena armónica tiene una magnitud mayor que el 10% del término fundamental $\left[\frac{1}{9}(100\%) = 11.1\%\right]$, desde el término fundamental hasta la novena armónica son las contribuyentes principales a la expansión en serie de Fourier de la función de la onda cuadrada. Por tanto, es razonable suponer que si la aplicación de una onda cuadrada de una frecuencia particular da como resultado una “buena y limpia” onda cuadrada a la salida, entonces

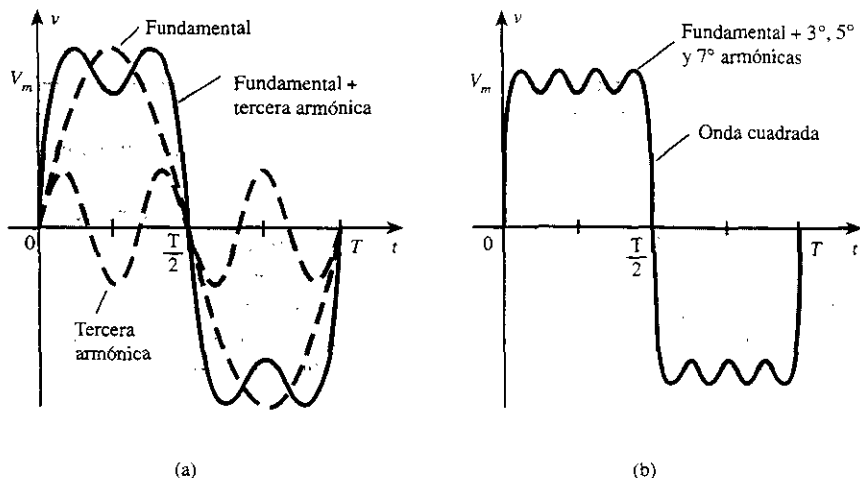


Figura 11.59 Contenido armónico de una onda cuadrada.

desde la fundamental hasta la novena armónica se amplifican sin la distorsión debido al amplificador. Por ejemplo, si se va a probar un amplificador de audio con un ancho de banda de 20 kHz (el rango de audio es de 20 Hz a 20 kHz), la frecuencia de la señal aplicada debe ser por lo menos de $20 \text{ kHz}/9 = 2.22 \text{ kHz}$.

Si la respuesta de un amplificador ante la onda cuadrada aplicada es una réplica sin distorsión de la entrada, la respuesta en frecuencia (o BW) del amplificador es obviamente suficiente para la frecuencia que se aplicó. Si la respuesta es como la que se muestra en las figuras 11.60a y b, las bajas frecuencias no se amplifican adecuadamente, y se tiene que investigar la baja frecuencia de corte. Si la forma de onda tiene la apariencia de la figura 11.60c, los componentes de alta frecuencia no están recibiendo la suficiente amplificación y tiene, por lo mismo, que ser revisada la alta frecuencia de corte o ancho de banda.

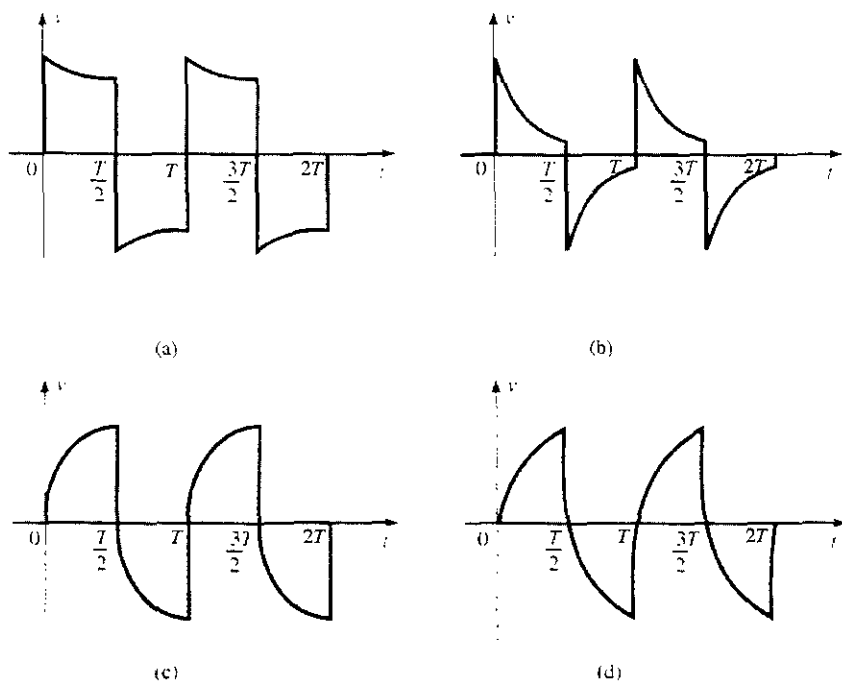


Figura 11.60 a) Respuesta pobre en baja frecuencia; b) respuesta muy pobre en baja frecuencia; c) respuesta pobre en alta frecuencia; d) respuesta muy pobre en alta frecuencia.

La alta frecuencia de corte real (o BW) puede determinarse a partir de la forma de onda de salida midiendo con cuidado el tiempo de subida definido entre el 10 y 90% del valor pico, como se muestra en la figura 11.61. La sustitución en la siguiente ecuación proporcionará la alta frecuencia de corte, y debido a que $BW = f_{H_i} - f_{L_o} \cong f_{H_i}$, la ecuación también dará una indicación del amplificador.

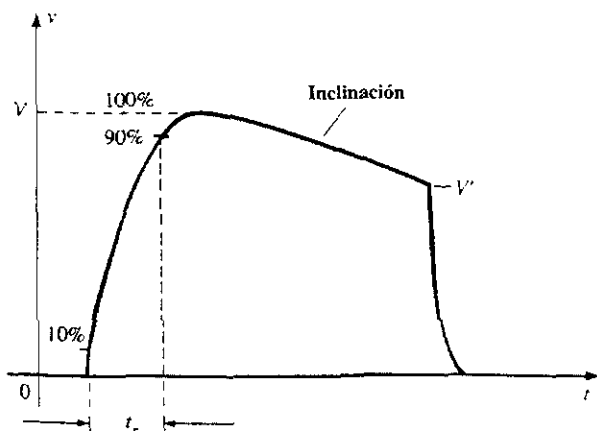


Figura 11.61 Definición del tiempo de subida e inclinación de la respuesta a onda cuadrada.

$$BW \equiv f_{H_i} = \frac{0.35}{t_r} \quad (11.69)$$

La baja frecuencia de corte puede determinarse a partir de la respuesta de salida, midiendo con precaución la inclinación de la figura 11.61 y sustituyéndola en alguna de las siguientes ecuaciones:

$$\% \text{ inclinación} = P\% = \frac{V - V'}{V} \times 100\% \quad (11.70)$$

$$\text{inclinación} = P = \frac{V - V'}{V} \quad (\text{forma decimal}) \quad (11.71)$$

La baja frecuencia de corte se determina a partir de

$$f_{L_o} = \frac{P}{\pi} f_s \quad (11.72)$$

EJEMPLO 11.13

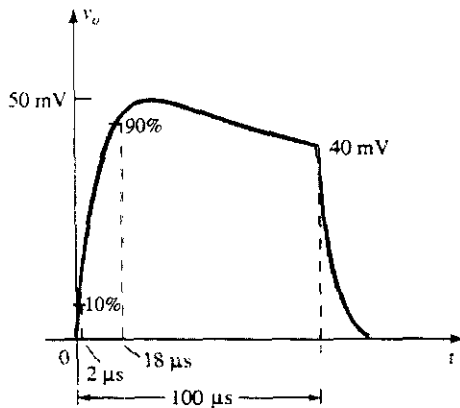


Figura 11.62 Ejemplo 11.13.

La aplicación de una onda cuadrada de 5 kHz y de 1 mV a un amplificador resulta la forma de onda de salida de la figura 11.62.

- Escriba la expansión en serie de Fourier para la onda cuadrada hasta la novena armónica.
- Determine el ancho de banda del amplificador.
- Calcule la baja frecuencia de corte.

Solución

$$a) \quad v_i = \frac{4 \text{ mV}}{\pi} \left(\sin 2\pi(5 \times 10^3)t + \frac{1}{3} \sin 2\pi(15 \times 10^3)t + \frac{1}{5} \sin 2\pi(25 \times 10^3)t + \frac{1}{7} \sin 2\pi(35 \times 10^3)t + \frac{1}{9} \sin 2\pi(45 \times 10^3)t \right)$$

$$b) \quad t_r = 18 \mu s - 2 \mu s = 16 \mu s$$

$$BW = \frac{0.35}{t_r} = \frac{0.35}{16 \mu s} = 21,875 \text{ Hz} \approx 4.4f_s$$

$$c) \quad P = \frac{V - V'}{V} = \frac{50 \text{ mV} - 40 \text{ mV}}{50 \text{ mV}} = 0.2$$

$$f_{L_o} = \frac{P}{\pi} f_s = \left(\frac{0.2}{\pi} \right) (5 \text{ kHz}) = 318.31 \text{ Hz}$$

11.13 ANÁLISIS POR COMPUTADORA

El análisis por computadora de este capítulo se integró al capítulo para enfatizar y demostrar el poder del paquete PSpice. La respuesta en frecuencia completa de un sistema de una sola o múltiples etapas puede fijarse en un periodo relativamente corto para verificar los cálculos teóricos o proporcionar una indicación inmediata de las frecuencias superiores e inferiores de corte del sistema. Los ejercicios de este capítulo darán una oportunidad para aplicar el paquete PSpice en una variedad de redes.

§ 11.2 Logaritmos

PROBLEMAS

1. a) Determine el logaritmo común de los siguientes números: 10^3 , 50 y 0.707.
b) Calcule el logaritmo natural de los mismos números que aparecen en el inciso a.
c) Compare las respuestas de los incisos a y b.
2. a) Determine el logaritmo común del número 2.2×10^3 .
b) Señale el logaritmo natural del número del inciso a con la ecuación (11.4).
c) Obtenga el logaritmo natural del número del inciso a usando logaritmos naturales y compárelo con la respuesta del inciso b.
3. Especifique:
a) $20 \log_{10} \frac{40}{8}$ con la ecuación (11.6) y compárelo con $20 \log_{10} 5$.
b) $10 \log_{10} \frac{1}{20}$ empleando la ecuación (11.7) y cotéjelo con $10 \log_{10} 0.05$.
c) $\log_{10} (40)(0.125)$ usando la ecuación (11.8) y equipárelo con $\log_{10} 5$.
4. Calcule la ganancia de potencia en decibels para cada uno de los siguientes casos:
a) $P_o = 100 \text{ W}$, $P_i = 5 \text{ W}$.
b) $P_o = 100 \text{ mW}$, $P_i = 5 \text{ mW}$.
c) $P_o = 100 \mu\text{W}$, $P_i = 20 \mu\text{W}$.
5. Determine G_{dBm} para un nivel de potencia de salida de 25 W.
6. Dos medidas de voltaje hechas a través de la misma resistencia son $V_1 = 25 \text{ V}$ y $V_2 = 100 \text{ V}$. Calcule la ganancia de potencia en decibels para la segunda lectura respecto a la primera.
7. Se realizan las medidas de voltaje de entrada y salida $V_i = 10 \text{ mV}$ y $V_o = 25 \text{ V}$. ¿Cuál es la ganancia de voltaje en decibels?
- * 8. a) La ganancia total en decibels de un sistema de tres etapas es de 120 dB. Determine la ganancia en decibels de cada etapa si la segunda etapa tiene el doble de ganancia en decibels de la primera y la tercera tiene 2.7 veces la ganancia en decibels de la primera.
b) Calcule la ganancia de voltaje de cada etapa.
- * 9. Si la potencia de ac aplicada a un sistema es de $5 \mu\text{W}$ a 100 mV y la potencia de salida es de 48 W, determine:
a) La ganancia de potencia en decibels.
b) La ganancia de voltaje en decibels si la impedancia de salida es de $40 \text{ k}\Omega$.
c) La impedancia de entrada.
d) El voltaje de salida.

§ 11.4 Consideraciones generales sobre la frecuencia

10. Dada las características de la figura 11.63, grafique:
a) La ganancia normalizada.
b) La ganancia en dB normalizada y determine el ancho de banda y las frecuencias de corte.

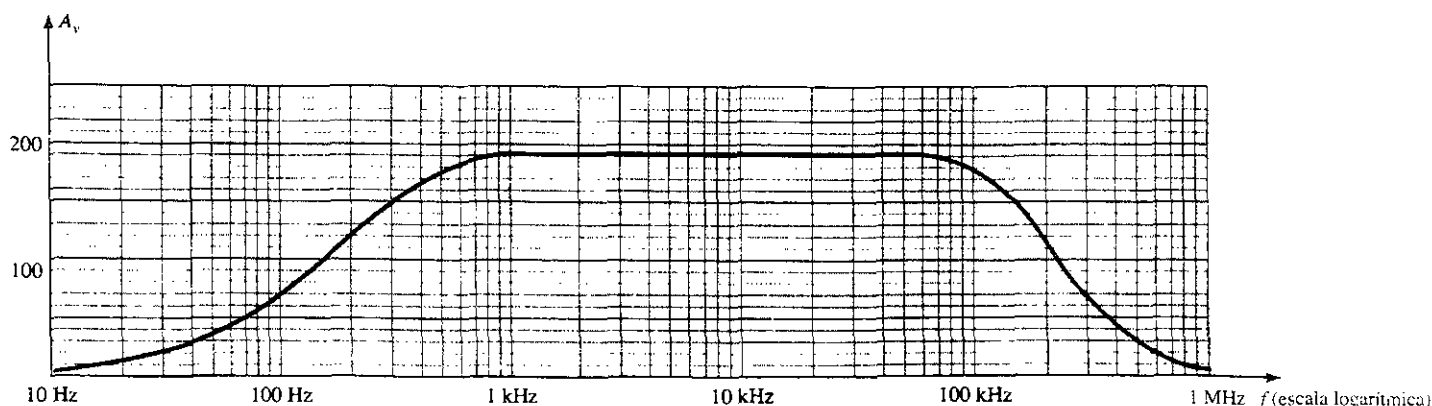


Figura 11.63 Problema 10.

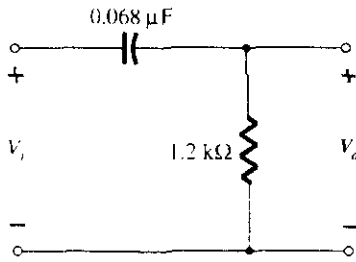


Figura 11.64 Problemas 11, 12 y 32.

§ 11.5 Análisis a baja frecuencia, gráfica de Bode

11. Para la red de la figura 11.64:
- Determine la expresión matemática para la magnitud de la relación V_o/V_i .
 - Con el resultado del inciso a, resuelva V_o/V_i a 100 Hz, 1 kHz, 2 kHz, 5 kHz y 10 kHz, y grafique la curva resultante para el rango de frecuencia de 100 Hz a 10 kHz. Use una escala logarítmica.
 - Determine la frecuencia de corte.
 - Trace las asíntotas y localice el punto a -3 dB.
 - Grafique la respuesta en frecuencia para V_o/V_i y compárela con los resultados del inciso b.
12. Para la red de la figura 11.64:
- Determine la expresión matemática del ángulo por el cual V_o se desfasa respecto a V_i .
 - Obtenga el ángulo de fase a $f = 100$ Hz, 1 kHz, 2 kHz, 5 kHz y 10 kHz y grafique la curva resultante para el rango de frecuencia de 100 Hz a 10 kHz.
 - Determine la frecuencia de corte.
 - Dibuje la respuesta en frecuencia de θ para el mismo espectro de frecuencias del inciso b y compare los resultados.
13. a) ¿Qué frecuencia está a 1 octava arriba de 5 kHz?
 b) ¿Qué frecuencia está a 1 década abajo de 10 kHz?
 c) ¿Qué frecuencia está a 2 octavas abajo de 20 kHz?
 d) ¿Qué frecuencia está a 2 décadas arriba de 1 kHz?

§ 11.6 Respuesta a baja frecuencia, amplificador BJT

14. Repita el análisis del ejemplo 11.9 con $r_o = 40$ kΩ. ¿Cuál es el efecto sobre $A_{v_{med}}$, f_{L_s} , f_{L_c} , f_{L_e} y la frecuencia de corte resultante?
15. Para la red de la figura 11.65
- Determine r_e .
 - Encuentre $A_{v_{med}} = V_o/V_i$.
 - Calcule Z_i .
 - Encuentre $A_{v_{s,med}} = V_o/V_s$.
 - Obtenga F_{L_s} , F_{L_c} y F_{L_e} .
 - Determine la baja frecuencia de corte.
 - Trace las asíntotas de la gráfica de Bode definida por las frecuencias de corte del inciso e.
 - Dibuje la respuesta a baja frecuencia del amplificador usando los resultados del inciso f.

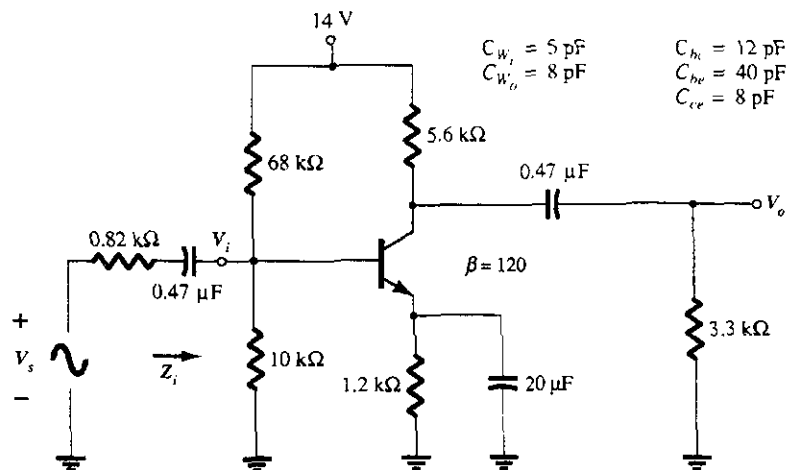


Figura 11.65 Problemas 15, 22 y 23.

* 16. Repita el problema 15 para la red estabilizada en emisor de la figura 11.66.

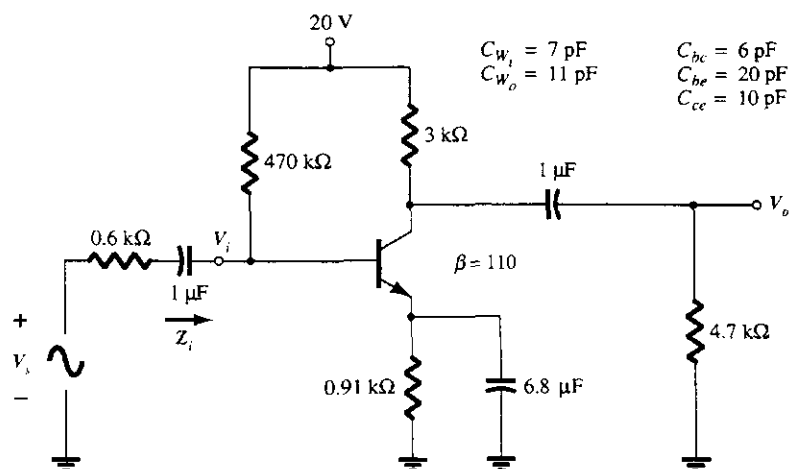


Figura 11.66 Problemas 16 y 23.

* 17. Vuelva a hacer el problema 15 para el circuito emisor-seguidor de la figura 11.67.

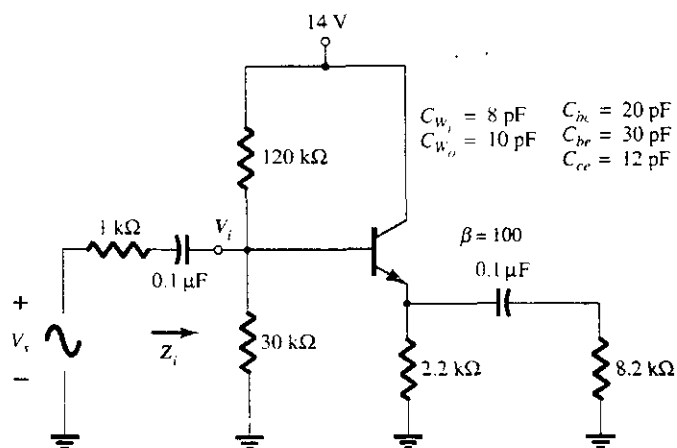


Figura 11.67 Problemas 17 y 24.

* 18. Repita el problema 15 para la configuración de base común de la figura 11.68. No olvide que la configuración de base común es un circuito no inversor cuando se considera el efecto Miller.

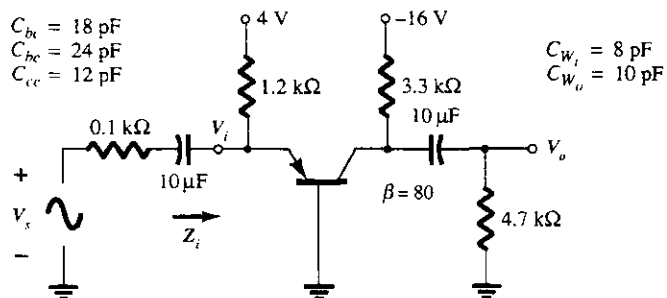


Figura 11.68 Problemas 18, 25 y 34.

§ 11.7 Respuesta a baja frecuencia, amplificador FET

19. Para la red de la figura 11.69:
- Determine V_{GS0} e I_{D0} .
 - Encuentre g_{m0} y $g_{m'}$.
 - Calcule la ganancia en la banda media para $A_v = V_o/V_i$.
 - Resuelva Z_i .
 - Calcule $A_{v_i} = V_o/V_s$.
 - Determine f_{L_s} , f_{L_c} y $f_{L_{cs}}$.
 - Especifique la baja frecuencia de corte.
 - Trace las asíntotas de la gráfica de Bode definida en el inciso f.
 - Grafique la respuesta a baja frecuencia del amplificador usando los resultados del inciso f.

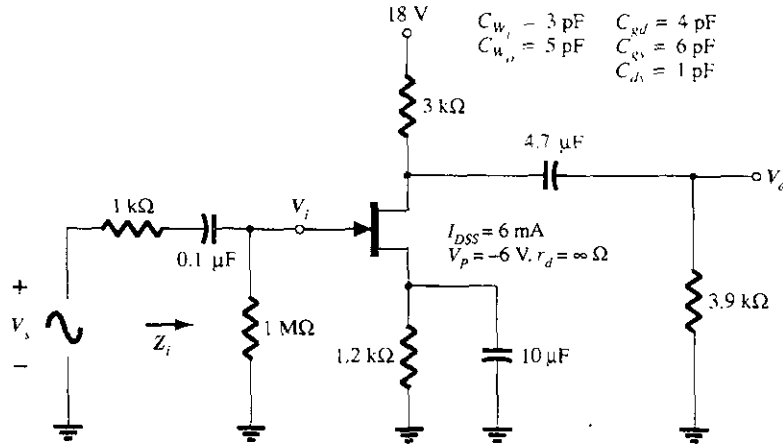


Figura 11.69 Problemas 19, 20, 26 y 35.

- * 20. Repita el análisis del problema 19 con $r_d = 100 \text{ k}\Omega$. ¿Tiene algún impacto de alguna consecuencia sobre los resultados? De ser así, ¿cuáles elementos?
- * 21. Repita el análisis del problema 19 para la red de la figura 11.70. ¿Qué efecto tuvo la configuración de divisor de voltaje sobre la impedancia de entrada y la ganancia A_{v_i} , comparada con el arreglo de polarización de la figura 11.69?

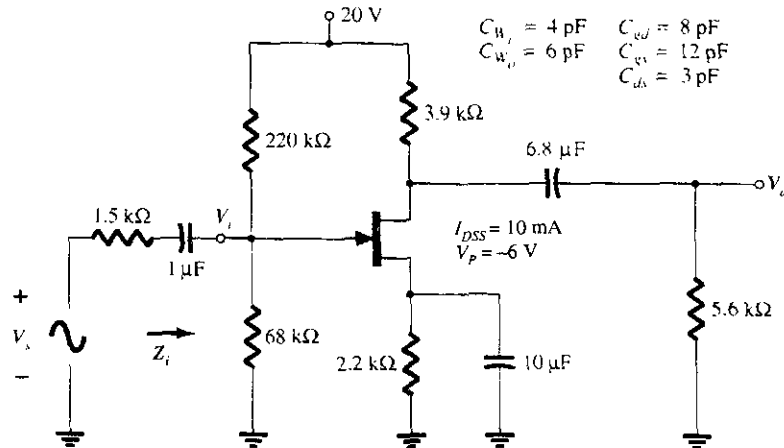


Figura 11.70 Problemas 21 y 27.

§ 11.9 Respuesta en alta frecuencia, amplificador BJT

22. Para la red de la figura 11.65:
- Determine f_H y $f_{H_{cs}}$.
 - Suponiendo que $C_{b'e} = C_{be}$ y $C_{b'c} = C_{bc}$, encuentre f_β y f_T .
 - Grafique la respuesta en frecuencia de la región de alta frecuencia usando una gráfica de Bode y determine la frecuencia de corte.

- * 23. Repita el análisis del problema 22 para la red de la figura 11.66.
- * 24. Repita el análisis del problema 22 para la red de la figura 11.67.
- * 25. Vuelva a hacer el análisis del problema 22 para la red de la figura 11.68.

§ 11.10 Respuesta en alta frecuencia, amplificador FET

- 26. Para la red de la figura 11.69:
 - a) Determine g_{m0} y g_m .
 - b) Encuentre A_v y $A_{v_{mid}}$ en el rango de frecuencia media.
 - c) Determine f_{H_1} y f_{H_2} .
 - d) Grafique la respuesta en frecuencia para la región de alta frecuencia usando una gráfica de Bode y determine la frecuencia de corte.
- * 27. Repita el análisis del problema 26 para la red de la figura 11.70.

§ 11.11 Efectos de frecuencia en multietapas

- 28. Calcule la ganancia de voltaje general de cuatro etapas idénticas de un amplificador, teniendo cada una ganancia de 20.
- 29. Calcule la alta frecuencia de 3 dB general de un amplificador de cuatro etapas que tenga un valor de etapa individual de $f_2 = 2.5$ MHz.
- 30. Un amplificador de cuatro etapas tiene una baja frecuencia de 3 dB para una etapa individual de $f_1 = 40$ Hz. ¿Cuál es el valor de f_1 para este amplificador completo?

§ 11.12 Prueba de onda cuadrada

- * 31. La aplicación de una onda cuadrada de 100 kHz y de 10 mV a un amplificador resulta la forma de onda de salida de la figura 11.71.
 - a) Escriba la expansión en serie de Fourier para la onda cuadrada hasta la novena armónica.
 - b) Determine el ancho de banda del amplificador a la precisión que permita la forma de onda de la figura 11.71.
 - c) Calcule la baja frecuencia de corte.

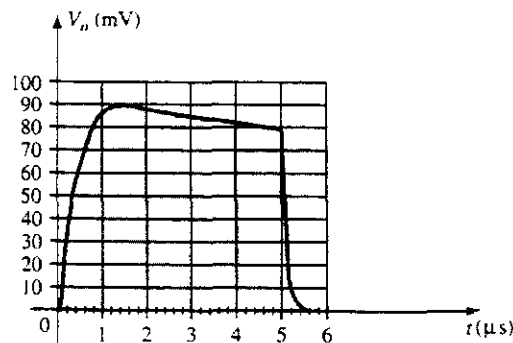


Figura 11.71 Problema 31.

§ 11.13 Análisis por computadora

- 32. a) Escriba el archivo de entrada para el análisis PSpice de la respuesta en frecuencia de V_o/V_i para el filtro de pasa altas de la figura 11.64.
- b) Ejecute el análisis del inciso a) y compárelo en función del valor teórico de la frecuencia de corte.
- 33. a) Escriba el archivo de entrada para el análisis PSpice de la respuesta en frecuencia de V_o/V_s para el amplificador BJT de la figura 11.65.
- b) Ejecute el análisis del inciso a) y compárelo con la solución teórica.
- 34. Repita el problema 33 para la red de la figura 11.68.
- 35. Vuelva a realizar el problema 33 para la configuración JFET de la figura 11.69.

*El asterisco indica problemas más difíciles.

12 Configuraciones compuestas



12.1 INTRODUCCIÓN

En el presente capítulo presentaremos varias conexiones de circuito que, aunque no son los estándares de emisor común, colector común o base común, son muy importantes, porque todavía se usan mucho tanto en circuitos discretos como integrados. La conexión en cascada proporciona etapas en serie, pero en cambio, la conexión cascode pone un transistor sobre otro. Estas formas de conexión se localizan en circuitos prácticos. La conexión Darlington y la conexión de par retroalimentado proporcionan varios transistores conectados para operar como un solo transistor para un mejor funcionamiento, por lo general con mucha mayor ganancia de corriente.

Si se usa la conexión CMOS, junto con transistores MOSFET incrementales, tanto tipo *p* como tipo *n*, resulta un circuito que opera con muy poca potencia, mismos que también se presenta en este capítulo. Muchos de los más recientes circuitos digitales utilizan circuitos CMOS para permitir operaciones portátiles con muy poca potencia de baterías, o para permitir una densidad muy alta en circuitos integrados con la más baja disipación de potencia en el pequeño espacio usado por un circuito integrado.

Los circuitos discretos y los integrados utilizan la conexión de fuente de corriente. La conexión de espejo de corriente proporciona corriente constante a otros diversos circuitos, y es muy importante en circuitos integrados lineales.

El amplificador diferencial es la parte básica de los circuitos de los amplificadores operacionales (que se tratarán por completo en el capítulo 14). En este apartado se presenta la conexión del circuito diferencial básico y su operación. Un circuito bipolar-JFET usado en los IC es la conexión BiFET, y a la conexión bipolar-MOSFET se le denomina una conexión BiMOS. Ambas se utilizan en los circuitos integrados lineales.

12.2 CONEXIÓN EN CASCADA

Una conexión popular de etapas de amplificador es la conexión en cascada. Básicamente una conexión en cascada es una conexión en serie con la salida de una etapa aplicada como entrada a la segunda etapa. La figura 12.1 muestra una conexión en cascada de dos etapas de amplificador a FET. La conexión en cascada proporciona una multiplicación de la ganancia de cada etapa para una mayor ganancia general.

La ganancia general del amplificador en cascada es el producto de las ganancias A_{v_1} y A_{v_2} de las etapas.

$$A_v = A_{v_1} A_{v_2} = (-g_{m_1} R_{D_1})(-g_{m_2} R_{D_2}) \quad (12.1)$$

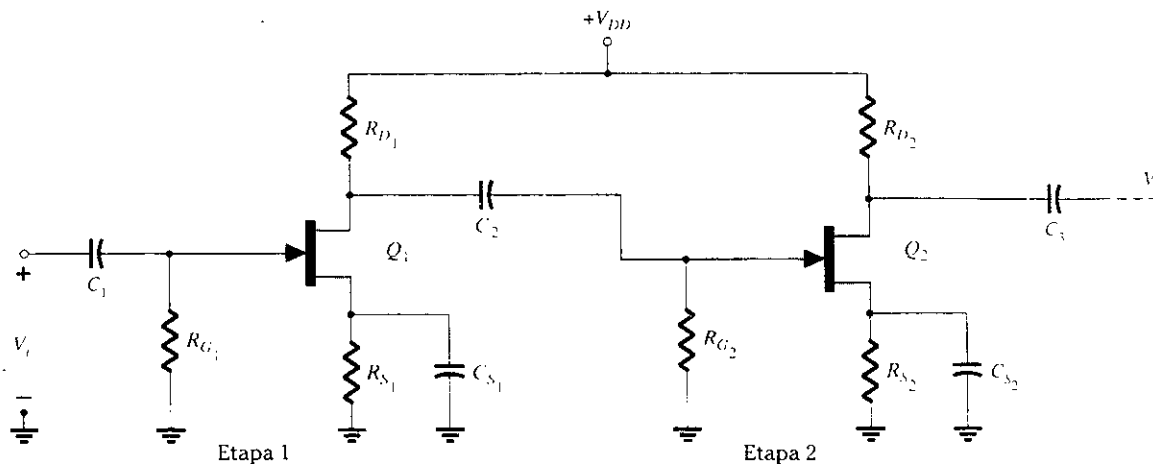


Figura 12.1 Amplificador FET en cascada.

La impedancia de entrada del amplificador en cascada es la de la etapa 1,

$$Z_i = R_{G_1} \quad (12.2)$$

y la impedancia de salida es la de la etapa 2,

$$Z_o = R_{D_2} \quad (12.3)$$

La función principal de las etapas en cascada es una mayor ganancia global. Debido a que la polarización de dc y los cálculos de ac para un amplificador en cascada siguen a aquellos derivados de las etapas individuales, un ejemplo mostrará los diversos cálculos para determinar la polarización de dc y la operación de ac.

Calcule la polarización, la ganancia de voltaje, la impedancia de entrada, la impedancia de salida y el voltaje de salida resultante para el amplificador en cascada que se muestra en la figura 12.2. Calcule el voltaje de carga si se conecta una carga de 10 kΩ a la salida.

EJEMPLO 12.1

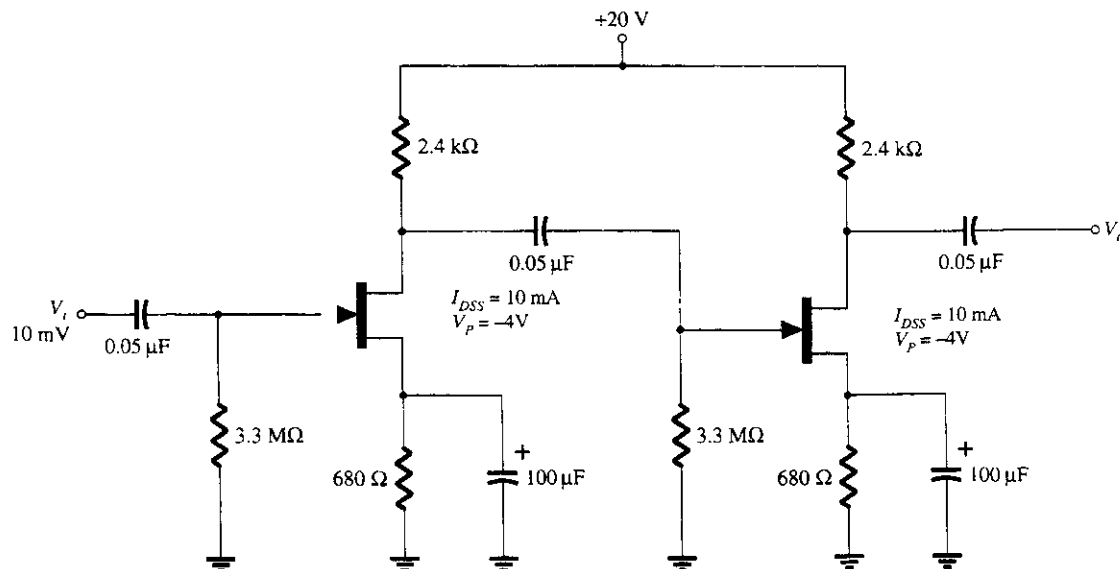


Figura 12.2 Circuito de amplificador en cascada para el ejemplo 12.1.

Solución

Ambas etapas de amplificación tienen la misma polarización. Usando las técnicas de polarización del capítulo 6, resulta que

$$V_{GS_Q} = -1.9 \text{ V}, \quad I_{D_Q} = 2.8 \text{ mA}$$

Ambos transistores tienen

$$g_{m0} = \frac{2I_{DSS}}{|V_p|} = \frac{2(10 \text{ mA})}{|-4 \text{ V}|} = 5 \text{ mS}$$

y el punto de polarización en dc

$$g_m = g_{m0} \left(1 - \frac{V_{GS_Q}}{V_p}\right) = (5 \text{ mS}) \left(1 - \frac{-1.9 \text{ V}}{-4 \text{ V}}\right) = 2.6 \text{ mS}$$

La ganancia de voltaje de cada etapa es

$$A_{v_1} = A_{v_2} = -g_m R_D = -(2.6 \text{ mS})(2.4 \text{ k}\Omega) = -6.2$$

La ganancia de voltaje del amplificador en cascada es

$$\text{Ecuación (12.1): } A_v = A_{v_1} A_{v_2} = (-6.2)(-6.2) = 38.4$$

El voltaje de salida es entonces

$$V_o = A_v V_i = (38.4)(10 \text{ mV}) = 384 \text{ mV}$$

La impedancia de entrada del amplificador en cascada es

$$Z_i = R_G = 3.3 \text{ M}\Omega$$

La impedancia de salida del amplificador en cascada (suponiendo que $r_d = \infty$) es

$$Z_o = R_D = 2.4 \text{ k}\Omega$$

El voltaje de salida a través de una carga de $10 \text{ k}\Omega$ sería

$$V_L = \frac{R_L}{Z_o + R_L} V_o = \frac{10 \text{ k}\Omega}{2.4 \text{ k}\Omega + 10 \text{ k}\Omega} (384 \text{ mV}) = 310 \text{ mV}$$

Amplificador en cascada BJT

En la figura 12.3 se muestra un amplificador en cascada con acoplamiento RC usando BJT. Igual que antes, la mejor ventaja de las etapas en cascada es la mayor ganancia de voltaje. La

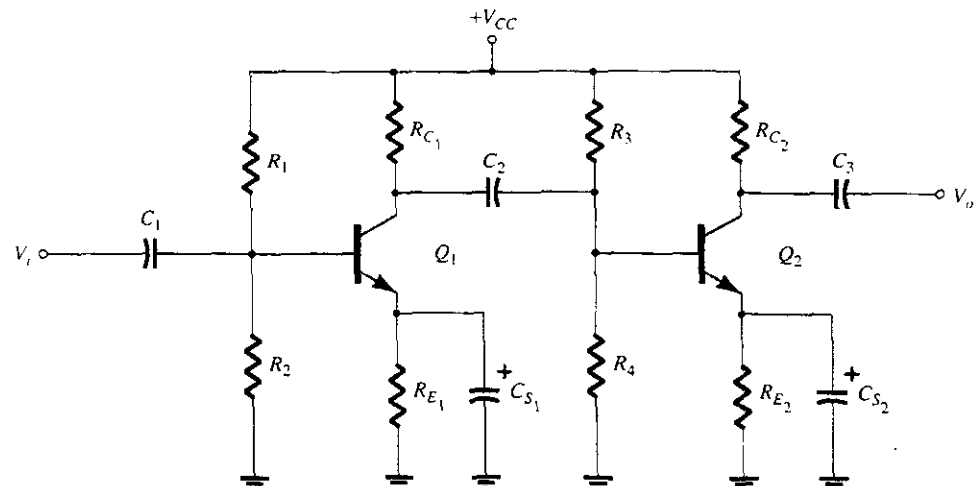


Figura 12.3 Amplificador BJT en cascada (con acoplamiento RC).

polarización en dc se obtiene usando los procedimientos del capítulo 4. La ganancia de voltaje de cada etapa es

$$A_v = \frac{-R_C \| R_L}{r_e} \quad (12.4)$$

La impedancia de entrada del amplificador es la de la etapa 1,

$$Z_i = R_1 \| R_2 \| \beta r_e \quad (12.5)$$

y la impedancia de salida del amplificador es la de la etapa 2,

$$Z_o = R_C \| r_o \quad (12.6)$$

El siguiente ejemplo señala el análisis de un amplificador BJT en cascada mostrando la gran ganancia de voltaje que se obtiene.

EJEMPLO 12.2

Calcule la ganancia de voltaje, voltaje de salida, impedancia de entrada e impedancia de salida para el amplificador BJT en cascada de la figura 12.4. Calcule el voltaje de salida resultante si se conecta una carga de $10\text{ k}\Omega$ a la salida.

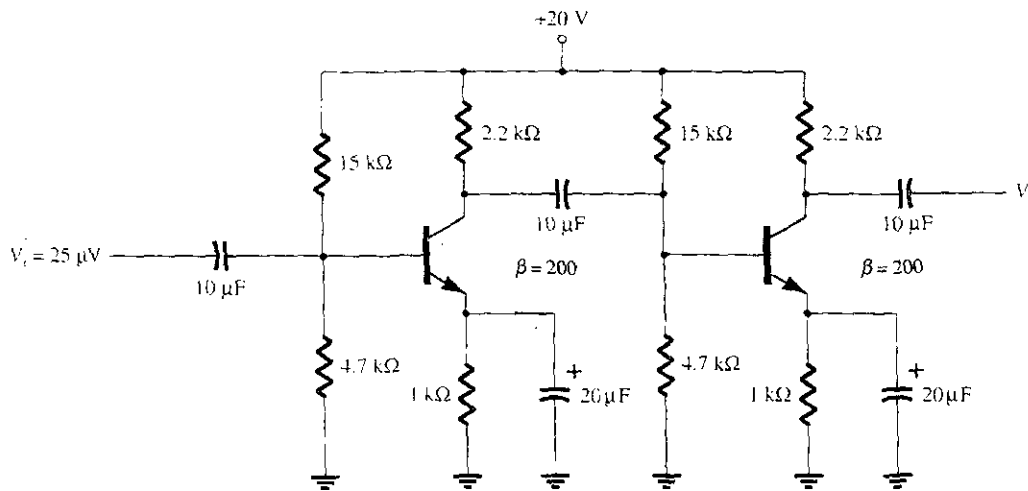


Figura 12.4 Amplificador BJT con acoplamiento RC para el ejemplo 12.2.

Solución

El análisis de la polarización da como resultado

$$V_B = 4.7\text{ V}, \quad V_E = 4.0\text{ V}, \quad V_C = 11\text{ V}, \quad I_E = 4.0\text{ mA}$$

En el punto de polarización,

$$r_e = \frac{26}{I_E} = \frac{26}{4.0} = 6.5\ \Omega$$

La ganancia de voltaje de la etapa 1 es,

$$\begin{aligned} A_{v_1} &= -\frac{R_C \| (R_1 \| R_2 \| \beta r_e)}{r_e} \\ &= -\frac{(2.2\text{ k}\Omega) \| [15\text{ k}\Omega \| 4.7\text{ k}\Omega \| (200)(6.5\ \Omega)]}{6.5\ \Omega} \\ &= -\frac{665.2\ \Omega}{6.5\ \Omega} = -102.3 \end{aligned}$$

mientras que la ganancia de voltaje de la etapa 2 es

$$A_{v_2} = -\frac{R_C}{r_e} = -\frac{2.2 \text{ k}\Omega}{6.5 \Omega} = -338.46$$

para una ganancia de voltaje de

$$A_v = A_{v_1} A_{v_2} = (-102.3)(-338.46) = \mathbf{34,624}$$

El voltaje de salida es,

$$V_o = A_v V_i = (34,624)(25 \mu\text{V}) = \mathbf{0.866 \text{ V}}$$

La impedancia de entrada del amplificador es

$$\begin{aligned} Z_i &= R_1 \| R_2 \| \beta r_e = 4.7 \text{ k}\Omega \| 15 \text{ k}\Omega \| (200)(6.5 \Omega) \\ &= \mathbf{953.6 \Omega} \end{aligned}$$

y la impedancia de salida del amplificador es

$$Z_o = R_C = 2.2 \text{ k}\Omega$$

Si se conecta una carga de 10 kΩ a la salida del amplificador, el voltaje resultante a través de la carga es

$$V_L = \frac{R_L}{Z_o + R_L} V_o = \frac{10 \text{ k}\Omega}{2.2 \text{ k}\Omega + 10 \text{ k}\Omega} (0.866 \text{ V}) = \mathbf{0.71 \text{ V}}$$

También puede usarse una combinación de etapas con FET y BJT para proporcionar una ganancia alta de voltaje, y una alta impedancia de entrada, como se señala en el siguiente ejemplo.

EJEMPLO 12.3

Para el amplificador en cascada de la figura 12.5, utilice la polarización calculada en los ejemplos 12.1 y 12.2 para deducir la impedancia de entrada, impedancia de salida, ganancia de voltaje y el voltaje de salida resultante.

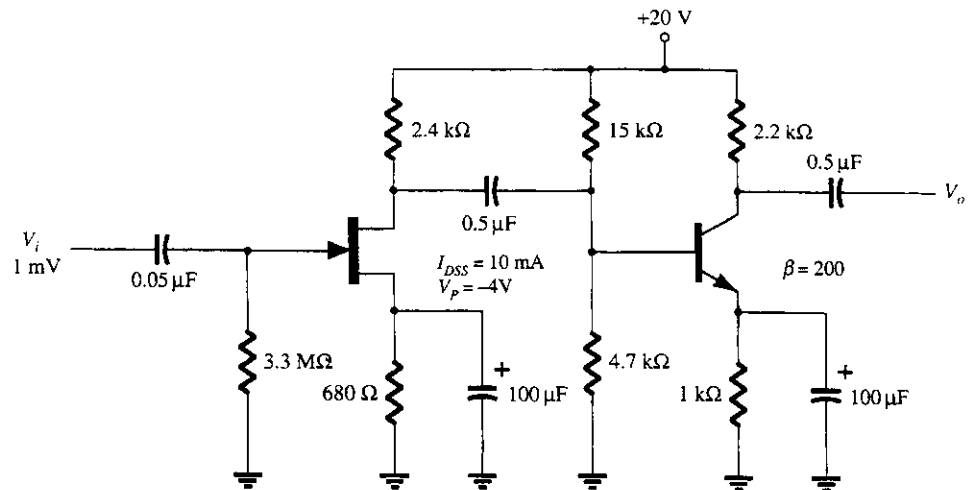


Figura 12.5 Amplificador JFET-BJT en cascada para el ejemplo 12.3.

Solución

Debido a que R_i (etapa 2) = $15 \text{ k}\Omega \| 4.7 \text{ k}\Omega \| 200(6.5 \Omega) = 953.6 \Omega$, la ganancia de la etapa 1 (cuando está cargada con la etapa 2) es

$$\begin{aligned} A_{v_1} &= -g_m [R_D \| R_i \text{ (etapa 2)}] \\ &= -2.6 \text{ mS} (2.4 \text{ k}\Omega \| 953.6 \Omega) = -1.77 \end{aligned}$$

Del ejemplo 12.2, la ganancia de voltaje de la etapa 2 es $A_{v_2} = -338.46$. La ganancia de voltaje global es,

$$A_v = A_{v_1} A_{v_2} = (-1.77)(-338.46) = \mathbf{599.1}$$

El voltaje de salida es por tanto

$$V_o = A_v V_i = (599.1)(1 \text{ mV}) \approx \mathbf{0.6 \text{ V}}$$

La impedancia de entrada del amplificador es la de la etapa 1,

$$Z_i = \mathbf{3.3 \text{ M}\Omega}$$

y la impedancia de salida resulta de la etapa 2.

$$Z_o = R_D = \mathbf{2.2 \text{ k}\Omega}$$

12.3 CONEXIÓN CASCODE

Una conexión cascode tiene un transistor encima de (en serie con) otro. La figura 12.6 muestra una configuración cascode con una etapa de emisor común (CE) que alimenta a una etapa de base común (CB). Este arreglo está diseñado para proporcionar una alta impedancia de entrada con una baja ganancia de voltaje, y para asegurar que la capacitancia Miller de entrada (véase el capítulo 11) esté a un mínimo, en tanto la etapa CB proporciona una buena operación a alta frecuencia. En la figura 12.7 se proporciona una versión BJT práctica de un amplificador cascode.

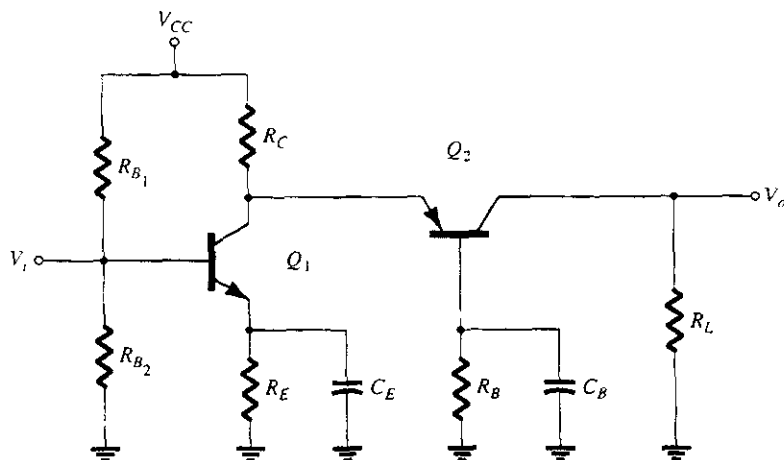


Figura 12.6 Configuración cascode.

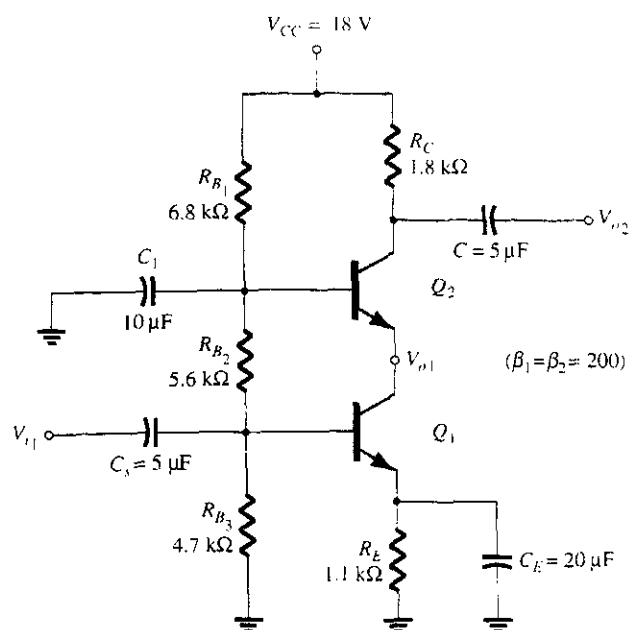


Figura 12.7 Circuito cascode práctico para el ejemplo 12.4.

Calcule la ganancia de voltaje para el amplificador cascode de la figura 12.7.

Solución

El análisis de la polarización usando los procedimientos del capítulo 4, da como resultado

$$V_{B_1} = 4.9 \text{ V}, \quad V_{B_2} = 10.8 \text{ V}, \quad I_{C_1} \approx I_{C_2} = 3.8 \text{ mA}$$

La resistencia dinámica de cada transistor es

$$r_e = \frac{26}{I_E} = \frac{26}{3.8} = 6.8 \, \Omega$$

La ganancia de voltaje de la etapa 1 (emisor común) es aproximadamente

$$A_{v_1} = -\frac{R_C}{r_e} = -\frac{r_e}{r_e} = -1$$

La ganancia de voltaje de la etapa 2 (base común) es

$$A_{v_2} = \frac{R_C}{r_e} = \frac{1.8 \text{ k}\Omega}{6.8 \, \Omega} = 265$$

dando como resultado una ganancia total del amplificador cascode de

$$A_v = A_{v_1} A_{v_2} = (-1)(265) = -265$$

Como se esperaba, la etapa CE con una ganancia de -1 proporciona la mayor impedancia de entrada de una etapa CE (superior a la de la etapa CB). Con una ganancia de voltaje de solamente -1 , la capacitancia Miller de entrada se mantiene muy pequeña. Luego se proporciona una ganancia de voltaje más grande con la etapa CB, que da como resultado una ganancia total grande ($A_v = -265$).

12.4 CONEXIÓN DARLINGTON

Una conexión muy popular de dos transistores de unión bipolar para que operen como un transistor con “superbeta” es la conexión Darlington, mostrada en la figura 12.8. La principal característica de la conexión Darlington es que el transistor compuesto actúa como una sola unidad, con una ganancia de corriente, que es el producto de las ganancias de corriente de los transistores individuales. Si la conexión se hace cuando se utilizan dos transistores separados que tengan ganancias de corriente β_1 y β_2 , la conexión Darlington proporcionará una ganancia de corriente de

$$\beta_D = \beta_1 \beta_2 \quad (12.7)$$

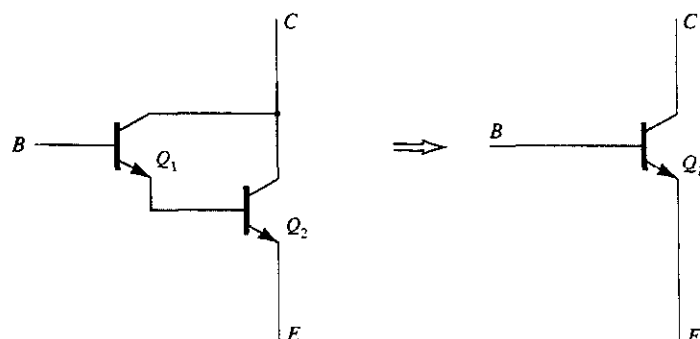


Figura 12.8 Conjunto de transistor Darlington.

Si los dos transistores están pareados para que $\beta_1 = \beta_2 = \beta$, la conexión Darlington da una ganancia de corriente de

$$\beta_D = \beta^2 \quad (12.8)$$

Una conexión Darlington de transistores proporciona un transistor que tiene una ganancia de corriente muy grande, casi siempre de unos cuantos miles.

¿Qué ganancia de corriente proporciona una conexión Darlington con dos transistores idénticos cada uno de los cuales tiene una ganancia de corriente de $\beta = 200$?

EJEMPLO 12.5

Solución

$$\text{Ecuación (12.8): } \beta_D = \beta^2 = (200)^2 = 40,000$$

Transistor Darlington encapsulado

Debido a que la conexión Darlington es popular, puede obtenerse un solo encapsulado que contenga en su interior dos BJT conectados como transistor Darlington. La figura 12.9 facilita algunos datos de la hoja de especificaciones de un típico par Darlington. La ganancia de corriente listada es la del transistor conectado en configuración Darlington. El dispositivo externo proporciona sólo tres terminales (base, emisor y colector). Puede considerar la unidad como un solo transistor Darlington, la cual tiene una ganancia de corriente muy alta cuando se compara con otros transistores típicos solos.

Tipo 2N999

N-P-N con conexión Darlington

Transistor encapsulado de silicio

Parámetro	Condiciones de prueba	Mín.	Máx.
V_{BE}	$I_C = 100 \text{ mA}$		1.8 V
$h_{FE} (\beta_D)$	$I_C = 10 \text{ mA}$	4000	
	$I_C = 100 \text{ mA}$	7000	70,000

Figura 12.9 Información de especificaciones sobre el transistor Darlington en un encapsulado (2N999).

Polarización dc de un circuito Darlington

En la figura 12.10 se muestra un circuito Darlington básico. Se utiliza un transistor Darlington que posee una ganancia de corriente muy alta, β_D . La corriente de base puede calcularse a partir de

$$I_B = \frac{V_{CC} - V_{BE}}{R_B + \beta_D R_E} \quad (12.9)$$

A pesar de que esta ecuación es la misma que para un transistor normal, el valor de β_D es mucho mayor, pero también el valor de V_{BE} es alto, como lo indican los datos en la hoja de especificaciones de la figura 12.9. La corriente de emisor es entonces

$$I_E = (\beta_D + 1)I_B \approx \beta_D I_B \quad (12.10)$$

Los voltajes de dc son

$$V_E = I_E R_E \quad (12.11)$$

$$V_B = V_E + V_{BE} \quad (12.12)$$

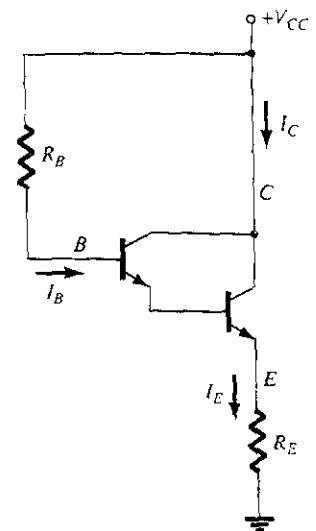


Figura 12.10 Circuito de polarización básico Darlington.



EJEMPLO 12.6

Calcule los voltajes de polarización y las corrientes del circuito de la figura 12.11.

Solución

La corriente de base es

$$\text{Ecuación (12.9): } I_B = \frac{18 \text{ V} - 1.6 \text{ V}}{3.3 \text{ M}\Omega + 8000(390 \Omega)} \approx 2.56 \mu\text{A}$$

La corriente de emisor es entonces

$$\text{Ecuación (12.10): } I_E \approx 8000(2.56 \mu\text{A}) = 20.48 \text{ mA} \approx I_C$$

El voltaje de dc del emisor es

$$\text{Ecuación (12.11): } V_E = 20.48 \text{ mA}(390 \Omega) \approx 8 \text{ V}$$

y el voltaje de la base es

$$\text{Ecuación (12.12): } V_B = 8 \text{ V} + 1.6 \text{ V} = 9.6 \text{ V}$$

El voltaje del colector es el valor de alimentación de

$$V_C = 18 \text{ V}$$

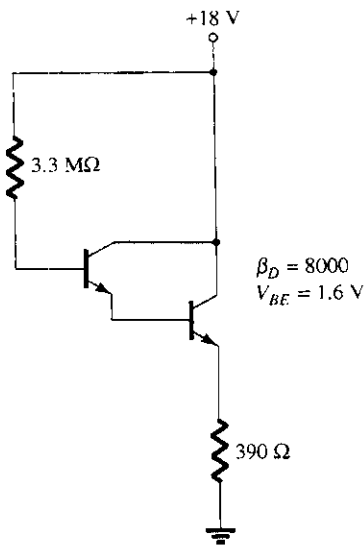


Figura 12.11 Circuito para el ejemplo 12.6.

Circuito equivalente en ac

En la figura 12.12 se muestra un circuito Darlington emisor-seguidor. La señal de entrada se aplica a la base del transistor Darlington a través del capacitor C_1 , así como con la salida V_o que se obtiene del emisor a través del capacitor C_2 . En la figura 12.13 está el circuito equivalente. El transistor Darlington se reemplazó por un circuito equivalente que comprende una resistencia de entrada, r_i , y una fuente de corriente de salida, $\beta_D I_b$.

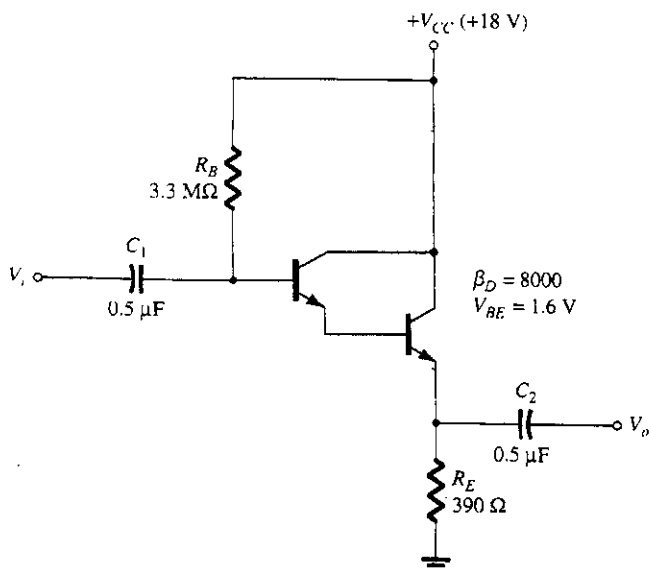


Figura 12.12 Circuito Darlington emisor-seguidor.

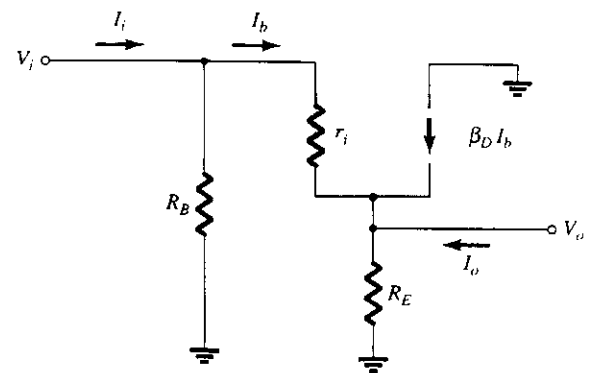


Figura 12.13 Circuito ac equivalente del emisor-seguidor Darlington.

IMPEDANCIA DE ENTRADA

La corriente de base a través de r_i es

$$I_b = \frac{V_i - V_o}{r_i} \quad (12.13)$$

Debido a que

$$V_o = (I_b + \beta_D I_b) R_E \quad (12.14)$$

Podemos usar la ecuación (12.13) en la ecuación (12.14) para obtener

$$I_b r_i = V_i - V_o = V_i - I_b(1 + \beta_D) R_E$$

Resolviendo para V_i ,

$$V_i = I_b[r_i + (1 + \beta_D) R_E] \approx I_b(r_i + \beta_D R_E)$$

La impedancia de entrada que se ve en la base del transistor es entonces

$$\frac{V_i}{I_b} = r_i + \beta_D R_E$$

y viéndola desde el circuito es

$$Z_i = R_B \parallel (r_i + \beta_D R_E) \quad (12.15)$$

Calcule la impedancia de entrada del circuito de la figura 12.12 si $r_i = 5 \text{ k}\Omega$.

EJEMPLO 12.7

Solución

$$\text{Ecuación (12.15): } Z_i = 3.3 \text{ M}\Omega \parallel [5 \text{ k}\Omega + (8000)(390 \Omega)] = 1.6 \text{ M}\Omega$$

GANANCIA DE CORRIENTE

La corriente de salida a través de R_E es (véase la figura 12.13)

$$I_o = I_b + \beta_D I_b = (\beta_D + 1) I_b \approx \beta_D I_b$$

La ganancia de corriente del transistor es entonces

$$\frac{I_o}{I_b} = \beta_D$$

La ganancia ac de corriente del circuito es

$$A_i = \frac{I_o}{I_i} = \frac{I_o}{I_b} \frac{I_b}{I_i}$$

Podemos usar la regla del divisor de corriente para expresar I_b/I_i :

$$I_b = \frac{R_B}{(r_i + \beta_D R_E) + R_B} I_i \approx \frac{R_B}{R_B + \beta_D R_E} I_i$$

por lo que la ganancia de corriente del circuito es

$$A_i = \beta_D \frac{R_B}{R_B + \beta_D R_E} = \frac{\beta_D R_B}{R_B + \beta_D R_E} \quad (12.16)$$

Solución

$$\text{Ecuación (12.16): } A_i = \frac{\beta_D R_B}{R_B + \beta_D R_E} = \frac{(8000)(3.3 \text{ M}\Omega)}{3.3 \text{ M}\Omega + (8000)(390 \Omega)} = 4112$$

IMPEDANCIA DE SALIDA

La impedancia ac de salida puede determinarse mediante el circuito que se muestra en la figura 12.14a. La impedancia de salida vista por la carga R_L se determina aplicando un voltaje, V_o , y midiendo la corriente I_o (con la entrada V_s igual a cero). La figura 12.14b muestra esta situación. Cuando se resuelve para I_o se obtiene

$$\begin{aligned} I_o &= \frac{V_o}{R_E} + \frac{V_o}{r_i} - \beta_D I_b = \frac{V_o}{R_E} + \frac{V_o}{r_i} - \beta_D \left(\frac{V_o}{r_i} \right) \\ &= \left(\frac{1}{R_E} + \frac{1}{r_i} + \frac{\beta_D}{r_i} \right) V_o \end{aligned}$$

Resolviendo para Z_o se tiene

$$\begin{aligned} Z_o &= \frac{V_o}{I_o} = \frac{1}{1/R_E + 1/r_i + \beta_D/r_i} \\ &= R_E \parallel r_i \parallel \frac{r_i}{\beta_D} \approx \frac{r_i}{\beta_D} \end{aligned} \quad (12.17)$$

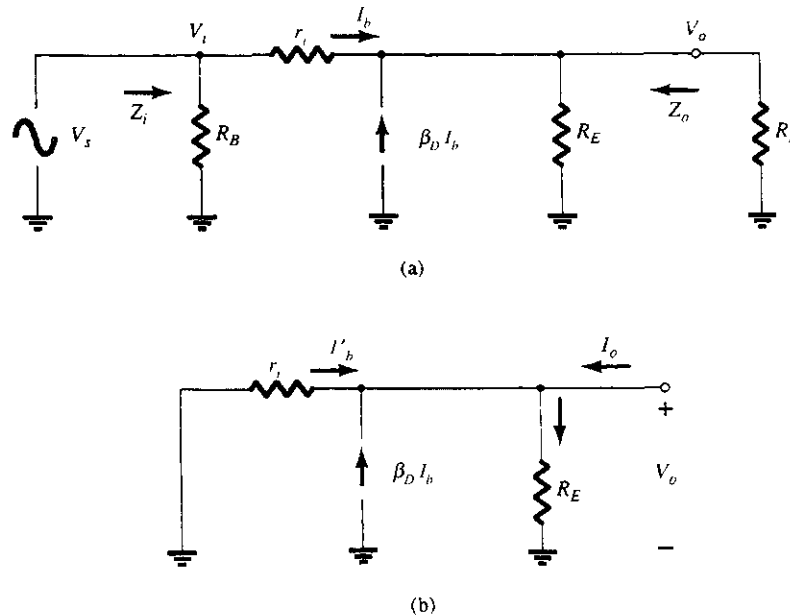


Figura 12.14 Circuito ac equivalente para determinar z_o .

Calcule la impedancia de salida del circuito de la figura 12.12.

EJEMPLO 12.9

Solución

$$\text{Ecuación (12.17): } Z_o = 390 \Omega \parallel [5 \text{ k}\Omega \parallel \frac{5 \text{ k}\Omega}{8000}] \approx \frac{5 \text{ k}\Omega}{8000} = 0.625 \Omega$$

GANANCIA DE VOLTAJE

La ganancia de voltaje para el circuito de la figura 12.12 puede determinarse usando el circuito equivalente de la figura 12.15. Dado que

$$V_o = (I_b + \beta_D I_b) R_E = I_b (R_E + \beta_D R_E)$$

y
$$V_i = I_b r_i + (I_b + \beta_D I_b) R_E$$

a partir de las cuales obtenemos

$$V_i = I_b (r_i + R_E + \beta_D R_E)$$

por lo que

$$V_o = \frac{V_i}{r_i + (R_E + \beta_D R_E)} (R_E + \beta_D R_E)$$

$$A_v = \frac{V_o}{V_i} = \frac{R_E + \beta_D R_E}{r_i + (R_E + \beta_D R_E)} \approx 1 \quad (12.18)$$

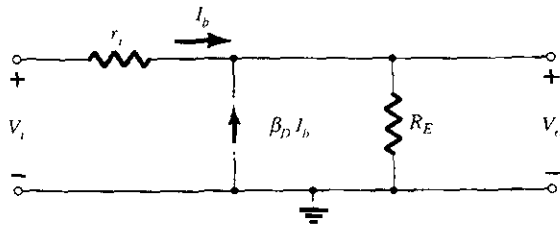


Figura 12.15 Circuito ac equivalente para determinar A_v .

Calcule la ganancia de voltaje A_v para el circuito de la figura 12.12.

EJEMPLO 12.10

Solución

$$A_v = \frac{390 \Omega + (8000)(390 \Omega)}{5 \text{ k}\Omega + [390 \Omega + (8000)(390 \Omega)]} = 0.998$$

12.5 PAR RETROALIMENTADO

La conexión del par retroalimentado (véase la figura 12.16) es un circuito de dos transistores que operan en forma similar al circuito Darlington. Observe que el par retroalimentado usa un transistor *pnp* que excita a un transistor *nnp*; ambos dispositivos actúan de manera efectiva en forma muy parecida a un transistor *pnp*. Como sucede con una conexión Darlington, el par retroalimentado proporciona una ganancia en corriente muy alta (el producto de las ganancias de corriente de los transistores). Una aplicación típica (véase el capítulo 16) usa una conexión Darlington y una conexión de par retroalimentado para proporcionar operación complementaria de los transistores. En la figura 12.17 se ilustra un circuito práctico que utiliza un par retroalimentado. Algunas consideraciones sobre la polarización y la operación en ac facilita una mejor comprensión sobre cómo trabaja la conexión.

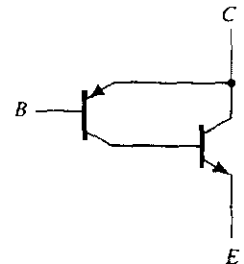
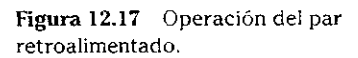


Figura 12.16 Conexión del par retroalimentado.



$$I_C = I_{E_1} + I_{C_2} \approx I_{C_1} + I_{C_2} \approx I_{C_2} \quad (12.20)$$

y la corriente a través de R_C es entonces

$$\text{Ecuación (12.20): } I_C = I_{E_1} + I_{C_2} = 0.623 \text{ mA} + 112.1 \text{ mA} \approx I_{C_2} = 112.1 \text{ mA}$$

El voltaje dc a la salida es por tanto

$$V_o(\text{dc}) = V_{CC} - I_C R_C = 18 \text{ V} - 112.1 \text{ mA}(75 \Omega) = 9.6 \text{ V}$$

$$\text{y } V_i(\text{dc}) = V_o(\text{dc}) - V_{RE} = 9.6 \text{ V} - 0.7 \text{ V} = 8.9 \text{ V}$$

Operación en ac

El circuito equivalente en ac para el circuito de la figura 12.17 está dibujado en la figura 12.18. El circuito está dibujado primero en la figura 12.18a para mostrar con detalle cada transistor y la colocación de las resistencias de base y colector. El siguiente paso es volver a dibujarlo en la figura 12.18b para permitir el análisis.

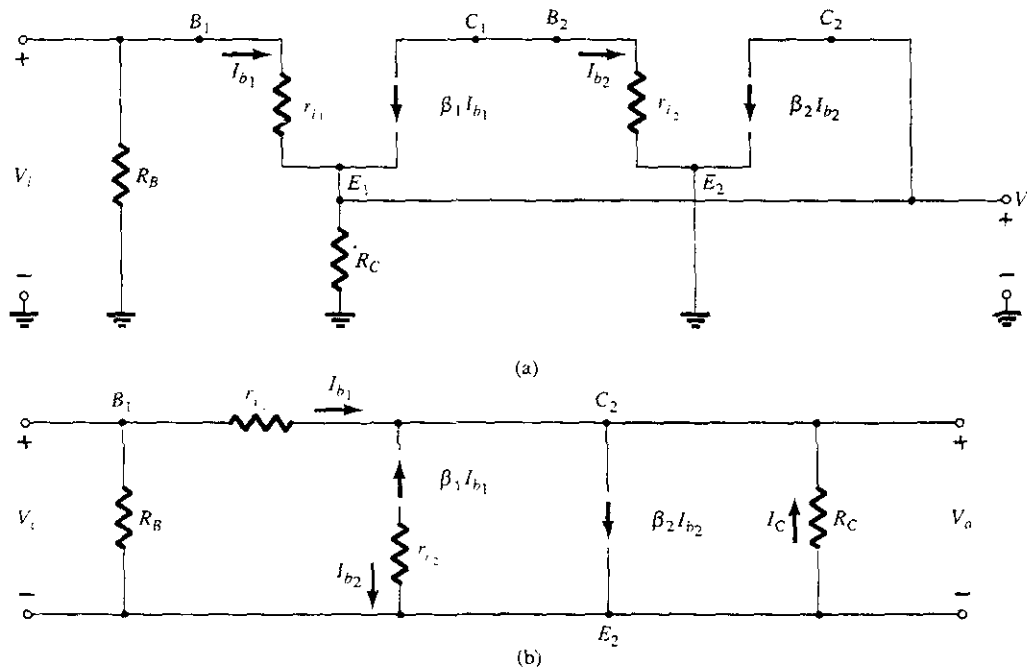


Figura 12.18 Equivalente ac de la figura 12.17.

IMPEDANCIA DE ENTRADA, Z_i

La impedancia de entrada vista en la base del transistor Q_1 se determina (véase la figura 12.18b) de la manera siguiente:

$$I_{b_1} = \frac{V_i - V_o}{r_{i_1}}$$

donde $V_o = -I_C R_C \approx (-\beta_1 I_{b_1} + \beta_2 I_{b_2}) R_C \approx (\beta_2 I_{b_2}) R_C$

por lo que $I_{b_1} r_{i_1} = V_i - V_o \approx V_i - \beta_2 I_{b_2} R_C$

$$I_{b_1} r_{i_1} + \beta_2 (\beta_1 I_{b_1}) R_C = V_i \quad (\text{debido a que } I_{b_2} = I_{C_1} = \beta_1 I_{b_1})$$

$$\frac{V_i}{I_{b_1}} = r_{i_1} + \beta_1 \beta_2 R_C$$

Incluyendo la resistencia polarización de base,

$$Z_i \approx R_B \parallel (r_{i_1} + \beta_1 \beta_2 R_C) \quad (12.21)$$

GANANCIA DE CORRIENTE, A_i

La ganancia de corriente puede determinarse de la manera siguiente:

$$\begin{aligned} I_o &= \beta_2 I_{b_2} - \beta_1 I_{b_1} - I_{b_1} \\ &= \beta_2 (\beta_1 I_{b_1}) - (1 + \beta_1) I_{b_1} \approx \beta_1 \beta_2 I_{b_1} \\ \frac{I_o}{I_{b_1}} &= \beta_1 \beta_2 \end{aligned}$$

Incluyendo R_B , la ganancia de corriente es

$$A_i = \frac{I_o}{I_i} = \frac{I_o}{I_{b_1}} \frac{I_{b_1}}{I_i} = \beta_1 \beta_2 \frac{R_B}{R_B + Z_i} \quad (12.22)$$

IMPEDANCIA DE SALIDA, Z_o

Puede obtenerse Z_o aplicando un voltaje, V_o , con V_i igual a 0. El análisis que resulta prueba que

$$Z_o = \frac{V_o}{I_o} = R_C \parallel r_{i_1} \parallel \frac{r_{i_1}}{\beta_1} \parallel \frac{r_{i_1}}{\beta_1 \beta_2} \approx \frac{r_{i_1}}{\beta_1 \beta_2} \quad (12.23)$$

lo que da como resultado una baja impedancia de salida.

GANANCIA DE VOLTAJE, A_v

El voltaje de salida V_o es

$$V_o = -I_C R_C \approx \beta_1 \beta_2 I_{b_1} R_C$$

Debido a que

$$I_{b_1} = \frac{V_i - V_o}{r_{i_1}}$$

$$V_o = V_i - I_{b_1} r_{i_1} = V_i - \frac{V_o}{\beta_1 \beta_2 R_C} r_{i_1}$$

$$A_v = \frac{V_o}{V_i} = \frac{1}{1 + r_{i_1}/(\beta_1 \beta_2 R_C)} = \frac{\beta_1 \beta_2 R_C}{\beta_1 \beta_2 R_C + r_{i_1}} \quad (12.24)$$

EJEMPLO 12.12

Calcule, a partir del circuito ac, los valores de Z_i , Z_o , A_i y A_v para el circuito de la figura 12.17. Suponga que $r_{i_1} = 3 \text{ k}\Omega$.

Solución

$$\begin{aligned} Z_i &\approx R_B \parallel (r_{i_1} + \beta_1 \beta_2 R_C) = 2 \text{ M}\Omega \parallel [3 \text{ k}\Omega + (140)(180)(75 \text{ }\Omega)] \\ &\approx 974 \text{ k}\Omega \end{aligned}$$

$$\begin{aligned} A_i &= \beta_1 \beta_2 \frac{R_B}{R_B + Z_i} = (140)(180) \left(\frac{2 \text{ M}\Omega}{2 \text{ M}\Omega + 974 \text{ k}\Omega} \right) \\ &= 3.7 \times 10^6 \end{aligned}$$

$$Z_o \approx \frac{r_{i1}}{\beta_1 \beta_2} = \frac{3 \times 10^3}{(140)(180)} = 0.12 \Omega$$

$$y \quad A_v \approx \frac{\beta_1 \beta_2 R_C}{\beta_1 \beta_2 R_C + r_{i1}} = \frac{(140)(180)(75 \Omega)}{(140)(180)(75 \Omega) + 3000 \Omega} = 0.9984 \approx 1$$

El ejemplo 12.12 muestra que la conexión del par retroalimentado proporciona una operación con ganancia de voltaje muy cercana a 1 (al igual que con un emisor seguidor Darlington). muy alta ganancia de corriente, muy baja impedancia de salida y alta impedancia de entrada.

12.6 CIRCUITO CMOS

Una forma popular de circuito en los circuitos digitales utiliza transistores MOSFET incrementales de canal n y canal p (véase la figura 12.19). Este circuito MOSFET complementario, o CMOS, usa estos transistores de tipo opuesto (o complementario). La entrada, V_i , se aplica para ambas compuertas, y la salida se toma de los drenajes conectados. Antes de pasar a la operación del circuito CMOS, revisemos la operación de los transistores MOSFET incrementales.

Operación encendido/apagado de n MOS

La característica del drenaje de un transistor MOSFET incremental canal n o n MOS se muestra en la figura 12.20a. Con 0 V aplicados a la compuerta-fuente no hay corriente de drenaje. No hay ninguna corriente hasta que V_{GS} se eleva más allá del nivel de umbral del dispositivo V_{Th} . Con una entrada de, digamos +5 V, el dispositivo n MOS está completamente encendido con la corriente I_D presente. Resumiendo:

Una entrada de 0 V deja al n MOS apagado, mientras que una entrada de +5 V enciende al n MOS.

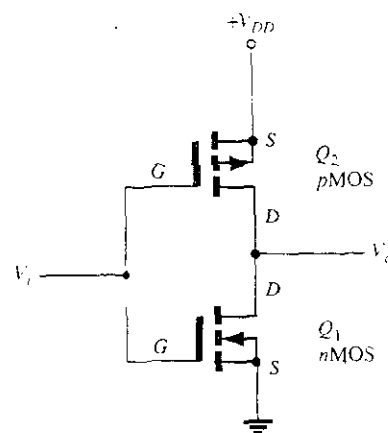
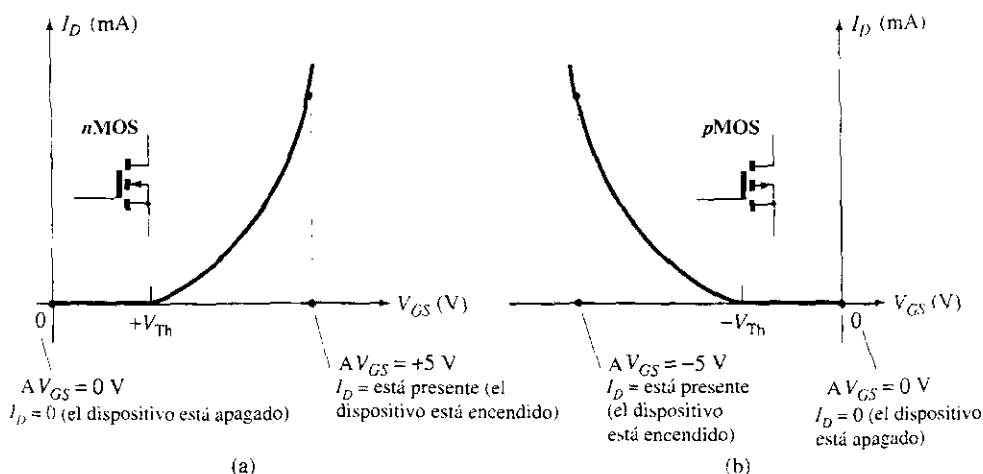


Figura 12.19 Circuito inversor CMOS.

Figura 12.20 Características del MOSFET incremental indicando las condiciones de encendido y apagado: a) n MOS; b) p MOS.

Operación encendido/apagado del p MOS

Las características del drenaje de un transistor MOSFET canal p , o p MOS, se muestran en la figura 12.20b. Cuando se aplica 0 V, el dispositivo está apagado (no hay corriente de drenaje), y en cambio para una entrada de -5 V (mayor que el voltaje de umbral) el dispositivo está encendido con la corriente de drenaje presente. Resumiendo:

$V_{GS} = 0$ V deja al p MOS apagado; $V_{GS} = -5$ V enciende al p MOS.



Operación de un circuito CMOS

Considere a continuación cómo opera el circuito real CMOS de la figura 12.21 con una entrada de 0 V, o una entrada de +5 V.

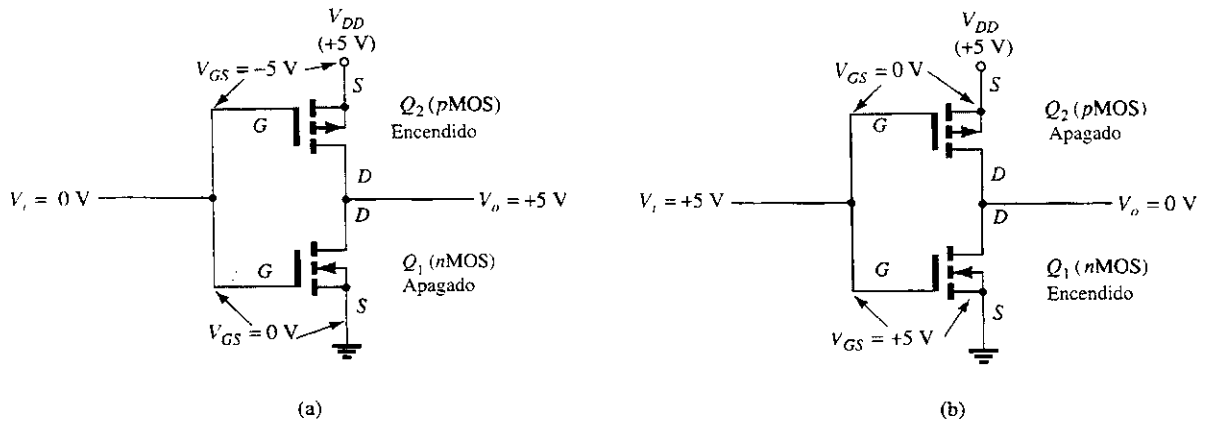


Figura 12.21 Operación del circuito CMOS: a) salida +5 V; b) salida 0 V.

ENTRADA DE 0 V

Cuando se aplica 0 V como entrada al circuito CMOS, proporciona 0 V a ambas compuertas *n*MOS y *p*MOS. La figura 12.21a muestra que

$$\text{Para el } n\text{MOS } (Q_1): V_{GS} = V_i - 0 \text{ V} = 0 \text{ V} - 0 \text{ V} = 0 \text{ V}$$

$$\text{Para el } p\text{MOS } (Q_2): V_{GS} = V_i - (+5 \text{ V}) = 0 \text{ V} - 5 \text{ V} = -5 \text{ V}$$

La entrada de 0 V al transistor *n*MOS Q_1 deja a ese dispositivo apagado. Sin embargo, la misma entrada de 0 V da como resultado que el voltaje compuerta-fuente del transistor *p*MOS Q_2 sea -5 V (la compuerta a 0 V está a 5 V menos que la fuente a +5 V), dando como resultado que ese dispositivo se encienda. La salida, V_o , es entonces +5 V.

ENTRADA DE +5 V

Cuando $V_i = +5 \text{ V}$ proporciona +5 V a ambas compuertas. La figura 12.21b muestra que

$$\text{Para el } n\text{MOS } (Q_1): V_{GS} = V_i - 0 \text{ V} = +5 \text{ V} - 0 \text{ V} = +5 \text{ V}$$

$$\text{Para el } p\text{MOS } (Q_2): V_{GS} = V_i - (+5 \text{ V}) = +5 \text{ V} - 5 \text{ V} = 0 \text{ V}$$

Gracias a esta entrada el transistor Q_1 está encendido y el transistor Q_2 permanece apagado, con la salida cercana a 0 V aunque el que conduzca sea el transistor Q_2 . La conexión CMOS de la figura 12.19 proporciona una operación con un inversor lógico con V_o opuesto a V_i , como se describe en la tabla 12.1.

TABLA 12.1 Operación del circuito CMOS

V_i (V)	Q_1	Q_2	V_o (V)
0	Apagado	Encendido	+5
+5	Encendido	Apagado	0

12.7 CIRCUITOS DE FUENTE DE CORRIENTE

El concepto de una fuente de alimentación proporciona un inicio en nuestra consideración de los circuitos de fuente de corriente. Una fuente de voltaje práctica (véase la figura 12.22a) es una fuente de voltaje en serie con una resistencia. Una fuente de voltaje ideal tiene $R = 0$, pero una fuente práctica incluye una resistencia pequeña. Una fuente de corriente práctica (véase la figura 12.22b) es una fuente de corriente en paralelo con una resistencia. Una fuente de corriente ideal tiene $R = \infty$, pero una fuente de corriente práctica incluye una resistencia muy grande.

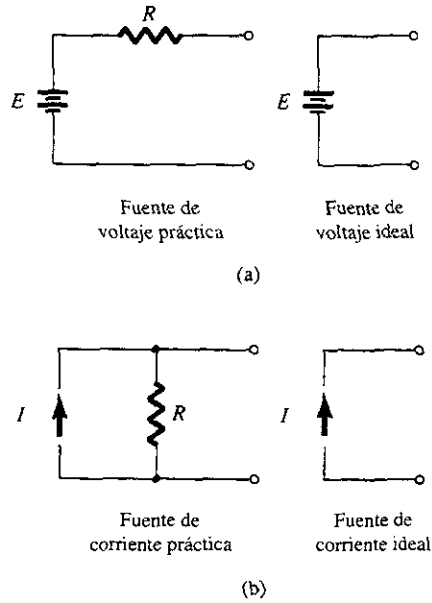


Figura 12.22 Fuentes de voltaje y corriente.

Una fuente de corriente ideal suministra una corriente constante, sin importar la carga que esté conectada a ella. Existen muchos usos en electrónica para un circuito que proporciona una corriente constante a una impedancia muy alta. Los circuitos de corriente constante pueden construirse si se utilizan dispositivos FET, dispositivos bipolares y una combinación de estos componentes. Hay circuitos que se usan en forma discreta y otros más adecuados para operación en circuitos integrados. Consideraremos algunas formas de ambos tipos en esta sección y en la sección 12.8.

Fuente de corriente JFET

Una fuente de corriente JFET simple es la de la figura 12.23. Con V_{GS} igual a 0 V, la corriente de drenaje está fija en

$$I_D = I_{DSS} = 10 \text{ mA}$$

Por tanto, el dispositivo opera como una fuente de corriente con un valor de 10 mA. Aunque el JFET real tiene una resistencia de salida, la fuente de corriente ideal sería una fuente de 10 mA, como se muestra en la figura 12.23.

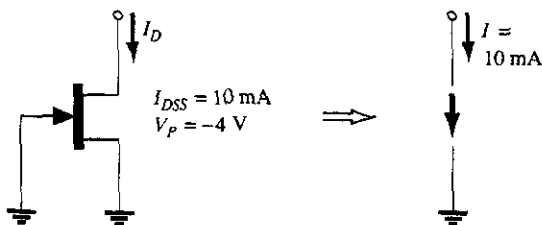


Figura 12.23 Fuente de corriente constante JFET.

EJEMPLO 12.13

Determine la corriente de carga I_D y el voltaje de salida V_o para el circuito de la figura 12.24 para:

- $R_D = 1.2 \text{ k}\Omega$.
- $R_D = 3.3 \text{ k}\Omega$.

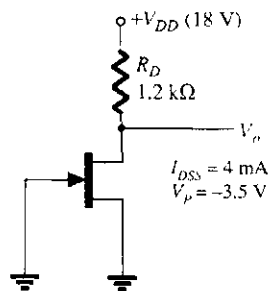


Figura 12.24 Fuente de corriente JFET para el ejemplo 12.13.

Solución

Debido a que $V_{GS} = 0 \text{ V}$, $I_D = I_{DSS} = 4 \text{ mA}$.

$$\text{a) } V_o = V_{DD} - I_D R_D = 18 \text{ V} - (4 \text{ mA})(1.2 \text{ k}\Omega) = 13.2 \text{ V}$$

$$\text{b) } V_o = V_{DD} - I_D R_D = 18 \text{ V} - (4 \text{ mA})(3.3 \text{ k}\Omega) = 4.8 \text{ V}$$

Observe que el voltaje de salida cambia con R_D , pero la corriente a través de R_D es 4 mA, debido a que el JFET opera como una fuente de corriente constante.

Fuente de corriente constante con transistor bipolar

Los transistores bipolares pueden conectarse de varias maneras en un circuito que actúa como una fuente de corriente constante. La figura 12.25 señala un circuito que utiliza unas cuantas resistencias y un transistor *npn* para operar como un circuito de corriente constante. La corriente a través de I_E puede determinarse de la manera siguiente. Suponiendo que la impedancia de entrada de la base es mucho más grande que la de R_1 o R_2 ,

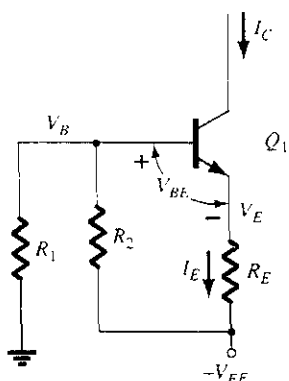


Figura 12.25 Fuente de corriente constante discreta.

$$V_B = \frac{R_1}{R_1 + R_2} (-V_{EE})$$

y

$$V_E = V_B - 0.7 \text{ V}$$

con

$$I_E = \frac{V_E - (-V_{EE})}{R_E} \approx I_C \quad (12.25)$$

donde I_C es la corriente constante proporcionada por el circuito de la figura 12.25.

EJEMPLO 12.14

Calcule la corriente constante I en el circuito de la figura 12.26.

Solución

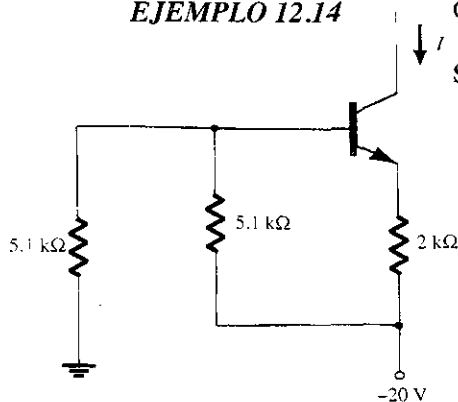


Figura 12.26 Fuente de corriente constante para el ejemplo 12.14.

$$V_B = \frac{R_1}{R_1 + R_2} (-V_{EE}) = \frac{5.1 \text{ k}\Omega}{5.1 \text{ k}\Omega + 5.1 \text{ k}\Omega} (-20 \text{ V}) = -10 \text{ V}$$

$$V_E = V_B - 0.7 \text{ V} = -10 \text{ V} - 0.7 \text{ V} = -10.7 \text{ V}$$

$$I = I_E = \frac{V_E - (-V_{EE})}{R_E} = \frac{-10.7 \text{ V} - (-20 \text{ V})}{2 \text{ k}\Omega}$$

$$= \frac{9.3 \text{ V}}{2 \text{ k}\Omega} = 4.65 \text{ mA}$$

Fuente de corriente constante transistor/Zener

Si se reemplaza la resistencia R_2 con un diodo Zener, como se muestra en la figura 12.27, da una fuente de corriente constante mejor que la de la figura 12.25. El diodo Zener da como resultado una corriente constante calculada, si se usa la ecuación de la LVK en la unión base-emisor. El valor de I puede calcularse usando

$$I \approx I_E = \frac{V_Z - V_{BE}}{R_E} \quad (12.26)$$

Un punto principal a considerar es que la corriente constante depende del voltaje del diodo Zener, el cual permanece constante y la resistencia del emisor R_E . El voltaje de la alimentación V_{EE} no tiene efecto sobre el valor de I .

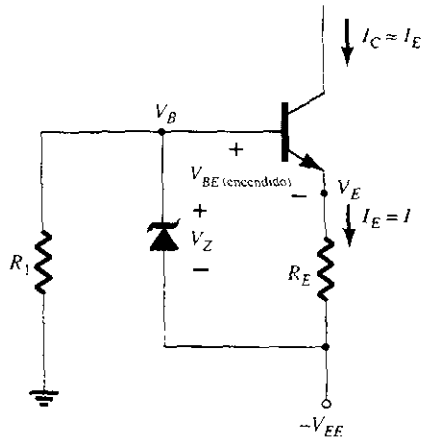


Figura 12.27 Circuito de corriente constante usando diodo Zener.

Calcule la corriente constante I en el circuito de la figura 12.28.

EJEMPLO 12.15

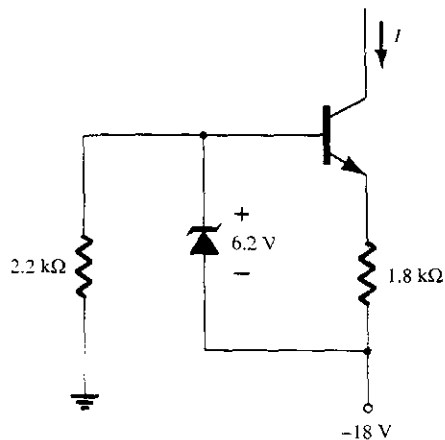


Figura 12.28 Circuito de corriente constante para el ejemplo 12.15.

Solución

$$\text{Ecuación (12.26): } I = \frac{V_Z - V_{BE}}{R_E} = \frac{6.2 \text{ V} - 0.7 \text{ V}}{1.8 \text{ k}\Omega} = 3.06 \text{ mA} \approx 3 \text{ mA}$$

12.8 ESPEJO DE CORRIENTE

Un circuito de espejo de corriente (véase la figura 12.29) proporciona una corriente constante y se utiliza principalmente en circuitos integrados. La corriente constante se obtiene a partir de una corriente de salida que es el reflejo o espejo de una corriente constante que se desarrolló en

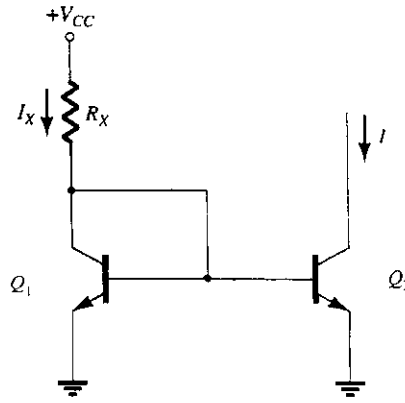


Figura 12.29 Espejo de corriente.

un lado del circuito. El circuito es en particular adecuado para la fabricación de IC, debido a que requiere que los transistores utilizados tengan idénticas caídas de voltaje base-emisor e idénticos valores de beta. Los mejores resultados se logran cuando los transistores se forman al mismo tiempo en la fabricación del IC. En la figura 12.29 la corriente I_X del transistor Q_1 y el resistor R_X se refleja en la corriente I a través del transistor Q_2 .

Las corrientes I_X e I pueden obtenerse utilizando las corrientes de circuito listadas en la figura 12.30. Suponemos que la corriente de emisor (I_E) para ambos transistores es la misma (Q_1 y Q_2 , siendo fabricados uno junto a otro en el mismo microcircuito). Las dos corrientes de base del transistor son aproximadamente

$$I_B = \frac{I_E}{\beta + 1} \approx \frac{I_E}{\beta}$$

La corriente de colector de cada transistor es entonces

$$I_C \approx I_E$$

Por último, la corriente a través del resistor R_X , I_X es

$$I_X = I_E + \frac{2I_E}{\beta} = \frac{\beta I_E}{\beta} + \frac{2I_E}{\beta} = \frac{\beta + 2}{\beta} I_E \approx I_E$$

Resumiendo, la corriente constante proporcionada en el colector de Q_2 es un reflejo de la de Q_1 . Debido a que

$$I_X = \frac{V_{CC} - V_{BE}}{R_X} \quad (12.27)$$

la corriente I_X que fijan V_{CC} y R_X se refleja (o es un "espejo") en la corriente del colector de Q_2 .

Se dice que el transistor Q_1 es un transistor conectado como diodo, debido a que la base y el colector están conectados juntos (en corto).

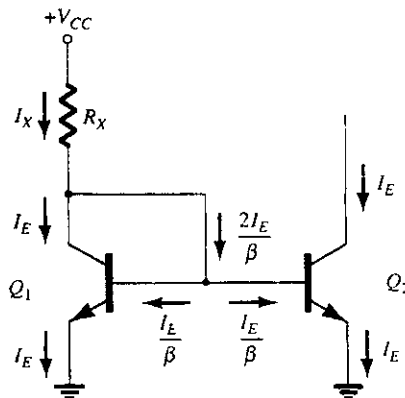


Figura 12.30 Corrientes del circuito de espejo de corriente.



Calcule la corriente reflejada, I , en el circuito de la figura 12.31.

EJEMPLO 12.16

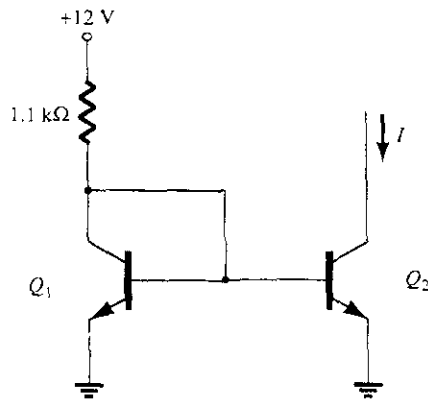


Figura 12.31 Circuito espejo de corriente para el ejemplo 12.16.

Solución

$$\text{Ecuación (12.27): } I = I_X = \frac{V_{CC} - V_{BE}}{R_X} = \frac{12 \text{ V} - 0.7 \text{ V}}{1.1 \text{ k}\Omega} = 10.27 \text{ mA}$$

Calcule la corriente, I , a través de cada uno de los transistores Q_2 y Q_3 en el circuito de la figura 12.32.

EJEMPLO 12.17

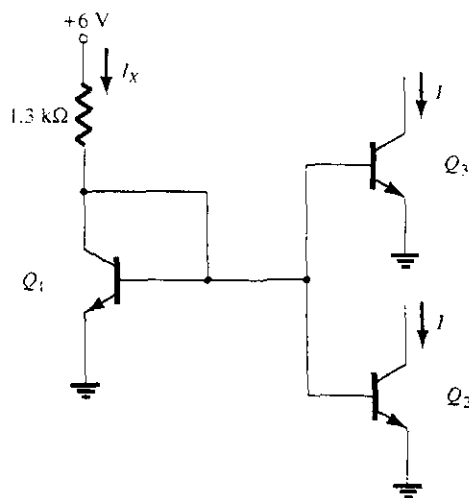


Figura 12.32 Circuito espejo de corriente para el ejemplo 12.17.

Solución

La corriente I_X es

$$I_X = I_E + \frac{3I_E}{\beta} = \frac{\beta + 3}{\beta} I_E \approx I_E$$

Por tanto,

$$I \approx I_X = \frac{V_{CC} - V_{BE}}{R_X} = \frac{6 \text{ V} - 0.7 \text{ V}}{1.3 \text{ k}\Omega} = 4.08 \text{ mA}$$

La figura 12.33 muestra otra forma de reflejo de corriente para proporcionar mayor impedancia de salida que la de la figura 12.29. La corriente a través de R_X es

$$I_X = \frac{V_{CC} - 2V_{BE}}{R_X} \approx I_E + \frac{I_E}{\beta} = \frac{\beta + 1}{\beta} I_E \approx I_E$$

Suponiendo que Q_1 y Q_2 estén bien pareados, la corriente de salida, I , se mantiene constante en

$$I \approx I_E = I_X$$

De nuevo, vemos que la corriente de salida I es un “reflejo” del valor de la corriente que se fijó a través de R_X .

La figura 12.34 muestra otra forma de reflejo de corriente. El JFET proporciona una corriente constante de valor I_{DSS} . Esta corriente se refleja, dando como resultado una corriente a través de Q_2 del mismo valor:

$$I = I_{DSS}$$

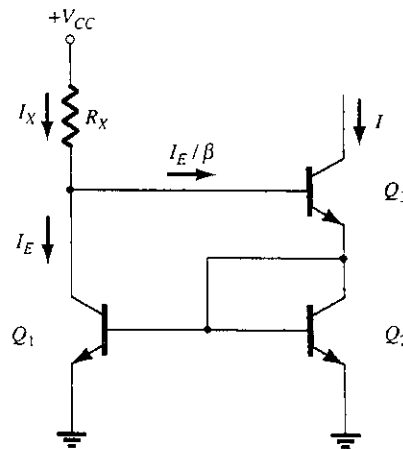


Figura 12.33 Circuito reflejo de corriente con impedancia de salida más alta.

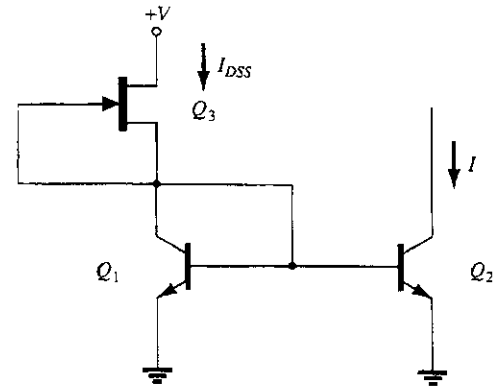


Figura 12.34 Conexión de espejo de corriente.

12.9 CIRCUITO DE AMPLIFICADOR DIFERENCIAL

El circuito de amplificador diferencial es una conexión muy popular y se utiliza en circuitos integrados. Esta conexión puede describirse considerando al amplificador diferencial básico que se muestra en la figura 12.35. Observe que el circuito tiene dos entradas separadas, dos salidas separadas y que los emisores están conectados juntos. Aunque la mayoría de los circuitos de amplificador diferencial utilizan dos alimentaciones de voltaje separadas, el circuito también puede operarse con una sola alimentación.

Son posibles varias combinaciones de la señal de entrada.

Si se aplica una señal a alguna entrada, estando la otra entrada conectada a tierra, a dicha operación se le llama con una *sola terminal*.

Si se aplican dos señales de entrada de polaridad opuesta, a la operación se le llama de *doble terminal*.

Si se aplica la misma entrada a ambas entradas, a la operación se le llama de *modo común*.

En la operación de una sola terminal se aplica una sola señal de entrada. Sin embargo, debido a la conexión de emisor común, la señal de entrada opera en ambos transistores dando como resultado una salida en *ambos* colectores.

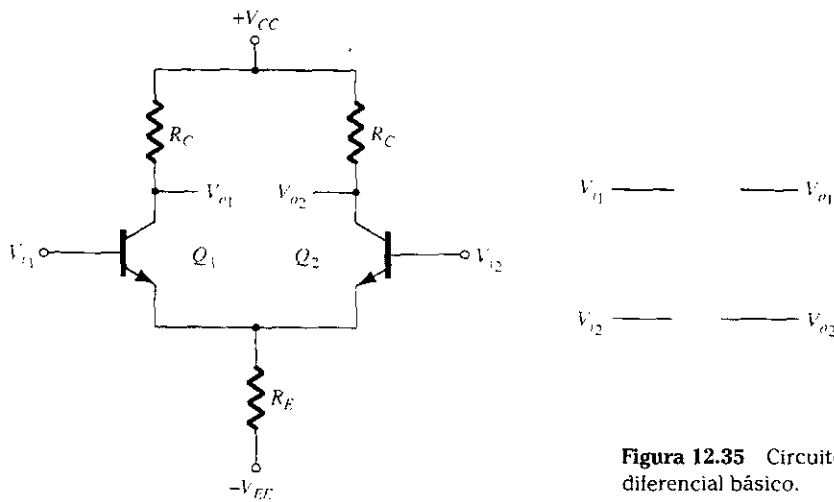


Figura 12.35 Circuito de amplificador diferencial básico.

En la operación de doble terminal se aplican dos señales de entrada, y la diferencia de las entradas tiene como resultado salidas en ambos colectores, que son la diferencia de las señales aplicadas en ambas entradas.

En la operación en modo común, la señal de entrada común da como resultado señales opuestas en cada colector, cancelándose estas señales, debido a que la señal de salida resultante es cero. Desde un punto de vista práctico, las señales opuestas no se cancelan completamente, pero dan como resultado una señal pequeña.

La característica principal del amplificador diferencial es la gran ganancia cuando se aplican señales opuestas a las entradas, en comparación a la pequeña ganancia resultante de las entradas comunes. La relación de esta ganancia diferencial respecto a la ganancia en modo común se llama *rechazo en modo común*. Estos conceptos se analizarán con detalle en el capítulo 14. En este momento se tratará con mayor rigor la operación del circuito del amplificador diferencial.

Polarización

Consideremos primero la operación de polarización del circuito de la figura 12.35. Con entradas de ac que se obtuvieron de fuentes de voltaje, el voltaje dc en cada entrada está esencialmente conectado a 0 V, como se muestra en la figura 12.36. Con cada voltaje de base a 0 V, el voltaje de polarización del emisor común es

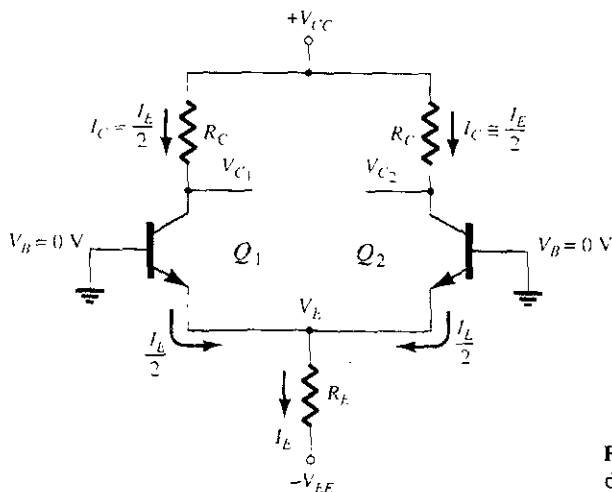


Figura 12.36 Polarización de un circuito de amplificador diferencial.



$$V_E = 0 \text{ V} - V_{BE} = -0.7 \text{ V}$$

La corriente de polarización del emisor es entonces

$$I_E = \frac{V_E - (-V_{EE})}{R_E} \approx \frac{V_{EE} - 0.7 \text{ V}}{R_E} \quad (12.28)$$

Suponiendo que los transistores están bien pareados (como sucedería en IC),

$$I_{C1} = I_{C2} = \frac{I_E}{2} \quad (12.29)$$

dando como resultado un voltaje de colector de

$$V_{C1} = V_{C2} = V_{CC} - I_C R_C = V_{CC} - \frac{I_E}{2} R_C \quad (12.30)$$

EJEMPLO 12.18

Calcule los voltajes y corrientes de dc del circuito de la figura 12.37.

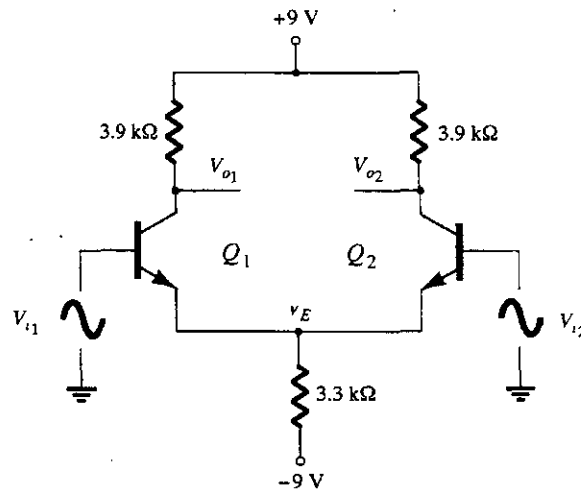


Figura 12.37 Circuito de amplificador diferencial para el ejemplo 12.18.

Solución

$$\text{Ecuación (12.28): } I_E = \frac{V_{EE} - 0.7 \text{ V}}{R_E} = \frac{9 \text{ V} - 0.7 \text{ V}}{3.3 \text{ k}\Omega} \approx 2.5 \text{ mA}$$

La corriente de colector es entonces

$$\text{Ecuación (12.29): } I_C = \frac{I_E}{2} = \frac{2.5 \text{ mA}}{2} = 1.25 \text{ mA}$$

da como resultado un voltaje de colector de

$$\text{Ecuación (12.30): } V_C = V_{CC} - I_C R_C = 9 \text{ V} - (1.25 \text{ mA})(3.9 \text{ k}\Omega) \approx 4.1 \text{ V}$$

El voltaje del emisor común es entonces -0.7 V y, en cambio, el voltaje de polarización del colector está cerca a 4.1 V para ambas salidas.

Operación en ac del circuito

En la figura 12.38 se indica una conexión de ac para un amplificador diferencial. Se aplican señales de entrada separadas como V_{i1} y V_{i2} con salidas separadas, resultando como V_{o1} y V_{o2} . Para analizar en ac el circuito vuelve a dibujarse en la figura 12.39. Cada transistor se reemplaza por su equivalente en ac.

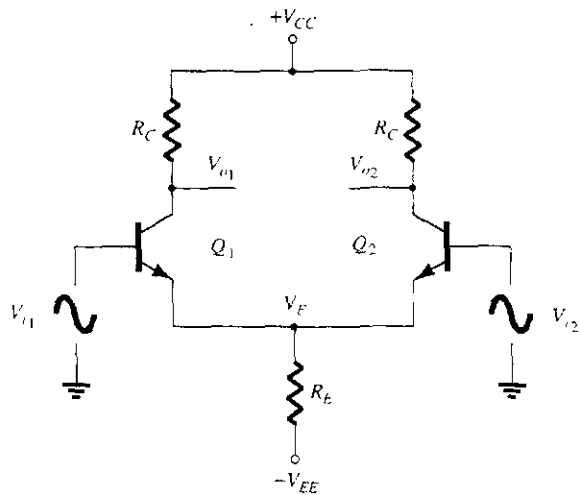


Figura 12.38 Conexión de ac del amplificador diferencial.

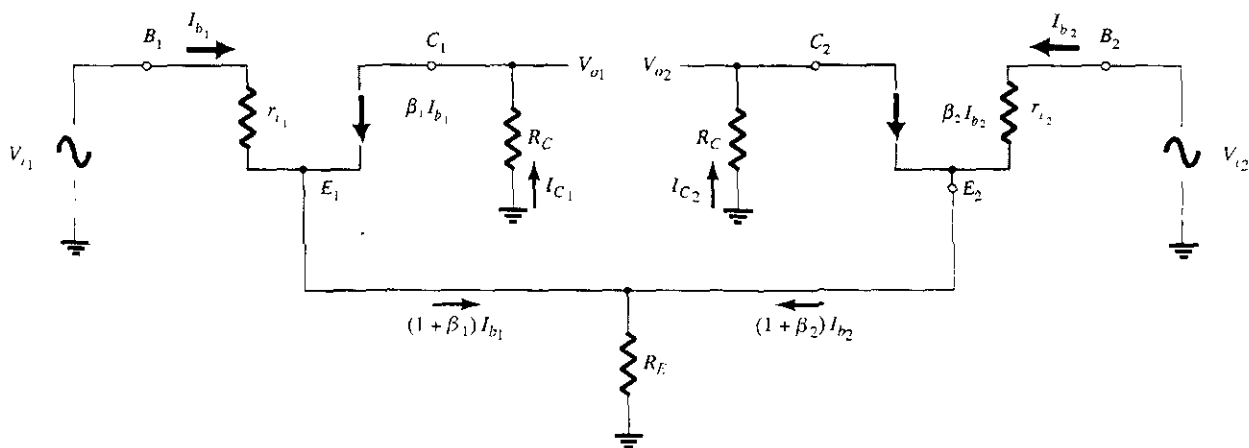


Figura 12.39 Equivalente de ac del circuito de amplificador diferencial.

GANANCIA DE VOLTAJE EN UNA SOLA TERMINAL

Para calcular la ganancia de voltaje de ac en una sola terminal, V_o/V_i , se aplica la señal a una entrada, en tanto la otra está conectada a tierra, como se muestra en la figura 12.40. El equivalente en ac de esta conexión está dibujado en la figura 12.41. La corriente en ac de la

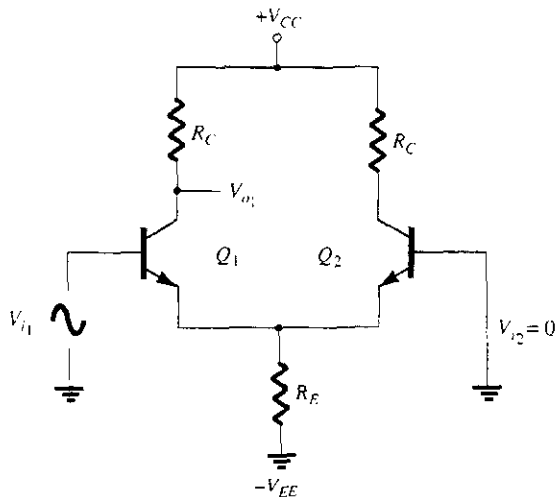


Figura 12.40 Conexión para calcular $A_{v1} = V_{o1}/V_{i1}$.

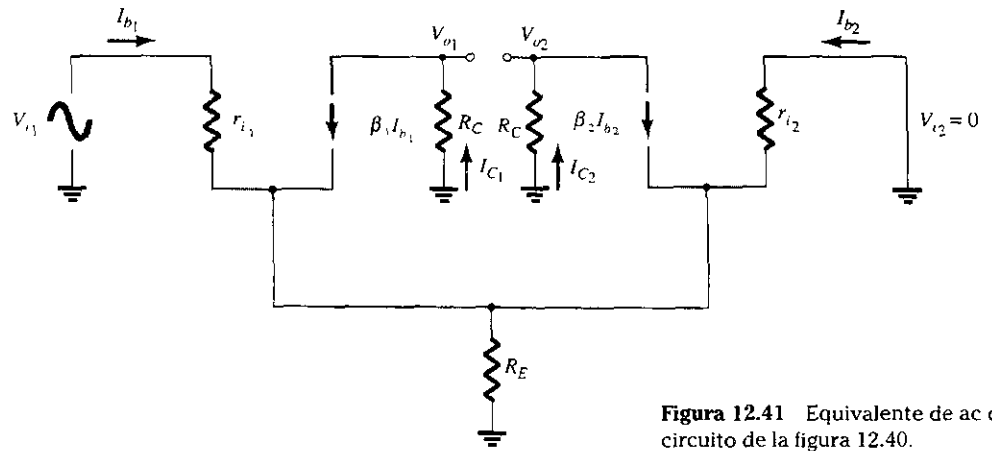


Figura 12.41 Equivalente de ac del circuito de la figura 12.40.

base puede calcularse utilizando la ecuación de la LVK (ley de voltaje de Kirchhoff) en la base 1 de la entrada. Si se supone que los dos transistores están bien pareados

$$I_{b1} = I_{b2} = I_b$$

$$r_{i1} = r_{i2} = r_i$$

Con R_E muy grande (idealmente infinito), el circuito para obtener la ecuación de la LVK se simplifica al de la figura 12.42, del cual podemos escribir

$$V_{i1} - I_b r_i - I_b r_i = 0$$

por lo que

$$I_b = \frac{V_{i1}}{2r_i}$$

Si también suponemos que

$$\beta_1 = \beta_2 = \beta$$

entonces

$$I_C = \beta I_b = \beta \frac{V_{i1}}{2r_i}$$

y la magnitud del voltaje de salida en ambos colectores es

$$V_o = I_C R_C = \beta \frac{V_{i1}}{2r_i} R_C = \frac{\beta R_C}{2\beta r_e} V_i$$

por lo que la magnitud de la ganancia de voltaje de una sola terminal en uno u otro colector es

$$A_v = \frac{V_o}{V_{i1}} = \frac{R_C}{2r_e} \quad (12.31)$$

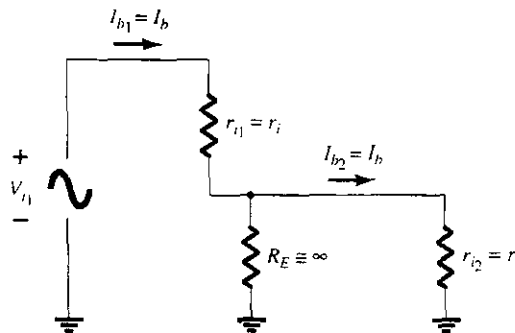


Figura 12.42 Circuito parcial para calcular I_b .

Calcule el voltaje de salida en una sola terminal, V_{o1} , para el circuito de la figura 12.43.

EJEMPLO 12.19

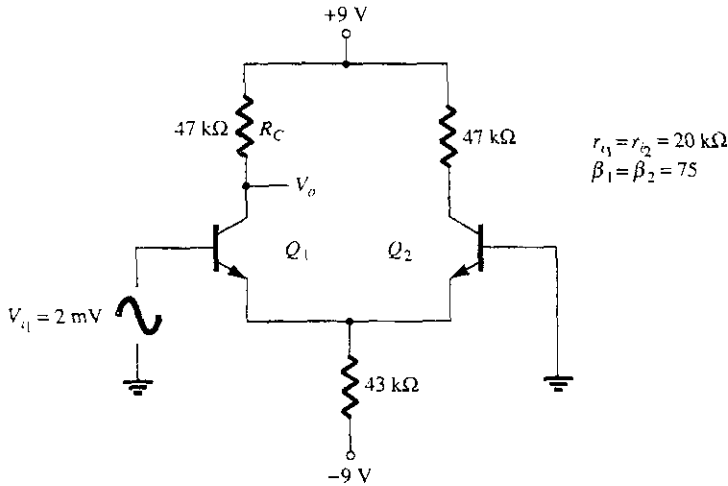


Figura 12.43 Circuito para los ejemplos 12.19 y 12.20.

Solución

Los cálculos de polarización proporcionan

$$I_E = \frac{V_{EE} - 0.7 \text{ V}}{R_E} = \frac{9 \text{ V} - 0.7 \text{ V}}{43 \text{ k}\Omega} = 193 \mu\text{A}$$

La corriente del colector es entonces

$$I_C = \frac{I_E}{2} = 96.5 \mu\text{A}$$

por lo que $V_C = V_{CC} - I_C R_C = 9 \text{ V} - (96.5 \mu\text{A})(47 \text{ k}\Omega) = 4.5 \text{ V}$

El valor de r_e es

$$r_e = \frac{26}{0.0965} \approx 269 \Omega$$

La magnitud de la ganancia de voltaje ac puede calcularse utilizando la ecuación (12.31):

$$A_v = \frac{R_C}{2r_e} = \frac{(47 \text{ k}\Omega)}{2(269 \Omega)} = 87.4$$

la cual proporciona un voltaje ac de salida de magnitud

$$V_o = A_v V_i = (87.4)(2 \text{ mV}) = 174.8 \text{ mV} = \mathbf{0.175 \text{ V}}$$

GANANCIA DE VOLTAJE DE DOBLE TERMINAL

Podría usarse un análisis similar para mostrar que para la condición de señales aplicadas a ambas entradas, la magnitud de la ganancia de voltaje diferencial sería

$$\boxed{A_d = \frac{V_o}{V_d} = \frac{\beta R_C}{2r_i}} \quad (12.32)$$

donde $V_d = V_{i1} - V_{i2}$.

Operación en modo común del circuito

Mientras un amplificador diferencial proporciona una gran amplificación de la señal diferencial aplicada a ambas entradas, también debe proporcionar una pequeña amplificación de la señal común a ambas entradas. En la figura 12.44 se muestra una conexión ac que describe una entrada común para ambos transistores. El circuito equivalente se dibujó en la figura 12.45, a partir del cual podemos escribir

$$I_b = \frac{V_i - 2(\beta + 1)I_b R_E}{r_i}$$

pero puede escribirse también como

$$I_b = \frac{V_i}{r_i + 2(\beta + 1)R_E}$$

La magnitud del voltaje de salida es entonces

$$V_o = I_C R_C = \beta I_b R_C = \frac{\beta V_i R_C}{r_i + 2(\beta + 1)R_E}$$

proporcionando una ganancia de voltaje de magnitud de

$$A_c = \frac{V_o}{V_i} = \frac{\beta R_C}{r_i + 2(\beta + 1)R_E} \quad (12.33)$$

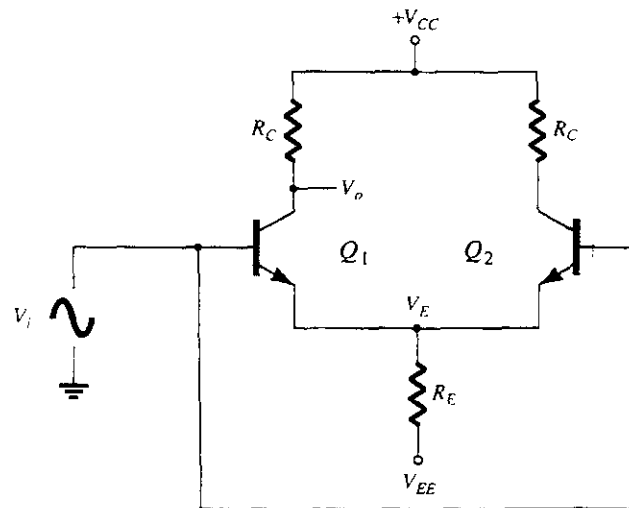


Figura 12.44 Conexión en modo común.

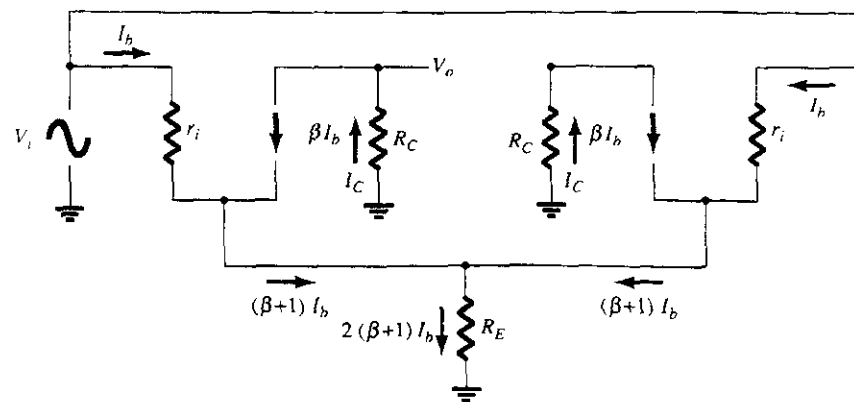


Figura 12.45 Circuito en ac en modo común.



Calcule la ganancia en modo común para el circuito amplificador de la figura 12.43.

EJEMPLO 12.20

Solución

$$\text{Ecuación (12.33): } A_c = \frac{V_o}{V_i} = \frac{\beta R_C}{r_i + 2(\beta + 1)R_E} = \frac{75(47 \text{ k}\Omega)}{20 \text{ k}\Omega + 2(76)(43 \text{ k}\Omega)} = 0.54$$

Uso de una fuente de corriente constante

Un buen amplificador diferencial tiene una ganancia diferencial muy grande, A_d , que es mucho mayor que la ganancia en modo común. La habilidad del rechazo en modo común del circuito puede mejorarse considerablemente, si se permite que la ganancia en modo común sea lo más pequeña posible (idealmente a 0). A partir de la ecuación (12.33) podemos ver que entre mayor sea R_E menor es A_c . Un método popular para incrementar el valor en ac de R_E es utilizando un circuito de fuente de corriente constante. La figura 12.46 muestra un amplificador diferencial con una fuente de corriente constante para proporcionar un gran valor de resistencia del emisor común a la tierra de ac. La principal mejora de este circuito sobre el de la figura 12.35 es la impedancia ac mucho más grande para R_E , que se obtuvo mediante el uso de la fuente de corriente constante. La figura 12.47 muestra el circuito ac equivalente para el circuito de la figura 12.46. Una fuente de corriente constante práctica se considera como una alta impedancia en paralelo con la corriente constante.

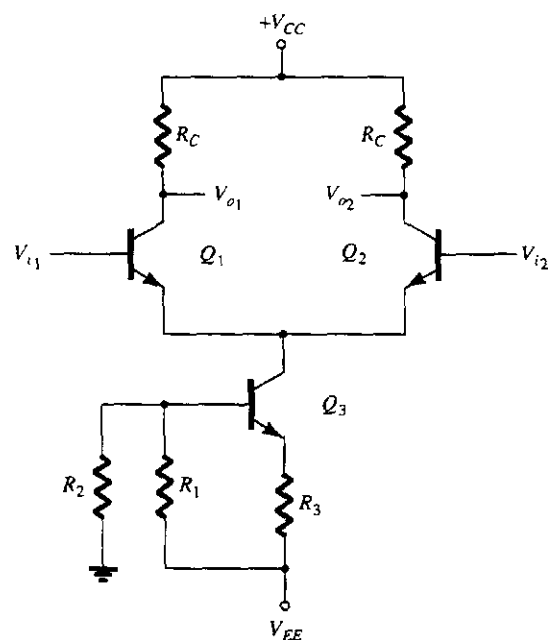


Figura 12.46 Amplificador diferencial con fuente de corriente constante.

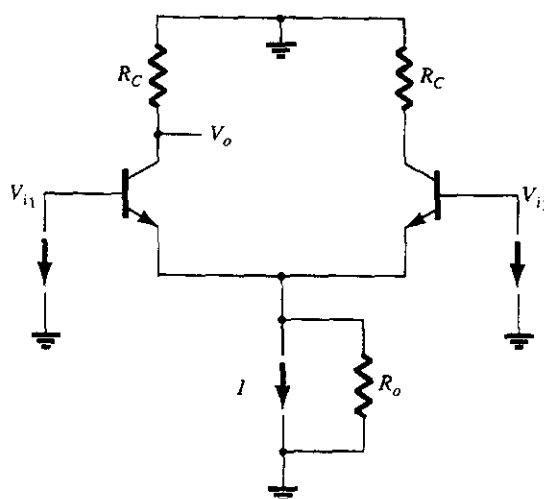


Figura 12.47 Equivalente en ac del circuito de la figura 12.46.

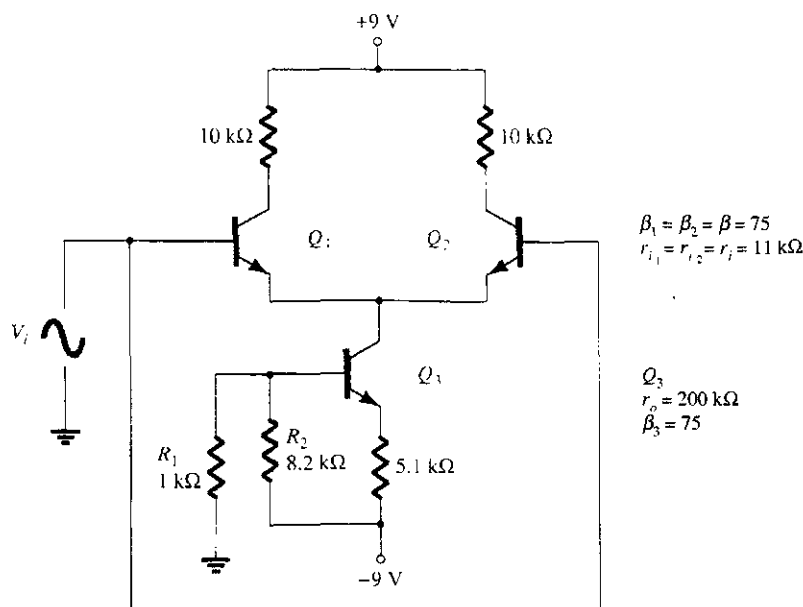


Figura 12.48 Circuito para el ejemplo 12.21.

Solución

Usando $R_E = r_o = 200\text{ k}\Omega$ da

$$A_c = \frac{\beta R_C}{r_i + 2(\beta + 1)R_E} = \frac{75(10\text{ k}\Omega)}{11\text{ k}\Omega + 2(76)(200\text{ k}\Omega)} = 24.7 \times 10^{-3}$$

12.10 CIRCUITOS DE AMPLIFICADOR DIFERENCIAL BiFET, BiMOS Y CMOS

Aunque la sección anterior proporcionó una introducción al amplificador diferencial utilizando dispositivos bipolares, las unidades que se encuentran disponibles en el mercado, también usan transistores JFET y MOSFET para construir estos tipos de circuitos. A una unidad de IC que contenga un amplificador diferencial usando transistores bipolares (Bi) y de unión de efecto de campo (FET) se le llama *circuito BiFET*. A una unidad fabricada utilizando transistores bipolares (Bi) y MOSFET (MOS) se le llama *circuito BiMOS*. Un circuito construido con transistores MOSFET de tipo opuesto es un *circuito CMOS*.

Los circuitos que se van a usar a continuación para poder mostrar los diversos circuitos de varios dispositivos son principalmente simbólicos, debido a que los circuitos reales utilizados en los IC son mucho más complejos. La figura 12.49 muestra un circuito BiFET con transistores JFET en las entradas y transistores bipolares para proporcionar la fuente de corriente (utilizando un circuito espejo de corriente). El espejo de corriente asegura que cada JFET está operado a la misma corriente de polarización. Para la operación en ac el JFET proporciona una alta impedancia de entrada (mucho mayor que la que se emplea cuando se usan solamente transistores bipolares).

La figura 12.50 muestra un circuito que utiliza transistores de entrada MOSFET y transistores bipolares para las fuentes de corriente, proporcionando con esto a la unidad BiMOS impedancias de entrada todavía más altas que la BiFET, debido al uso de transistores MOSFET.

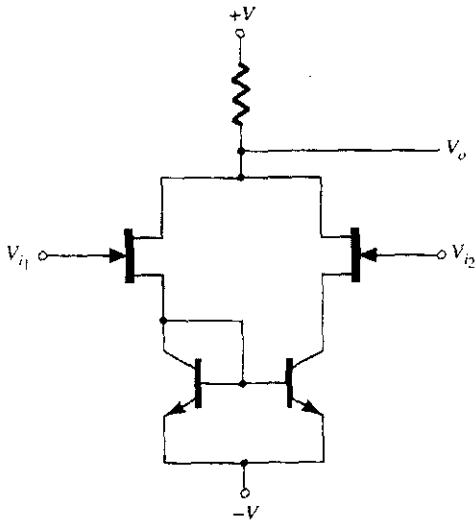


Figura 12.49 Circuito amplificador diferencial BiFET.

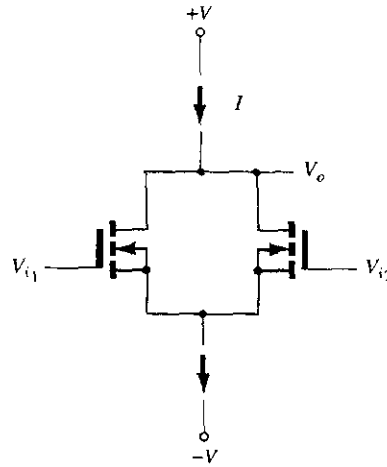


Figura 12.50 Circuito amplificador diferencial BiMOS.

Puede construirse un circuito de amplificador diferencial utilizando transistores MOSFET complementarios, como el que se describe en la figura 12.51. Los transistores *p*MOS proporcionan las entradas opuestas y los transistores *n*MOS operan como fuente de corriente constante. Se toma una sola salida del punto común entre los transistores *n*MOS y *p*MOS en un lado del circuito. Este tipo de amplificador diferencial CMOS está particularmente bien adecuado para la operación por baterías, debido a la baja disipación de potencia de un circuito CMOS.

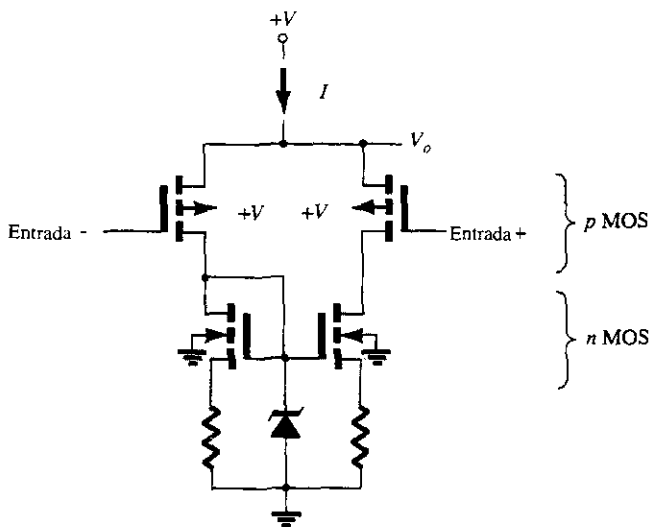


Figura 12.51 Amplificador diferencial CMOS.

12.11 ANÁLISIS POR COMPUTADORA

El análisis por computadora de diversos circuitos compuestos puede obtenerse con facilidad usando PSpice. Todavía debe describir el circuito individual, pero unos cuantos minutos son suficientes para producir un listado del circuito y los resultados deseados.



Se pueden usar varias líneas de PSpice para especificar los detalles del análisis en ac deseado.

Para especificar la señal ac de entrada:

```
VI  N1  N2  AC  VOLTAGE
```

p. ej.,

```
VI  1  2  AC  10MV  Vi = 10 mV (ac)
```

Para especificar la frecuencia de la señal de entrada:

```
.AC  LIN  NS  FS  FE
```

p. ej.,

```
.AC  LIN  1  10KH  10KH  (fi = 10 kHz)
```

Para especificar la salida: Habiendo solicitado el análisis en ac, se puede incluir una línea de impresión que liste los voltajes o corrientes del circuito deseados. La forma de la línea de impresión es

```
.PRINT AC VOLTAGE__LIST
```

p. ej.,

```
.PRINT AC V(1)  V(6)  I(RD)  V(3,4)
```

LÍNEAS DE MODELO

1. Para un dispositivo BJT la línea de modelo incluye la beta del dispositivo.

```
.MODEL  DEV_NAME  NPN  (BF = ____)
```

p. ej.,

```
.MODEL  TRAN1  NPN  (BF = 200)
```

2. Para un dispositivo JFET, la línea de modelo incluye V_p e I_{DSS} .

```
.MODEL  DEV_NAME  NJF  VTO = ____ BETA = ____
```

p. ej.,

```
.MODEL  FET3  NJF  VTO = -4  BETA = 0.625E-3
```

JFET canal n : $VTO = V_p = -4$ V, $BETA = I_{DSS}/V_p^2$, por lo que $I_{DSS} = 10$ mA

3. Para un MOSFET incremental, la línea del modelo incluye V_T .

```
.MODEL  DEV_NAME  PMOS o NMOS  (VTO = ____)
```

p. ej.,

```
.MODEL  MOSA  PMOS  (VTO = -2V)  pMOS con VT = -2 V
```

Programa 12.1. Amplificador a JFET en cascada

En la figura 12.52 se ofrece un listado PSpice para proporcionar el análisis del amplificador JFET en cascada de la figura 12.2. Véase la figura 12.53 para el circuito que muestra todos los puntos de nodo usados. Si observa el listado PSpice, primero se describe el voltaje de alimentación, los elementos de resistencia y los elementos capacitivos. Se añade una carga $R_L = 1$ M Ω para completar la trayectoria desde el capacitor de salida C_3 a la tierra. Se considera que los dos JFET tienen el mismo modelo, con los valores especificados de

$VTO = V_p = -4$ V, e $I_{DSS} = 10$ mA (a partir de $BETA = 0.625$ E-6)

Cascade JPET Amplifier

**** CIRCUIT DESCRIPTION

```
VDD 8 0 20V
RG1 2 0 3.3MEG
RD1 3 8 2.4K
RS1 4 0 680
CS1 4 0 100UF
C1 1 2 0.05UF
C2 3 5 0.05UF
RG2 5 0 3.3MEG
RD2 6 8 2.4K
RS2 7 0 680
CS2 7 0 100UF
C3 6 9 0.05UF
RL 9 0 1MEG
J1 3 2 4 NFET
J2 6 5 7 NFET
.MODEL NFET NJF VTO=-4V BETA=0.625E-3
VI 1 0 AC 10MV
.AC LIN 1 10KH 10KH
.OP
.PRINT AC V(1) V(3) V(6) V(9)
.OPTIONS NOPAGE
```

**** Junction FET MODEL PARAMETERS

```
NJF
VTO -4
BETA 625.000000E-06
```

```
**** SMALL SIGNAL BIAS SOLUTION TEMPERATURE = 27.000 DEG C
NODE VOLTAGE NODE VOLTAGE NODE VOLTAGE NODE VOLTAGE
( 1) 0.0000 ( 2) 50.28E-06 ( 3) 13.3270 ( 4) 1.8908
( 5) 50.28E-06 ( 6) 13.3270 ( 7) 1.8908 ( 8) 20.0000
( 9) 0.0000
```

```
VOLTAGE SOURCE CURRENTS
NAME CURRENT
VDD -5.561E-03
TOTAL POWER DISSIPATION 1.11E-01 WATTS
```

**** OPERATING POINT INFORMATION **** JFETS

```
NAME J1 J2
MODEL NFET NFET
ID 2.78E-03 2.78E-03
VGS -1.89E+00 -1.89E+00
VDS 1.14E+01 1.14E+01
GM 2.64E-03 2.64E-03
```

**** AC ANALYSIS TEMPERATURE = 27.000 DEG C

```
FREQ V(1) V(3) V(6) V(9)
1.000E+04 1.000E-02 6.323E-02 3.992E-01 3.992E-01
```

Figura 12.52 Salida del PSpice para el circuito de la figura 12.53.

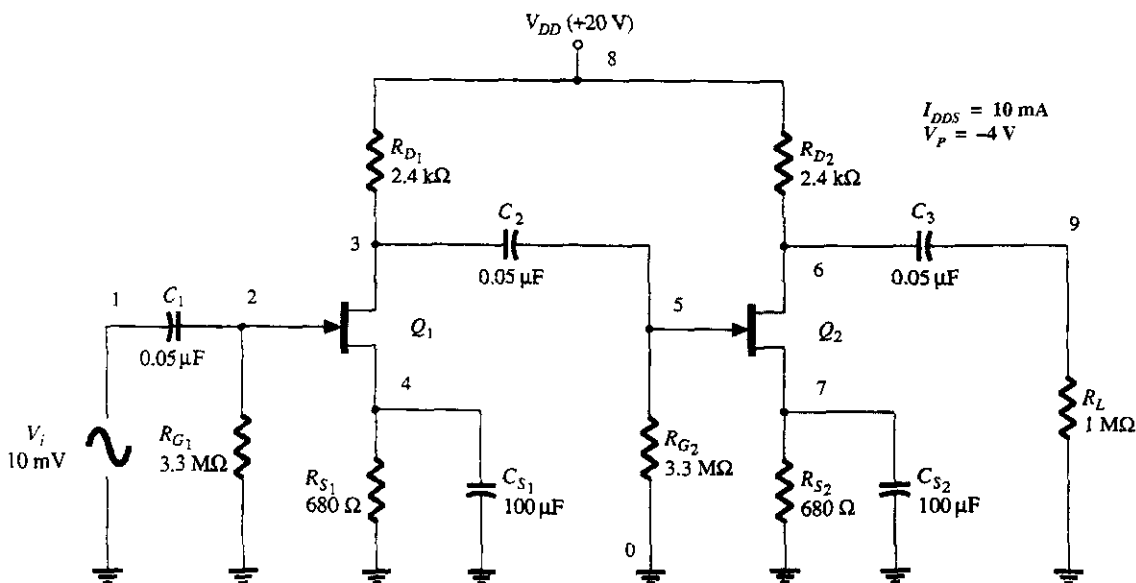


Figura 12.53 Circuito para el programa 1 de PSpice.



La señal de entrada es $V_i = 10 \text{ mV}$ a $f = 10 \text{ kHz}$. La línea .OP pide la salida de la información del punto de operación, los valores de polarización y los parámetros de operación del transistor. La salida también proporciona el listado de los voltajes en las entradas y salidas de cada etapa. A continuación se facilita un resumen de los resultados obtenidos.

Resultados de polarización dc (para cada transistor):

$$V_G \approx 0 \text{ V}, \quad V_D \approx 13.3 \text{ V}, \quad V_S \approx 1.9 \text{ V}$$

Parámetros JFET (para cada transistor):

$$I_{DQ} = 2.78 \text{ mA}, \quad V_{GSQ} = -1.89 \text{ V}, \quad g_m = 2.64 \text{ mS} \quad (g_m = 2.6 \text{ mS en el ejemplo 12.1})$$

Resultados ac:

$$A_{v_1} = \frac{V(3)}{V(1)} = \frac{6.323 \times 10^{-2}}{1 \times 10^{-2}} = 6.3 \quad (-6.2 \text{ en el ejemplo 12.1})$$

$$A_{v_2} = \frac{V(6)}{V(3)} = \frac{3.992 \times 10^{-1}}{6.323 \times 10^{-2}} = 6.3 \quad (-6.2 \text{ en el ejemplo 12.1})$$

$$V_o = V(9) = 3.992 \times 10^{-1} = 399 \text{ mV} \quad (V_o = 384 \text{ mV en el ejemplo 12.1})$$

La ganancia de voltaje ac y el voltaje ac de salida que se obtuvieron en el ejemplo 12.1, y los cálculos utilizando PSpice se comparan muy bien. Recuerde que PSpice usa un modelo más sofisticado que el del ejemplo 12.1; y que todos los pasos en PSpice se ejecutan con más cifras decimales, haciendo que los resultados sean un poco diferentes.

Análisis con el centro de diseño PSpice para Windows

El circuito de la figura 12.53 puede dibujarse usando el programa para Windows Schematics de MicroSim. A continuación se presenta una breve descripción para el dibujo del circuito que se muestra en la figura 12.54:

1. Obtenga la parte J2N3819 de la biblioteca eval.slb.
Edit, Model: Edit Instance Model
cambie Beta = 0.625E-3 y
cambie Vto = -4.
Copie y pegue el segundo JFET en el esquema.
2. Obtenga la parte R de la biblioteca analog.slb.
Ponga el valor y nombre de las diversas resistencias conforme se requiera.
3. Obtenga la parte C de la biblioteca analog.slb.
Ponga el valor y nombre de los diversos capacitores conforme se requiera.
4. Obtenga la parte VSRC de la biblioteca source.slb para la fuente de alimentación de dc (usando Ver. 6.0) o batería (usando Ver. 6.1 o posterior).
Haga Name(V_{SS}) y Value(+20 V).
5. Obtenga la parte VSIN de la biblioteca source.slb.
Ponga VAMPL = 10 mV y FREQ = 10 kHz.
6. Obtenga la parte VIEWPOINT de la biblioteca special.slb y póngala en las terminales de fuente y drenaje de ambos transistores.
7. Obtenga la parte VPRINT1 de la biblioteca special.slb y póngala en la entrada, en ambos drenajes y en la salida.
Haga doble "click" en cada objeto y ponga TRAN = ok y MAG = ok para que ambos conceptos queden seleccionados para ser desplegados.



Ejecute una simulación para obtener el archivo de salida FIG12-54.OUT. En la figura 12.55 se proporciona una versión editada. Compare los valores de polarización usando el esquema con los de la figura 12.52 obtenidos cuando se utiliza la versión de DOS de PSpice (Ver. 6.0). Compare también las magnitudes de la señal localizadas mediante el uso de ambos métodos. Los resultados se comparan bien.

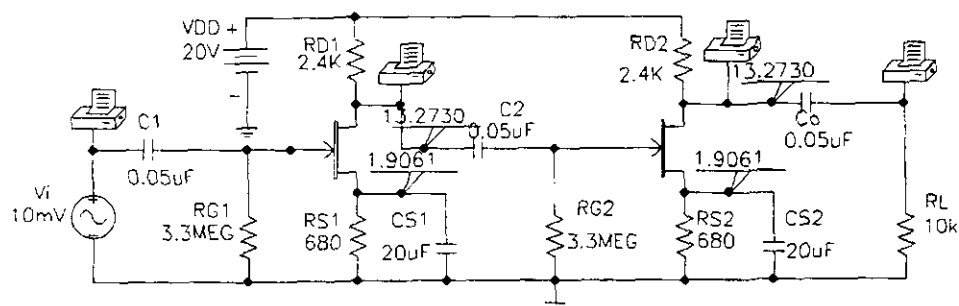


Figura 12.54 Circuito del centro de diseño para analizar un amplificador JFET de dos etapas.

```

****  CIRCUIT DESCRIPTION
*****
R_RD1      SN_0002 SN_0001 2.4K
R_RS1      0 SN_0003 680
R_RG1      0 SN_0004 3.3MEG
R_RL       0 SN_0005 10k
C_C1       SN_0006 SN_0004 0.05uF
C_CS1      0 SN_0003 20uF
R_RD2      SN_0007 SN_0001 2.4K
R_RS2      0 SN_0008 680
R_RG2      0 SN_0009 3.3MEG
C_C2       SN_0002 SN_0009 0.05uF
C_CS2      0 SN_0008 20uF
C_CO       SN_0007 SN_0005 0.05uF
J_J2       SN_0002 SN_0004 SN_0003 J2N3819-X
J_J3       SN_0007 SN_0009 SN_0008 J2N3819-X
V_VDD      SN_0001 0 20V
V_VI       SN_0006 0 DC 0 AC 10mV SIN 0 10mV 10KHz 0 0 0
.PRINT     AC VM([SN_0005]) VM([SN_0006]) VM([SN_0002]) VM([SN_0007])
****  Junction FET MODEL PARAMETERS
*****
          J2N3819-X
          NJF
          VTO    -4
          BETA   625.000000E-06

****  SMALL SIGNAL BIAS SOLUTION
*****
NODE      VOLTAGE      NODE      VOLTAGE
{SN_0001} 20.0000      {SN_0002} 13.2730
{SN_0003} 1.9061      {SN_0004} 167.9E-06
{SN_0005} 0.0000      {SN_0006} 0.0000
{SN_0007} 13.2730      {SN_0008} 1.9061
{SN_0009} 167.9E-06

****  AC ANALYSIS
*****
FREQ      VM([SN_0005]) VM([SN_0006]) VM([SN_0002]) VM([SN_0007])
1.000E+04 3.200E-01    1.000E-02    6.318E-02    3.231E-01

```

Figura 12.55 Listado de salida del circuito de la figura 12.54 (editado).

Programa 12.2. Amplificador BJT en cascada

El amplificador BJT en cascada del ejemplo 12.2 se analiza por el listado PSpice de la figura 12.56 (el circuito se muestra en la figura 12.57). El modelo BJT se proporciona para transistores idénticos

```
.MODEL BJT NPN (BF = 200 IS = 7E - 15)
```



Cascaded BJT Amplifier

**** CIRCUIT DESCRIPTION

```
VCC 8 0 20V
R1 8 2 15K
R2 2 0 4.7K
RC1 8 3 2.2K
RE1 4 0 1K
R3 8 5 15K
R4 5 0 4.7K
RC2 8 6 2.2K
RE2 7 0 1K
RL 9 0 1MEG
Q1 3 2 4 BJT
Q2 6 5 7 BJT
C1 1 2 10UF
C2 3 5 10UF
C3 6 9 10UF
CS1 4 0 500UF
CS2 7 0 500UF
VI 1 0 AC 25UV
.MODEL BJT NPN(BF=200 IS=7E-15)
.AC LIN 1 1KH 1KH
.PRINT AC V(1) V(3) V(6) V(9)
.OPTIONS NOPAGE
```

**** BJT MODEL PARAMETERS

```
BJT
NPN
IS 7.000000E-15
BF 200
NF 1
BR 1
NR 1
```

**** SMALL SIGNAL BIAS SOLUTION

TEMPERATURE = 27.000 DEG C	
NODE	VOLTAGE
(1)	0.0000
(5)	4.7004
(9)	0.0000

VOLTAGE SOURCE CURRENTS

NAME	CURRENT
VCC	-1.000E-02
VI	0.000E+00
TOTAL POWER DISSIPATION 2.00E-01 WATTS	

**** AC ANALYSIS

TEMPERATURE = 27.000 DEG C				
FREQ	V(1)	V(3)	V(6)	V(9)
1.000E+03	2.500E-05	2.558E-03	8.625E-01	8.625E-01

Figura 12.56 Salida PSpice para el circuito de la figura 12.57.

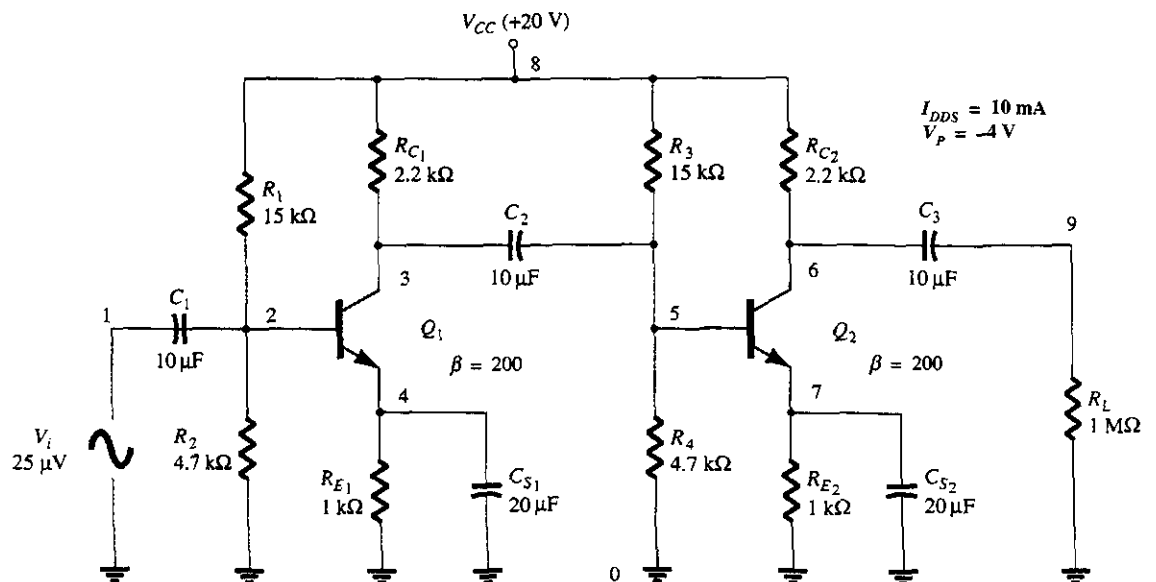


Figura 12.57 Circuito para el programa 2 de PSpice.



donde $\beta = 200$ e $I_S = 7 \times 10^{-7}$ causan $V_{BE} = 0.7$ V en el modelo PSpice. La señal de entrada es

$$V_i = 25 \mu\text{V}, \text{ a una frecuencia de } 1 \text{ kHz } [.AC \text{ LIN } 1 \text{ KHZ } 1\text{KH}]$$

A continuación se proporciona un resumen de los resultados obtenidos.

Polarización dc (cada transistor):

$$V_{B_Q} = 4.7 \text{ V}, \quad V_{E_Q} = 4.0 \text{ V}, \quad V_{C_Q} = 11.2 \text{ V}$$

Parámetros BJT (cada transistor):

$$I_B = 19.9 \mu\text{A}$$

$$I_C = 3.98 \text{ mA} \quad (\beta = I_C/I_B = 3.98 \text{ mA}/19.9 \mu\text{A} = 200)$$

$$V_{BE} = 0.7 \text{ V}$$

Resultados de ac:

$$\begin{aligned} A_{v_1} &= \frac{V_{o_1}}{V_{i_1}} = \frac{V(3)}{V(1)} = \frac{2.558 \times 10^{-3}}{2.5 \times 10^{-5}} \\ &= 102.3 \quad (-102.3 \text{ en el ejemplo 12.2}) \end{aligned}$$

$$\begin{aligned} A_{v_2} &= \frac{V_{o_2}}{V_{i_2}} = \frac{V(6)}{V(3)} = \frac{8.625 \times 10^{-4}}{2.558 \times 10^{-5}} \\ &= 337.2 \quad (-338.46 \text{ en el ejemplo 12.2}) \end{aligned}$$

Otra comparación de los resultados que se obtuvieron con los dos métodos con los que se puede hacer, involucra a r_e a partir del listado PSpice

$$\text{RPI} = 1.3 \times 10^3 = 1.3 \text{ k}\Omega$$

Esta es la impedancia de entrada viendo hacia la base del BJT. Debido a que

$$\text{RPI} \approx r_i = \beta r_e$$

podemos escribir

$$r_e = \frac{r_i}{\beta} = \frac{1.3 \times 10^3}{200} = 6.5 \Omega$$

Análisis con el centro de diseño PSpice para Windows

El circuito de la figura 12.57 puede dibujarse utilizando el programa para Windows Schematics de MicroSim. A continuación presentamos una breve descripción para dibujar el circuito que se muestra en la figura 12.58.

1. Obtenga la parte Q2N3904 de la biblioteca eval.slb.
Edit, Model: Edit Instance Model
cambie Beta = 200
cambie Is = 100E-15
Copie y pegue el segundo BJT en el esquema.
2. Obtenga la parte R de la biblioteca analog.slb.
Ponga el valor y nombre de los diversos resistores como se requiera.
3. Obtenga la parte C de la biblioteca analog.slb.
Ponga el valor y nombre de los diversos capacitores como se requiera.

4. Obtenga la parte VSRC de la biblioteca source.slb para la fuente de alimentación de dc (usando la Ver. 6.0) o la batería (utilizando la Ver. 6.1 o posterior). Ponga Name(Vcc) y Value(+20 V).
5. Obtenga la parte VSIN de la biblioteca source.slb. Ponga VAMPL = 25 uV y FREQ = 1 kHz.
6. Obtenga la parte VIEWPOINT de la biblioteca special.slb y colóquela en las terminales de fuente y drenaje de ambos transistores.
7. Encuentre la parte VPRINT1 de la biblioteca special.slb y colóquela en la entrada, en la base del segundo BJT y en la salida. Haga doble "click" en cada objeto y ponga TRAN = ok y MAG = ok, para que ambos conceptos estén seleccionados para desplegarlos.

Ejecute una simulación para obtener el archivo de salida FIG12-59.OUT. En la figura 12.59 se proporciona una versión editada. Compare los valores de polarización que se obtuvieron gracias al uso del esquema y a los de la figura 12.57, utilizando la versión del DOS de PSpice (Ver. 6.0). Compare también las magnitudes de señal que se encontraron usando ambos métodos. Los resultados se comparan bien.

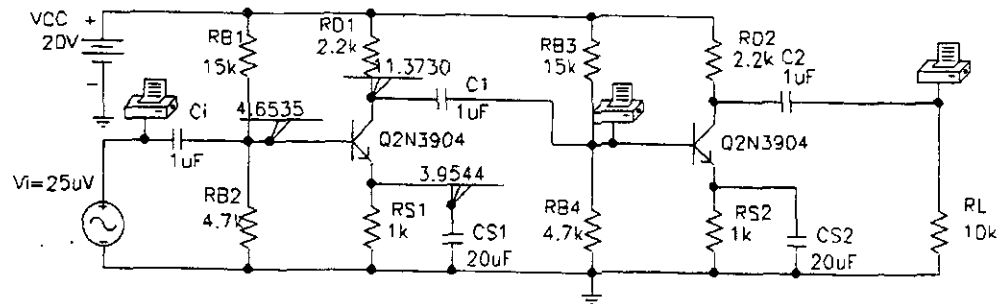


Figura 12.58 Circuito del centro de diseño para analizar un amplificador BJT de dos etapas.

```

****      CIRCUIT DESCRIPTION
****      Cascaded BJT Amplifier
*****
Q_Q1      $N_0002 $N_0001 $N_0003 Q2N3904-X
R_RD1     $N_0004 $N_0002 2.2k
R_RS1     $N_0003 0 1k
R_RB1     $N_0004 $N_0001 15k
R_RB2     $N_0001 0 4.7k
C_CS1     $N_0003 0 20uF
C_C1      $N_0002 $N_0005 1uF
C_Ci      $N_0006 $N_0001 1uF
V_+20     $N_0004 0 DC 20
Q_Q2      $N_0007 $N_0005 $N_0008 Q2N3904-X
R_RD2     $N_0004 $N_0007 2.2k
R_RS2     $N_0008 0 1k
R_RB3     $N_0004 $N_0005 15k
R_RB4     $N_0005 0 4.7k
C_CS2     $N_0008 0 20uF
C_C2      $N_0007 $N_0009 1uF
R_RL      $N_0009 0 10k
V_Vi      $N_0006 0 DC 0 AC 25uV
+VIN 0 25uV 1kHz 0 0 0
.PRINT    AC VM({$N_0009}) VM({$N_0006}) VM({$N_0005})

*****
***
NODE      VOLTAGE      NODE      VOLTAGE
($N_0001) 4.6520      ($N_0002) 11.3790
($N_0003) 3.9519      ($N_0004) 20.0000
($N_0005) 4.6520      ($N_0006) 0.0000
($N_0007) 11.3790      ($N_0008) 3.9519
($N_0009) 0.0000

****      AC ANALYSIS      TEMPERATURE = 27.000 DEG C
*****
FREQ      VM($N_0009) VM($N_0006) VM($N_0005)
1.000E+03 2.367E-01 2.500E-05 1.460E-03

```

Figura 12.59 El listado Fig. 12-58. OUT (editado).



Programa 12.3. Circuito Darlington

El circuito Darlington de la figura 12.12 se analiza mediante el programa PSpice de la figura 12.60. (Véase también la figura 12.61.) Dos dispositivos BJT idénticos están conectados como un dispositivo Darlington. Se usa un valor de $BF \approx 89.4$, por lo que

$$\beta^2 = (89.4)^2 = 7992 \approx 8000$$

```
Darlington Amplifier
****  CIRCUIT DESCRIPTION
*****
VCC 6 0 18V
RB 6 2 3.3MEG
C1 1 2 0.5UF
RE 4 0 390
C2 4 5 0.5UF
RL 5 0 1MEG
Q1 6 2 3 BJT
Q2 6 3 4 BJT
.MODEL BJT NPN(BF=89.4)
VI 1 0 AC 100MV
.AC LIN 1 10KH 10KH
.PRINT AC V(1) V(4) V(5)
.OPTIONS NOPAGE
.END

****  BJT MODEL PARAMETERS
      NPN
      IS 100.000000E-18
      BF 89.4
      NF 1
      BR 1
      NR 1

****  SMALL SIGNAL BIAS SOLUTION      TEMPERATURE = 27.000 DEG C
NODE VOLTAGE      NODE VOLTAGE      NODE VOLTAGE      NODE VOLTAGE
( 1) 0.0000 ( 2) 9.6513 ( 3) 8.9155 ( 4) 8.0632
( 5) 0.0000 ( 6) 18.0000

VOLTAGE SOURCE CURRENTS
NAME      CURRENT
VCC      -2.068E-02

TOTAL POWER DISSIPATION 3.72E-01 WATTS

****  AC ANALYSIS      TEMPERATURE = 27.000 DEG C
FREQ      V(1)      V(4)      V(5)
1.000E+04 1.000E-01 9.936E-02 9.936E-02
```

Figura 12.60 Salida PSpice para el circuito de la figura 12.61.

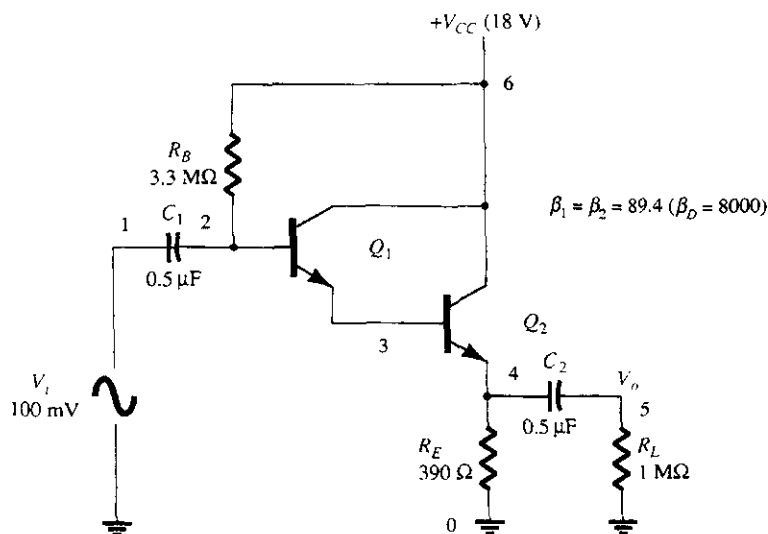


Figura 12.61 Circuito para el programa 3 de PSpice.



Polarización:

$$V_{B_1} = V(2) = 9.65 \text{ V}$$

$$V_{E_2} = V(4) = 8.06 \text{ V}$$

proporcionando V_{BE} (Darlington) = 1.59 V

Parámetros del transistor:

$$I_{B_1} = 2.53 \mu\text{A}, \quad I_{C_1} = 0.23 \text{ mA} \quad (\beta_1 = 0.23 \text{ mA}/2.53 \mu\text{A} = 90.9)$$

$$I_{B_2} = 229 \mu\text{A}, \quad I_{C_2} = 20.4 \text{ mA} \quad (\beta_2 = 20.4 \text{ mA}/229 \mu\text{A} = 89.1)$$

para una beta Darlington de

$$\beta_D = \beta_1 \beta_2 = (90.9)(89.1) \approx 8100$$

Es difícil forzar el modelo de transistor PSpice para que coincida exactamente con el modelo de transistor ideal usado en la figura 12.12. Observe que los resultados de PSpice proporcionan

$$V_{BE_1} = 0.736 \text{ V}, \quad V_{BE_2} = 0.852 \text{ V}$$

mientras que el modelo utilizado en la figura 12.12 especifica $V_{BE}(D) = 1.6 \text{ V}$ (casi lo mismo que $0.736 \text{ V} + 0.852 \text{ V}$).

Operación en ac: para una entrada de $V_i = 100 \text{ mV}$, la salida en el listado del PSpice es

$$V_o = V(5) = 9.936\text{E-}2 = 99.36 \text{ mV}$$

proporcionando una ganancia de amplificador de

$$A_v = \frac{V_o}{V_i} = \frac{V(5)}{V(1)} = \frac{9.936 \times 10^{-2}}{1 \times 10^{-1}} = 0.9936$$

en tanto que los resultados del ejemplo 12.10 ofrecen $A_v \approx 0.998$, que está bastante cerca.

Programa 12.4. Circuito inversor CMOS

En la figura 12.62 se analiza un circuito inversor CMOS en el listado (véase también la figura 12.63). Un MOSFET incremental de canal p , M1, y un MOSFET incremental de canal n , M2, son operados como un circuito inversor CMOS. Con una entrada que varía desde un valor de

```
CMOS Inverter Circuit
****      CIRCUIT DESCRIPTION
*****
VDD 5 0 5V
M1 5 1 2 5 PM
M2 2 1 0 0 NM
.MODEL PM PMOS (VTO=-2V)
.MODEL NM NMOS (VTO=2V)
VI 1 0 5V
.DC VI 0 5 5
.PRINT DC V(2)
.OPTIONS NOPAGE
.END

****      MOSFET MODEL PARAMETERS
              PM              NM
              PMOS            NMOS
              VTO              2
              KP  20.000000E-06  20.000000E-06

****      DC TRANSFER CURVES
              VI              V(2)
              0.000E+00      5.000E+00
              5.000E+00      8.350E-08
```

Figura 12.62 Salida PSpice para el circuito de la figura 12.63.

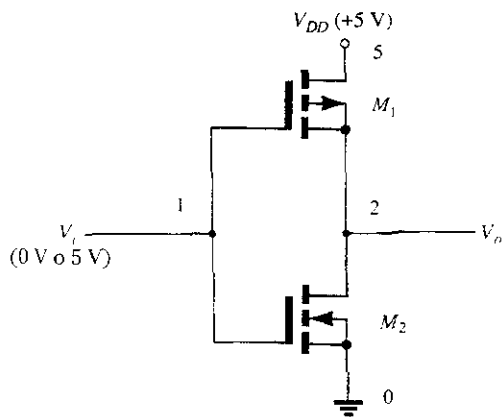


Figura 12.63 Circuito para el programa 4 de PSpice.

de 0 V a un valor dc de +5 V. el voltaje de salida calculado se lista con el programa PSpice. Esta variación de voltaje de entrada la proporciona la línea

.DC VI 0 5 5

que varía VI desde 0 a 5 V con un valor final de 5 V. El listado ofrece los datos de salida

VI = 0 V V(2) = 5 V

VI = 5 V V(2) = 0 V

se demuestra que el circuito opera como un inversor lógico, ya que proporciona el voltaje de salida opuesto.

§ 12.2 Conexión en cascada

PROBLEMAS

1. Para el amplificador en cascada JFET de la figura 12.64, calcule las condiciones de polarización dc para las dos etapas idénticas, usando JFET con $I_{DSS} = 8 \text{ mA}$ y $V_p = -4.5 \text{ V}$.

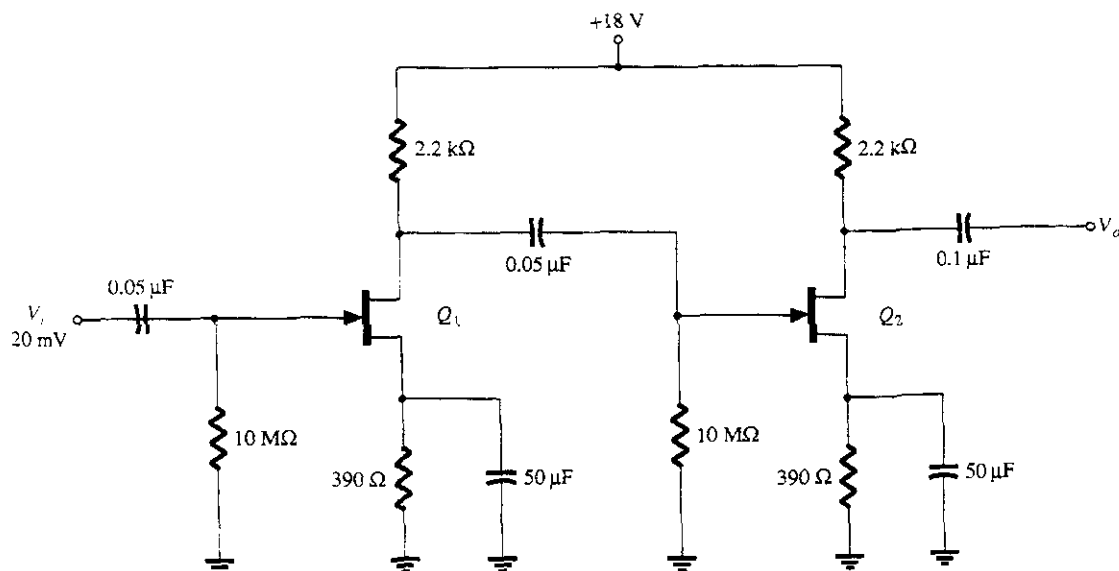


Figura 12.64 Problemas 1-5, 30-31.

2. Para el amplificador en cascada JFET de la figura 12.64, utilizando JFET idénticos con $I_{DSS} = 8 \text{ mA}$ y $V_p = -4.5 \text{ V}$, calcule la ganancia de voltaje en cada etapa, la ganancia general del amplificador y el voltaje de salida V_o .

- Si ambos JFET del amplificador en cascada de la figura 12.64 son cambiados por otros que tengan las especificaciones $I_{DSS} = 12 \text{ mA}$ y $V_p = -3 \text{ V}$, calcule la polarización resultante de cada etapa.
- Si ambos JFET del amplificador en cascada de la figura 12.64 son cambiados por otros que tengan las especificaciones $I_{DSS} = 12 \text{ mA}$ y $V_p = -3 \text{ V}$ y $y_{os} = 25 \mu\text{S}$, calcule la ganancia de voltaje resultante para cada etapa, la ganancia de voltaje general y el voltaje de salida V_o .
- Para el amplificador en cascada de la figura 12.64, utilizando JFET con especificaciones $I_{DSS} = 12 \text{ mA}$ y $V_p = -3 \text{ V}$ y $y_{os} = 25 \mu\text{S}$, calcule la impedancia de entrada (Z_i) y la impedancia de salida (Z_o).
- Para el amplificador en cascada BJT de la figura 12.65, calcule los voltajes de polarización dc y la corriente de colector para cada etapa.

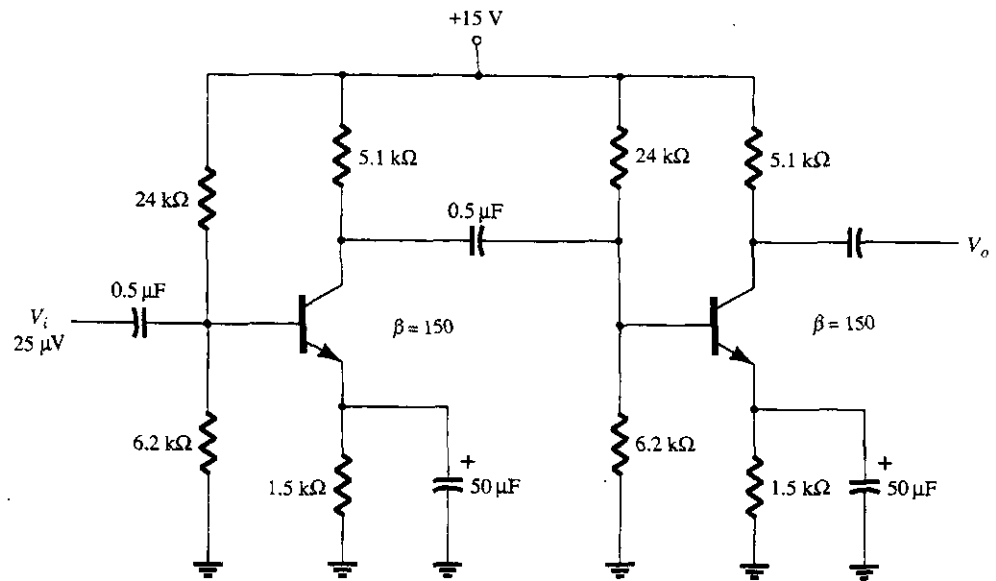


Figura 12.65 Problemas 6-8, 32.

- Calcule la ganancia de voltaje de cada etapa y la ganancia de voltaje en ac total para el circuito amplificador en cascada BJT de la figura 12.65.
- Para el circuito de la figura 12.65 calcule la impedancia de entrada (Z_i) y la impedancia de salida (Z_o).
- Para el amplificador en cascada de la figura 12.66 deduzca los voltajes de polarización y la corriente de colector de cada etapa.

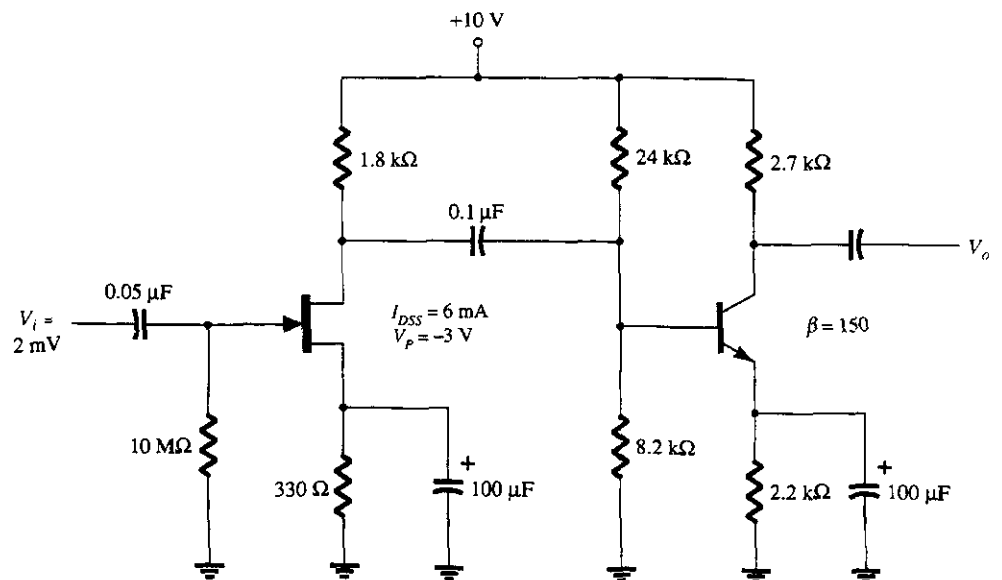


Figura 12.66 Problemas 9-11.

10. Para el circuito de amplificador de la figura 12.66, calcule la ganancia de voltaje de cada etapa y la ganancia de voltaje general del amplificador.
11. Calcule la impedancia de entrada (Z_i) y la impedancia de salida (Z_o) para el circuito amplificador de la figura 12.66.

§ 12.3 Conexión cascode

12. En el circuito amplificador cascode de la figura 12.67, calcule los voltajes de polarización V_{B_1} , V_{B_2} y V_{C_2} .

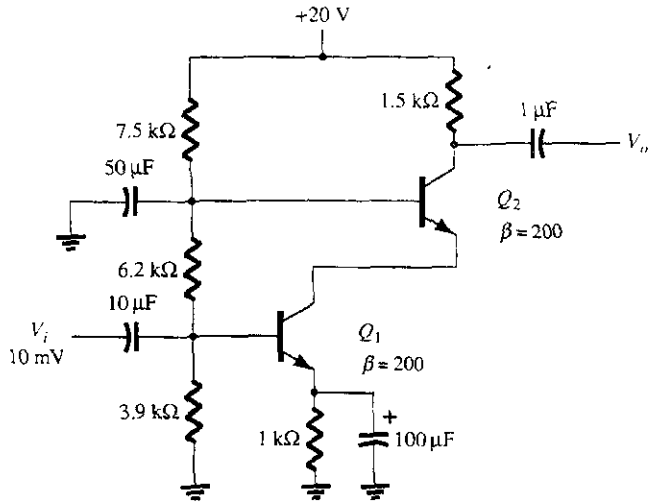


Figura 12.67 Problemas 12-14.

- * 13. Para el circuito del amplificador cascode de la figura 12.67, deduzca la ganancia de voltaje, A_v , y el voltaje de salida, V_o .
14. Calcule el voltaje de ac a través de una carga de $10 \text{ k}\Omega$ conectada a la salida del circuito de la figura 12.67.

§ 12.4 Conexión Darlington

15. Para el circuito de la figura 12.68, calcule el voltaje de polarización dc, V_{E_2} , y la corriente de emisor, I_{E_2} .

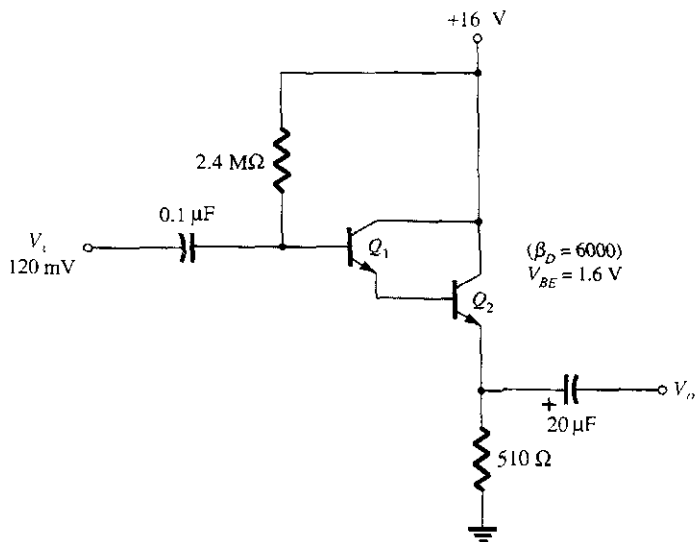


Figura 12.68 Problemas 15-16, 33.

- * 16. Para el circuito de la figura 12.68, calcule la ganancia de voltaje del amplificador.

§ 12.5 Par retroalimentado

17. Para el circuito del par retroalimentado de la figura 12.69, calcule los valores de polarización de V_{B1} , V_{C2} e I_{C2} .

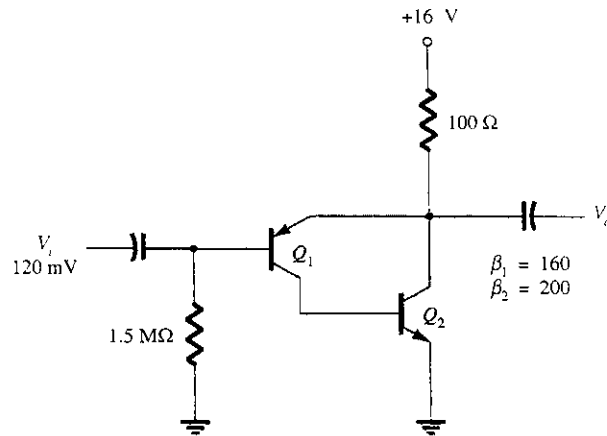


Figura 12.69 Problemas 17-18.

- * 18. Calcule el voltaje de salida para el circuito de la figura 12.69.

§ 12.6 Circuito CMOS

19. Determine cuáles transistores están apagados y cuáles están encendidos en el circuito de la figura 12.70 para una entrada de:
- $V_1 = 0 \text{ V}$, $V_2 = 0 \text{ V}$.
 - $V_1 = +5 \text{ V}$, $V_2 = +5 \text{ V}$.
 - $V_1 = 0 \text{ V}$, $V_2 = +5 \text{ V}$.

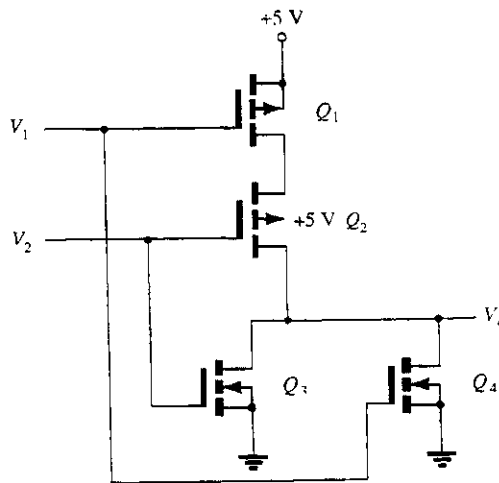


Figura 12.70 Problemas 19-20, 34.

20. Para el circuito de la figura 12.70, complete la tabla de voltajes a continuación.

V_1	V_2	V_o
0 V	0 V	
0 V	+5 V	
+5 V	0 V	
+5 V	+5 V	



§ 12.7 Circuitos de fuente de corriente

21. Calcule la corriente a través de la carga de $2\text{ k}\Omega$ en el circuito de la figura 12.71.
 22. Para el circuito de la figura 12.72, calcule la corriente I .
 * 23. Calcule la corriente I del circuito de la figura 12.73.

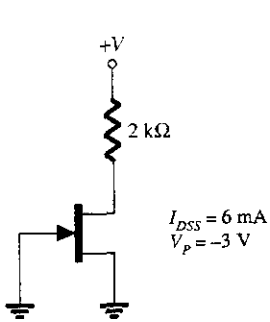


Figura 12.71 Problema 21.

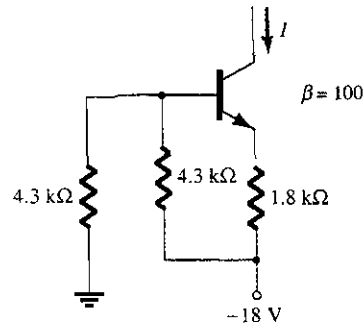


Figura 12.72 Problema 22.

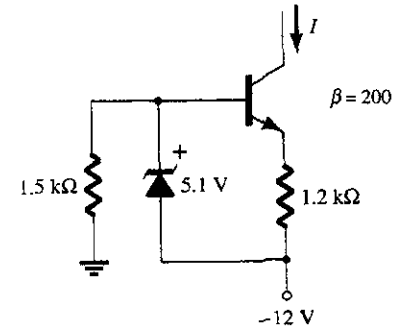


Figura 12.73 Problema 23.

§ 12.8 Espejo de corriente

24. Calcule la corriente reflejada I en el circuito de la figura 12.74.
 * 25. Calcule las corrientes de colector para Q_1 y Q_2 en la figura 12.75.

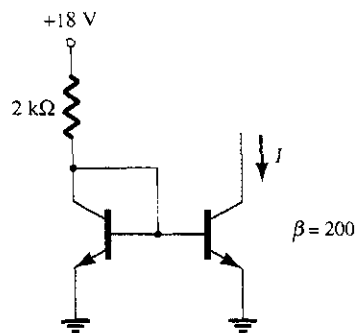


Figura 12.74 Problema 24.

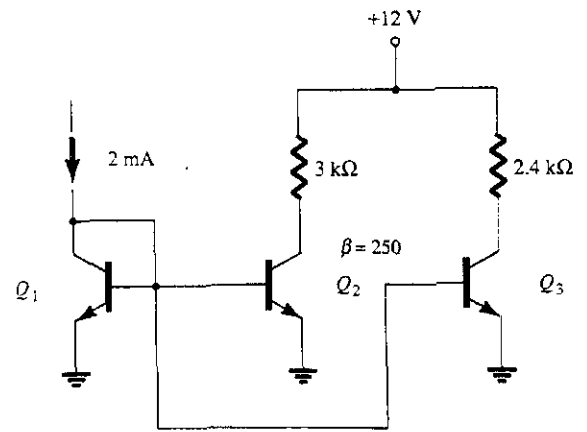


Figura 12.75 Problema 25.

§ 12.9 Circuito de amplificador diferencial

26. Calcule los valores de polarización de I_C y V_C para los transistores pareados de la figura 12.76.

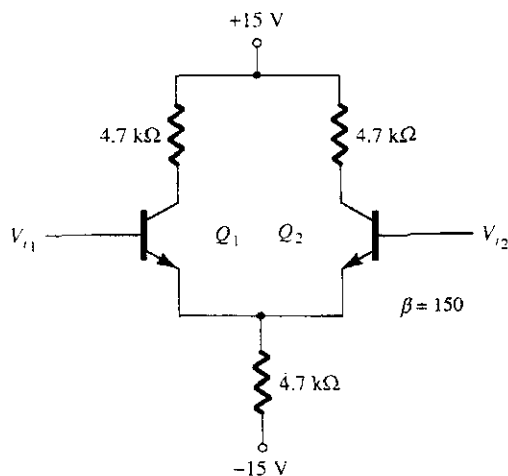


Figura 12.76 Problema 26.

27. Haga un cálculo de los valores de polarización dc de I_C y V_C para los transistores pareados de la figura 12.77.

* 28. Calcule V_o en el circuito de la figura 12.78.

* 29. Realice un cálculo de V_o en el circuito de la figura 12.79.

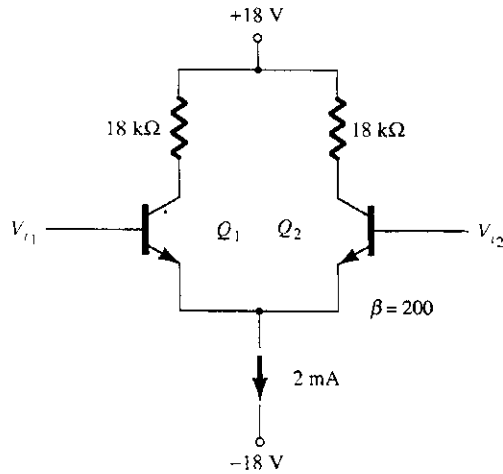


Figura 12.77 Problema 27.

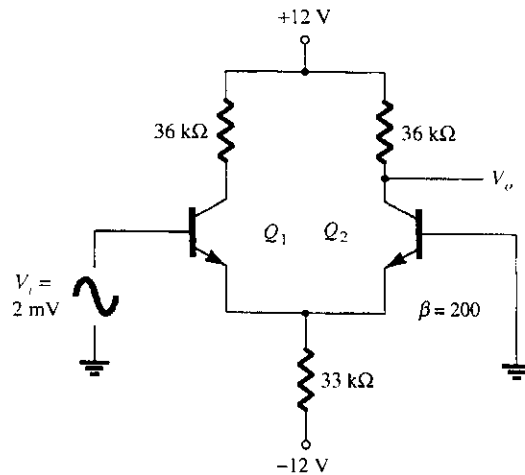


Figura 12.78 Problema 28.

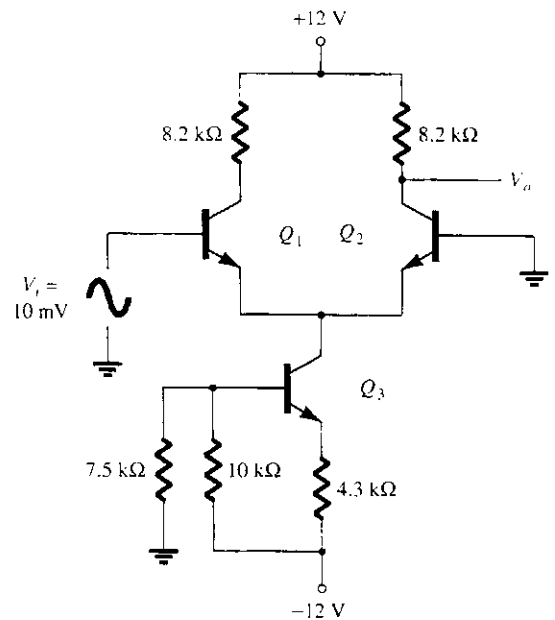


Figura 12.79 Problema 29.

§ 12.11 Análisis por computadora

- * 30. Escriba un programa PSpice para calcular el voltaje de polarización del amplificador JFET en cascada de la figura 12.64, usando $I_{DSS} = 12$ mA y $V_p = -3$ V.
- * 31. Escriba un programa PSpice para calcular el voltaje de salida, V_o , para el circuito JFET en cascada de la figura 12.64, empleando $I_{DSS} = 12$ mA, $V_p = -3$ V y $y_{os} = 25$ μ S.
- * 32. Escriba un programa PSpice para calcular el voltaje de salida de cada etapa del amplificador a BJT en cascada de la figura 12.65.
- * 33. Escriba un programa PSpice para calcular la información del punto de operación del transistor y el voltaje de salida para el circuito amplificador Darlington de la figura 12.68.
- * 34. Escriba un programa PSpice para listar los voltajes de dc para los siguientes juegos de entradas para el circuito CMOS de la figura 12.70.
 - a) $V_1 = 0$ V, $V_2 = 0$ V.
 - b) $V_1 = 0$ V y $V_2 = +5$ V.
 - c) $V_1 = +5$ V, $V_2 = +5$ V.

*El asterisco indica problemas más difíciles.

Técnicas de fabricación de circuitos discretos e integrados

13



13.1 INTRODUCCIÓN

Las técnicas aplicadas a la fabricación de dispositivos semiconductores están siendo continuamente revisadas, modificadas y mejoradas. En años recientes, se ha hecho énfasis principalmente en aumentar la *tasa de rendimiento* (cantidad de elementos buenos en un lote), expandir los niveles de automatización (menor necesidad de mano de obra) y aumentar los niveles de densidad. La secuencia de pasos para la fabricación de unidades *discretas* (elementos solos) o *circuitos integrados* (IC) (microcircuitos de alta densidad con millones de elementos) no ha cambiado dramáticamente. Sin embargo, la forma de hacer cada paso ha experimentado un cambio radical en la última década.

Este capítulo está diseñado simplemente para desarrollar una imagen general del ciclo de producción para los circuitos discretos e integrados (IC); presenta algunas de las fases más importantes de producción y la terminología que se aplica. Un análisis más detallado de cualquier paso del ciclo requeriría de todo un libro.

13.2 MATERIALES SEMICONDUCTORES, Si, Ge y GaAs

El primer paso en la fabricación de algún dispositivo semiconductor es obtener materiales semiconductores del nivel de pureza deseado, como el silicio, germanio y arseniuro de galio. En la actualidad se requieren niveles de impureza de *menos de una parte por mil millones* (1 en 1,000,000,000) para la fabricación de la mayoría de los dispositivos semiconductores.

Las materias primas se sujetan primero a una serie de reacciones químicas y a un *proceso de refinación por zona* para formar un *cristal policristalino* del nivel de pureza que se desea. Los átomos de un cristal policristalino están acomodados en forma aleatoria, mientras que en el *cristal único*, los átomos están acomodados en una red cristalina geométrica, simétrica y uniforme.

El aparato para refinación por zona de la figura 13.1 consiste de un recipiente (bote) de grafito o cuarzo, para tener la contaminación mínima, un tubo contenedor de cuarzo y un juego de bobinas de inducción de RF (radiofrecuencia). Las bobinas o el bote deben ser móviles a lo largo de la longitud del tubo de cuarzo. Se obtendrá el mismo resultado en cualquier caso, aunque aquí se presenta el método de las bobinas móviles porque parece ser el más común. El interior del tubo contenedor de cuarzo está lleno con un gas inerte (con poca o ninguna reacción química) o al vacío, para reducir más la posibilidad de contaminación. En el proceso de refinación por zona se pone en el bote una barra de silicio con las bobinas en un extremo de la barra, como se muestra en la figura 13.1. Luego se aplica la señal de radiofrecuencia a la bobina, la cual induce un flujo de carga (corrientes parásitas) en el lingote de silicio. Se aumenta la



Jack St. Clair Kilby, inventor del circuito integrado y coinventor de la calculadora electrónica de pilas. (Cortesía de Texas Instruments, Inc.)

Clair Kilby nació en Jefferson, Missouri, 1923.

M.S. de la Universidad de Wisconsin. Director de Ingeniería y Tecnología. Grupo de componentes, Texas Instruments.

Miembro de la IEEE.

Tiene más de 60 patentes en Estados Unidos.



El primer circuito integrado, un oscilador de corrimiento de fase inventado por Jack S. Kilby en 1958. (Cortesía de Texas Instruments, Inc.)

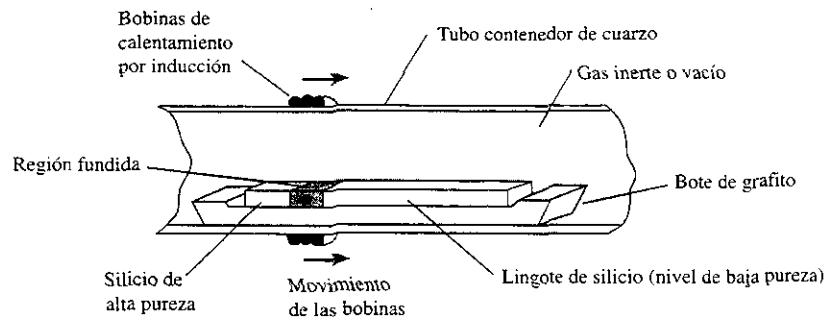


Figura 13.1 Proceso de refinación por zona.

magnitud de estas corrientes hasta que se desarrolla suficiente calor para fundir esa región del material semiconductor. Las impurezas del lingote entrarán en un estado más líquido que el material semiconductor que las rodea. Si las bobinas de inducción de la figura 13.1 se mueven lentamente hacia la derecha para inducir la fusión de la región vecina, las impurezas “más fluidizas” “seguirán” a la región fundida. El resultado neto es que un gran porcentaje de las impurezas aparecerán al extremo derecho del lingote cuando las bobinas de inducción hayan llegado a ese extremo. Este lado de la pieza con impurezas puede después cortarse y se repite el proceso completo hasta que se llega al nivel de pureza deseado.

El siguiente paso en la secuencia de fabricación es la formación de un solo cristal de germanio o silicio. Esto se logra, por lo general, usando la técnica *Czochralski*; la figura 13.2a muestra el aparato empleado por esta técnica. El material policristalino primero se transforma en un estado fundido por medio de bobinas de inducción. Luego se sumerge una “semilla” de

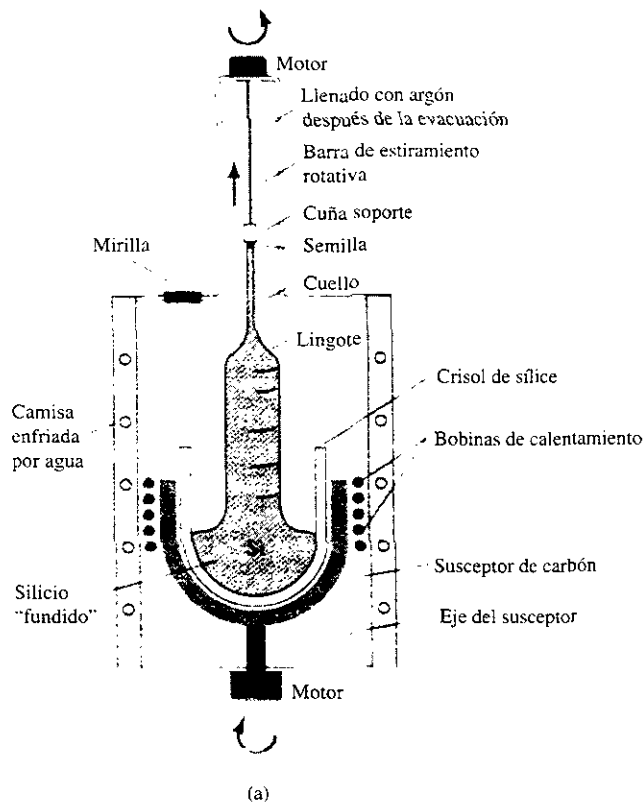


Figura 13.2 a) Horno Czochralski; b) “cuello” del lingote; c) lingote enfriándose enfrente de un horno Czochralski. (Cortesía de Texas Instruments, Inc.)



crystal único del nivel de pureza deseado en el silicio fundido, y se retira gradualmente mientras gira despacio el eje que sostiene la semilla. Conforme se va retirando la "semilla", sobre ella crece una estructura monocristalina de silicio, como se muestra en el "cuello" del lingote en la figura 13.2b. Los lingotes de monocristal resultantes son por lo general de 6 a 36 pulgadas de longitud, y de 1 a 8 pulgadas de diámetro, y se cree que tendrán para 1997 diámetros de 12 pulgadas. En la figura 13.2c aparece un lingote y un horno Czochralski.

13.3 DIODOS DISCRETOS

Los diodos semiconductores son con frecuencia de alguno de los siguientes cuatro tipos: *crecimiento de la unión*, *aleación*, *difusión* o *crecimiento epitaxial*. En los siguientes párrafos se proporciona una breve descripción de cada proceso.

Crecimiento de la unión

Los diodos de este tipo se forman durante el proceso de *estiramiento de cristal* Czochralski. Se pueden añadir alternadamente impurezas tipo *p* y *n* al material semiconductor fundido en el crisol, y da como resultado una unión *p-n* cuando el cristal se estira como se indica en la figura 13.3. Después de rebanar, el dispositivo de área grande puede cortarse en grandes cantidades (a veces miles) de diodos semiconductores de área más pequeña. El área de los diodos de unión por crecimiento es lo suficientemente grande para manejar altas corrientes (y por tanto tener valores nominales de potencia altos). Sin embargo, el área grande introducirá efectos capacitivos indeseables en la unión.

Aleación

El proceso de aleación dará como resultado un diodo semiconductor del tipo de unión que también tendrá un alto valor nominal de corriente y PIV grande. Sin embargo, la capacitancia de la unión es también grande, porque el área de unión también es grande.

La unión *p-n* se forma poniendo primero una impureza tipo *p* en un sustrato tipo *n* y calentando ambos hasta que sucede la licuefacción y los dos materiales se juntan (figura 13.4). El resultado es una aleación que cuando se enfría produce una unión *p-n* en la frontera entre la aleación y el sustrato. Los papeles que desempeñan los materiales tipo *n* y *p* pueden intercambiarse.

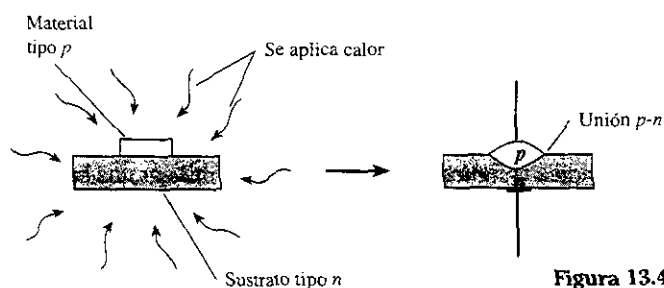


Figura 13.4 Diodo por el proceso de aleación.

Difusión

El proceso de difusión para formar diodos semiconductores de unión puede emplear difusión sólida o gaseosa. Este proceso requiere más tiempo que el proceso de aleación, pero es relativamente barato y puede controlarse con mucha más precisión. La difusión es un proceso por el cual una alta concentración de partículas se "difunde" en una región que la rodea con menor concentración. La principal diferencia entre los procesos de difusión y aleación es el hecho de que no se llega a la licuefacción en el proceso de difusión. Solamente se aplica calor en el proceso de difusión para incrementar la actividad de los elementos involucrados.

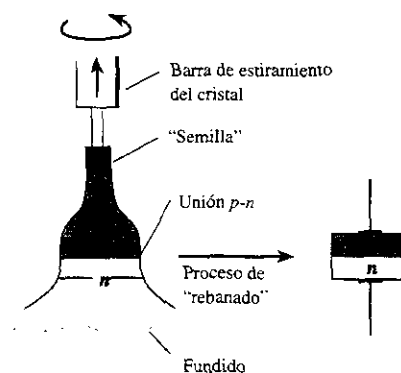


Figura 13.3 Diodo de crecimiento de unión.



El proceso de difusión sólida comienza con el “depósito” de impurezas aceptoras en un sustrato tipo n y se calientan los dos hasta que la impureza se difunde en el sustrato hasta formar la capa tipo p (figura 13.5a).

En el proceso de difusión gaseosa, un material tipo n se sumerge en una atmósfera gaseosa de impurezas aceptoras y luego se calienta (figura 13.5b). La impureza se difunde en el sustrato para formar la capa tipo p del diodo semiconductor. También pueden intercambiarse los papeles de los materiales tipo p y n . El proceso de difusión es el que se utiliza más en la actualidad para la fabricación de diodos semiconductores discretos.

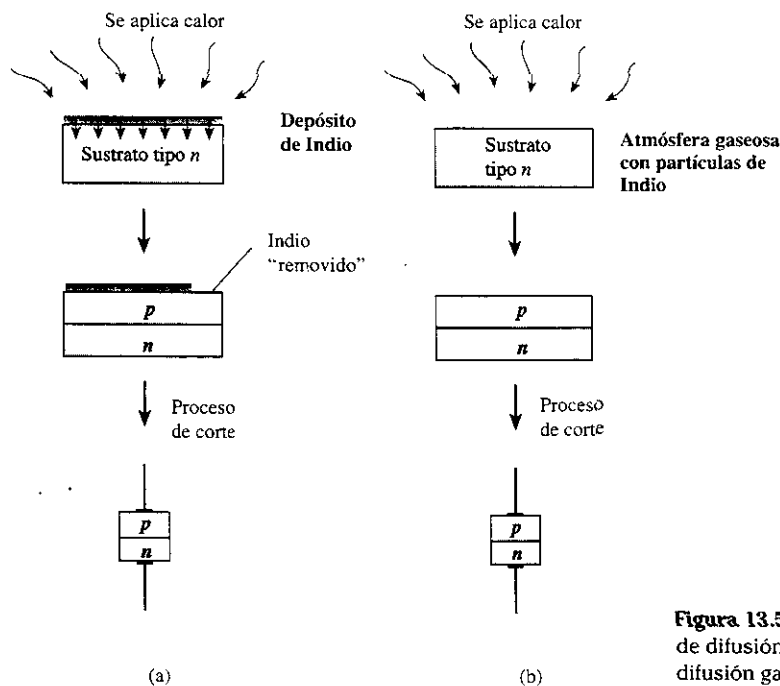


Figura 13.5 Diodos por el proceso de difusión: a) difusión sólida; b) difusión gaseosa.

Crecimiento epitaxial

El término *epitaxial* se deriva de las palabras griegas *epi*, que significa “sobre”, y *taxis*, que significa “arreglo”. Una oblea base de material n^+ se conecta a un conductor metálico, tal como se muestra en la figura 13.6. La n^+ indica un nivel de dopado muy alto para una característica de resistencia reducida. Su propósito es actuar como una extensión semiconductor del conductor y no como el material tipo n de la unión p - n . La capa tipo n se depositará sobre esta capa usando un proceso de difusión, como lo indica la figura 13.6. Esta técnica de utilizar una base n^+ da al fabricante ventajas definitivas de diseño. Luego se aplica el silicio tipo p usando una técnica de difusión y se agrega el conector metálico del ánodo, tal como se muestra en la figura 13.6.

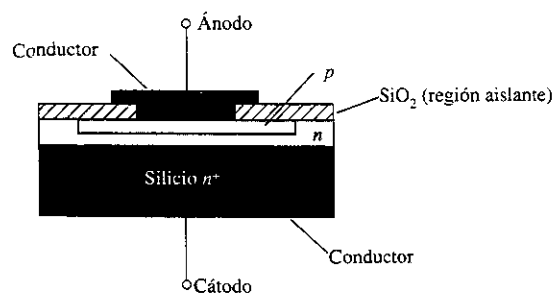


Figura 13.6 Diodo semiconductor de crecimiento epitaxial.

13.4 FABRICACIÓN DE TRANSISTORES

La mayoría de los métodos que se usan para fabricar transistores son simplemente extensiones de los métodos usados para elaborar diodos semiconductores. Los métodos que con más frecuencia se emplean actualmente incluyen *unión por aleación*, *crecimiento de la unión* y *difusión*. El estudio de cada método será breve, pero se incluirán los pasos fundamentales de cada uno.

Unión por aleación

La técnica de unión por aleación es una extensión del método de aleación para la fabricación de diodos semiconductores. Sin embargo, se depositan dos puntos de la misma impureza a cada lado de la oblea semiconductora que tiene la impureza opuesta, como se muestra en la figura 13.7. Luego se calienta toda la estructura hasta que se funde y cada punto se une en aleación a la oblea de la base, dando como resultado las uniones $p-n$ indicadas en la figura 13.7 como se describió para los diodos semiconductores.

El punto de colector y la unión resultante son más grandes para soportar la corriente, y la disipación de potencia más alta en la unión colector-base. Este método no se emplea tanto como la técnica de difusión que se describirá brevemente, pero todavía se usa mucho en la fabricación de diodos de alta potencia.

Crecimiento de la unión

Se usa la técnica Czochralski para formar las dos uniones $p-n$ en un transistor de unión por crecimiento. El proceso, como se muestra en la figura 13.8, requiere que el control de la impureza y la relación de retiro sean tales que aseguren el ancho adecuado de la base y los niveles de dopado de los materiales tipo n y p . Los transistores de este tipo están limitados por lo general a un valor nominal menor de $\frac{1}{4}W$.

Difusión

El método de fabricación que más se utiliza en la actualidad es la técnica de difusión. El proceso básico se presentó en el análisis de la fabricación de diodos semiconductores. La técnica de difusión se emplea en la producción de transistores en *meseta* y *planares*, donde cada uno de ellos puede ser de tipo de *difusión* o *epitaxial*.

En el transistor pnp en meseta de difusión, el primer proceso es una difusión tipo n en una oblea tipo p , como se aprecia en la figura 13.9, para formar la región de la base. Luego, se difunde o se une en aleación el emisor tipo p a la base tipo n . Después se hace una corrosión para reducir la capacitancia de la unión del colector. El término "meseta" se deriva de su similitud con la formación geográfica. Como se dijo anteriormente en el estudio sobre la fabricación de diodos, la técnica de difusión permite un control muy preciso de los niveles de dopado y el espesor de las diversas regiones.

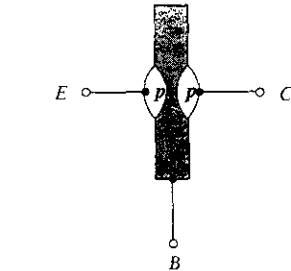
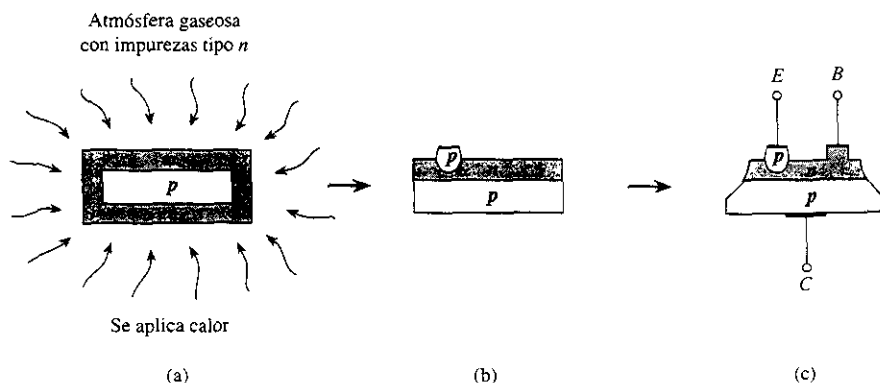


Figura 13.7 Transistor de unión por aleación.

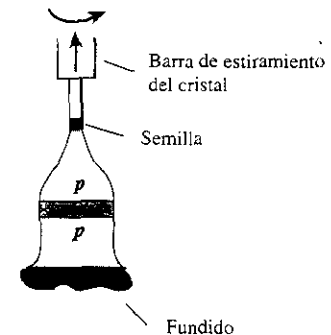


Figura 13.8 Transistor de crecimiento de la unión.

Figura 13.9 Transistor en meseta: a) proceso de difusión; b) proceso de aleación; c) proceso de corrosión.

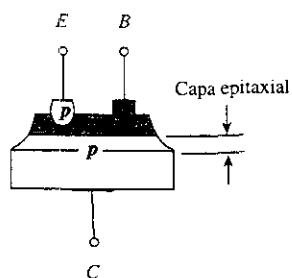


Figura 13.10 Transistor epitaxial en meseta.

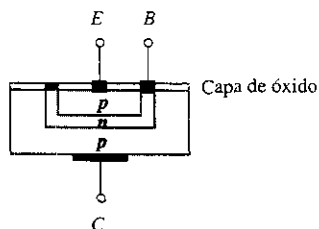


Figura 13.11 Transistor planar.

La principal diferencia entre el transistor de meseta epitaxial y el transistor de meseta es una capa epitaxial adicional sobre el sustrato de colector original. El sustrato tipo *p* original (el colector de la figura 13.10) se pone en un recipiente cerrado que contiene vapor de la misma impureza. Mediante un control adecuado de temperatura, los átomos del vapor *caerán* y *se acomodarán* por sí mismos sobre el sustrato tipo *p* original, dando como resultado la capa epitaxial indicada en la figura 13.10. Una vez que se ha establecido esta capa, continúa el proceso, igual que para el transistor en meseta, para formar las regiones de base y emisor. El sustrato tipo *p* original tendrá un nivel de dopado mayor y una resistencia menor que el de la capa epitaxial. El resultado es una conexión de baja resistencia con la terminal de colector que reducirá las pérdidas por disipación del transistor.

Los transistores planar y planar epitaxial son fabricados con dos procesos de difusión para formar las regiones de base y emisor. El transistor planar, como se muestra en la figura 13.11, tiene una superficie plana y de ahí el término *planar*. Se añade una capa de óxido, igual que en la figura 13.11, para eliminar las uniones expuestas, lo cual reduce sustancialmente las pérdidas por fugas superficiales (corrientes de fuga en la superficie, en vez de a través de la unión).

13.5 CIRCUITOS INTEGRADOS

Durante la década pasada el *circuito integrado* (IC) ha llegado a ser por su uso cada vez mayor y por los diversos medios de difusión, un producto cuya función y objetivo básicos son comprendidos por cualquier persona. La característica más notable de un IC es su tamaño, porque es miles de veces más pequeño que una estructura semiconductor construida de la forma más usual con componentes discretos. Por ejemplo, el circuito integrado que se muestra en la figura 13.12 tiene 275,000 transistores, además de muchos otros elementos, aunque solamente es de 280×250 mils o de cerca de $\frac{9}{32}$ " por $\frac{1}{4}$ ". El MC68030 es un microprocesador y es el corazón de las microcomputadoras fabricadas por compañías como Apple, Hewlett-Packard, Motorola y otras.

Los circuitos integrados rara vez necesitan de alguna reparación, esto es, si un solo componente del IC falla, se reemplaza la estructura completa (circuito completo); por tanto, resulta un método mucho más económico. En la actualidad, existen tres tipos de IC disponibles comercialmente a gran escala; incluyen los circuitos integrados monolíticos, los de película delgada (o gruesa) y los híbridos. Cada uno de ellos será presentado en este capítulo.

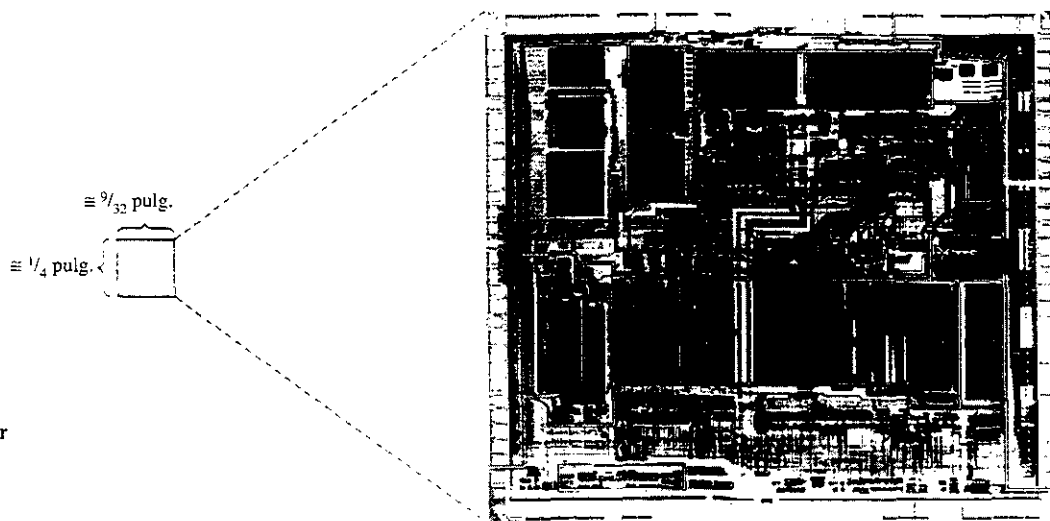


Figura 13.12 El microprocesador MC68030 y sus dimensiones externas reales. (Cortesía de Motorola, Inc.)



Desarrollos recientes

Durante la última década la cantidad de pasos en el proceso de fabricación se ha incrementado dos o tres veces, y cada proceso es más sofisticado. En los primeros días el fabricante de IC diseñaba, construía y mantenía el equipo empleado en el ciclo de producción. Sin embargo, hoy día han aparecido nuevas industrias que han asumido la responsabilidad de introducir los últimos avances tecnológicos en el equipo de proceso. El resultado es que el fabricante puede concentrarse en el diseño, control de calidad, mejor funcionamiento y características de confiabilidad y una mayor miniaturización. El equipo disponible de las compañías periféricas tiene un precio muy alto (no es raro que el costo de las unidades sea mayor a 1 millón de dólares) y la operación a 24 horas es casi una necesidad para asegurar una buena política económica. En un esfuerzo para asegurar la operación continua, los mayores fabricantes de IC tienen su propio personal de servicio, en vez de apoyarse en la respuesta inmediata del fabricante del equipo.

La automatización está llegando a ser cada vez más importante en el ciclo de producción. Una gran cantidad de controles basados en microprocesador, introducidos en forma de “direccionamiento por casete”, ha reducido significativamente la posibilidad de errores debidos a transferencia incorrecta de información a la unidad de procesamiento. También tiene una sensibilidad al proceso que se está desarrollando que no está disponible por medio de la curva de respuesta humana. Para un control de proceso mayor y un mejor seguimiento, la mayor parte de la fabricación ha pasado a operaciones de computadora sin papel, con terminales junto al equipo de procesamiento o hasta con el equipo conectado directamente a la computadora anfitrión. El mayor nivel de automatización también reduce la cantidad de “manejo” y contacto con la oblea, reduciendo, por tanto, la cantidad de fuentes contaminantes y aumentando el factor de producción.

Una de las áreas de preocupación permanente es el nivel de producción. Cada vez está mejorando la cantidad promedio de dados “buenos” que se obtienen de una oblea, pero todavía permanece en un nivel del 60 al 80%. Sin embargo, uno debe darse cuenta que conforme el tamaño de la “pieza” disminuye y se aumenta la densidad, el nivel de producción no puede cambiar de manera significativa, pero la cantidad de componentes producidos en la misma área de oblea se está incrementando a una velocidad impresionante. En otras palabras, si hubiéramos utilizado los procedimientos actuales de producción mejorados en los IC fabricados desde hace cinco años, el nivel de rendimiento probablemente habría excedido el 95%.

Los avances de la última década han dado como resultado una aceptación general por la industria de que *la densidad de los IC casi se duplica cada dos años*. En un tiempo, las dimensiones se proporcionaban en mils y mils cuadrados. Ahora, es el micrón o micrómetro (un millonésimo de un metro, mm) la medida estándar, siendo $1 \text{ mil} = \frac{1}{1000} = 25.4 \mu\text{m}$.

El incremento de la densidad y los mejores niveles de producción se deben a una maquinaria más sofisticada en el ciclo de producción, métodos mejorados para detectar y corregir fallas, mayores niveles de limpieza, mayores niveles de pureza en los materiales de procesamiento, mejores materiales de fabricación y una cantidad mayor de pasos de procesamiento.

Hace cinco años eran comunes los cuartos clase 100; ahora el estándar de la industria son clase 1 (o menor). Un cuarto clase 1 es 100 veces más limpio que un ambiente de hospital típico. El número de clase indica la cantidad de partículas de $1 \mu\text{m}$ o mayores por pie cúbico. El costo del establecimiento de dicho ambiente es en verdad inmenso. Se establece un flujo laminar continuo de aire filtrado entre el piso y el techo para mantener el alto nivel de limpieza. Los “trajes de conejito” que aparecen en algunas de las fotografías de este capítulo, se necesitan en las áreas de producción. El control es tan estricto que las mujeres que trabajan en muchas de estas áreas no pueden utilizar maquillaje; con esta medida se puede eliminar cualquier posible introducción de partículas extrañas en el ambiente.

El agua que se emplea en las operaciones de enjuague y limpieza está filtrada a $0.2 \mu\text{m}$ y tiene un nivel de resistividad de $18 \text{ M}\Omega$ (recuerde el análisis sobre resistividad del capítulo 1). También está tan libre de contaminantes orgánicos que no soporta un crecimiento de cultivo. Además, la pureza de los materiales de procesamiento, como los productos químicos, recubrimientos y otros materiales que “tocan” a la oblea, se han mejorado para que concuerden con los niveles de densidad incrementados.



Los anchos de línea de las técnicas de fabricación actuales son de $0.5\ \mu\text{m}$, y dentro de dos o tres años tendrán $0.35\ \mu\text{m}$. Actualmente, la investigación y desarrollo está en $0.25\ \mu\text{m}$ o menos.

El silicio ha sido el soporte principal de la industria, desde su nacimiento hasta el ciclo de producción actual. Conforme continúan aumentando los niveles de densidad y disminuyendo los anchos de línea, tal vez haya necesidad de cambiar a materiales como el GaAs (arseniuro de galio) con su mejor rango de características de funcionamiento.

Debido a las grandes inversiones, es una necesidad absoluta que el procesamiento del producto pase por un control de calidad muy rígido, controlado por medio de un fuerte sistema de administración. La computadora está desempeñando un papel muy importante porque proporciona los datos necesarios que requieren para tal supervisión continua del ciclo de producción. Algunas mejoras en el proceso de fabricación se describen a continuación conforme se describe cada paso de producción.

13.6 CIRCUITOS INTEGRADOS MONOLÍTICOS

El término *monolítico* se deriva de una combinación de palabras griegas, *monos*, que significa solo, y *lithos*, que significa piedra, lo que en combinación da como resultado una traducción literal de piedra única o, más adecuadamente, una estructura sólida. Como lo implica este término descriptivo, el IC monolítico está construido con una *sola* oblea de material semiconductor. Se pueden obtener obleas tan delgadas como $1/1,000$ pulgadas (\cong un quinto del espesor de esta página) usando un proceso de corte o rebanado, como se puede ver en la figura 13.13. La mayor parte de la oblea actuará simplemente como estructura de soporte para el IC resultante muy delgado. En la figura 13.14 se proporciona una vista general de las etapas involucradas en la fabricación de IC monolíticos. La cantidad de pasos necesarios para llegar a un producto terminado son muchos más que los que aparecen en la figura 13.14. Sin embargo, la figura destaca las fases principales de producción de un IC monolítico.

Desde principios de los ochenta existe un mayor cambio de los IC bipolares a los IC MOS. Aunque muchos pasos son los mismos, hay algunas diferencias importantes, como la implantación de iones en la mayoría de los pasos del dopado. Como se indica en la figura 13.14, es necesario diseñar primero un circuito que satisfaga las especificaciones. Luego debe distribuirse el circuito para asegurar el uso óptimo del espacio disponible y el mínimo de dificultad en la realización de los procesos de difusión que vienen a continuación. La apariencia de la mascarilla y su función en la secuencia de etapas indicadas se presentará dentro de poco. Por el momento, basta decir que una mascarilla tiene la apariencia de un negativo por medio del cual pueden implantarse las impurezas mediante iones (a través de las áreas claras) en la oblea de silicio. El

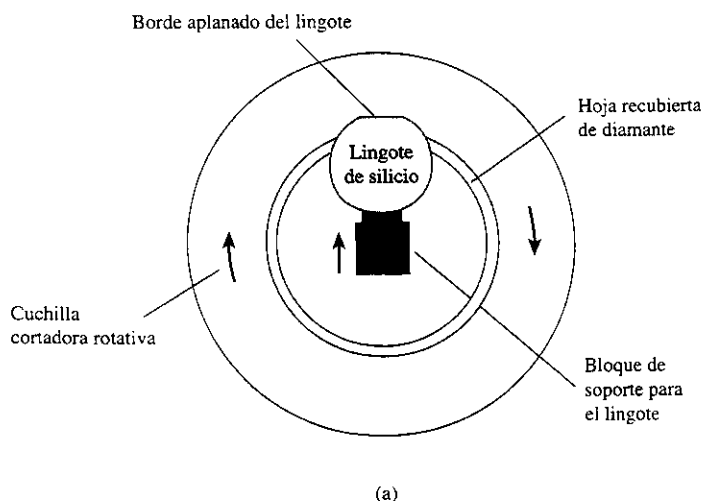


Figura 13.13 Rebanado del lingote monocristal en obleas. (Cortesía de Texas Instruments, Inc.)

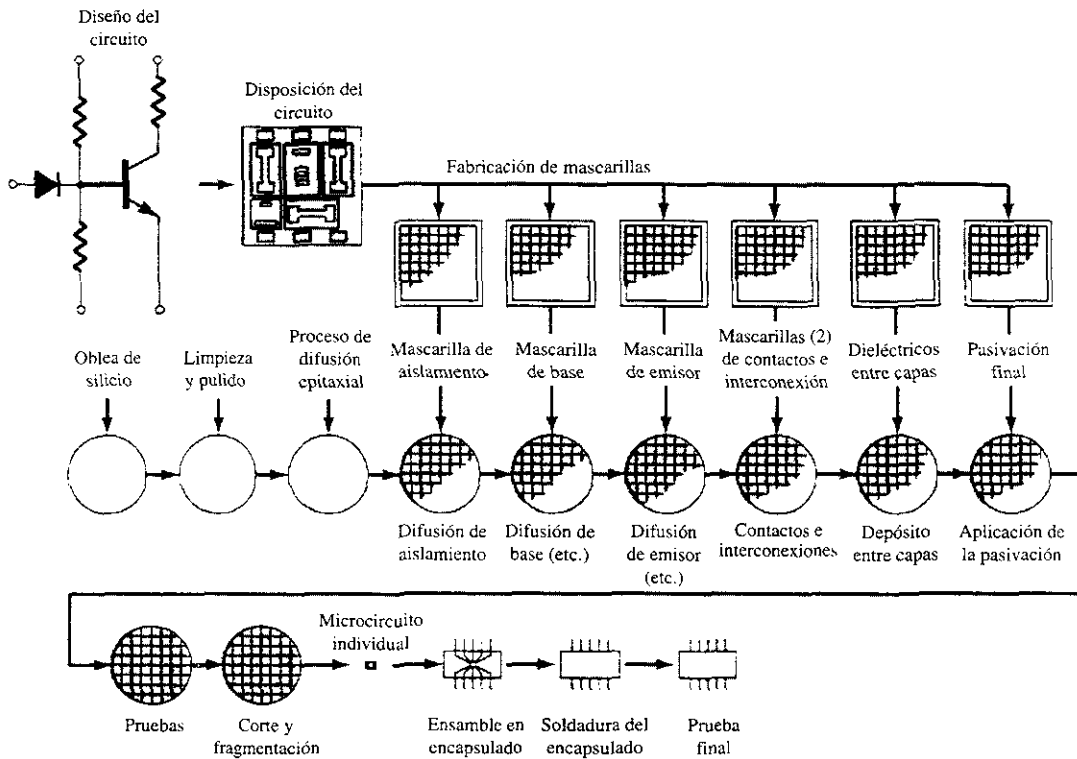


Figura 13.14 Fabricación de circuitos integrados monolíticos. (Cortesía de Robert Hibberd.)

actual proceso de implantación de iones para cada fase es similar al que se aplica en la fabricación de transistores por difusión. La última mascarilla de la serie controlará la colocación del patrón conductor que interconecta los diversos elementos. Luego la oblea pasa por varios procedimientos de prueba, es fragmentada y separada en microcircuitos individuales, encapsulada y ensamblada como se indica. En la figura 13.15 aparece una oblea de silicio procesada. La oblea original puede ser de 4 a 8 pulgadas de diámetro. El tamaño de cada microcircuito deter-

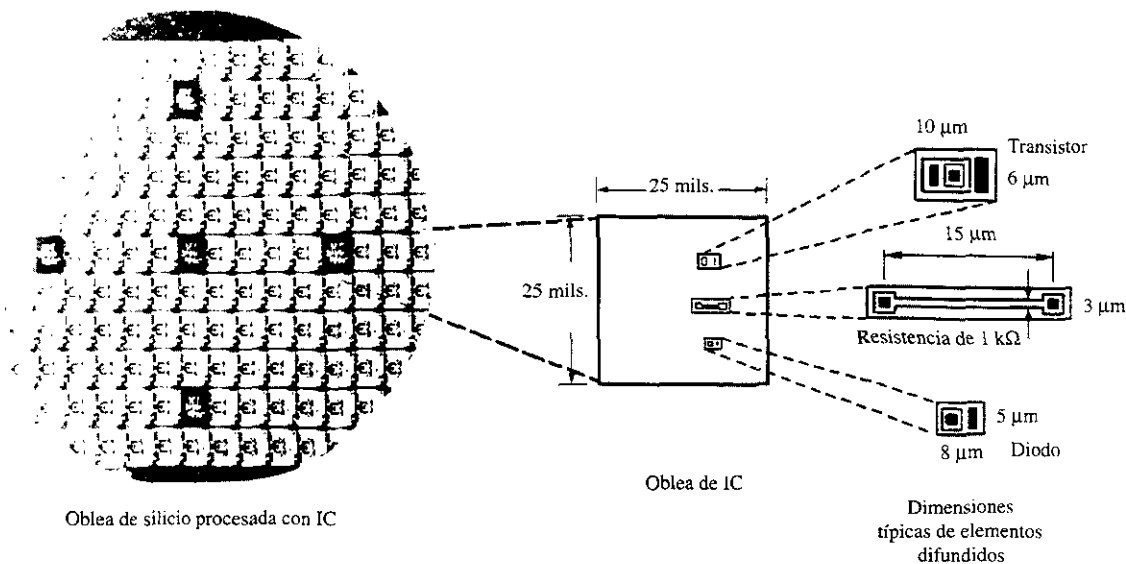


Figura 13.15 Oblea de IC monolítico procesada con las dimensiones relativas de los diversos elementos.



minará, por supuesto, la cantidad de circuitos individuales que resulte de una sola oblea. Las dimensiones de cada microcircuito de la oblea de la figura 13.15 son 25 mils \times 25 mils. Para resaltar el tamaño microscópico de estos microcircuitos, considere que 40 de ellos pueden alinearse a lo largo de una pulgada. El tamaño promedio relativo de los elementos de un IC monolítico aparece en la figura 13.15. Observe la gran área que se requiere para la resistencia de 1 k Ω , en comparación con los otros elementos señalados.

Un artículo reciente indica, en porcentaje, el costo relativo de las diversas etapas de la producción de IC monolíticos comparados con transistores discretos. Las gráficas resultantes aparecen en la figura 13.16. La fase de procesamiento incluye todas las etapas que llevan hasta los IC individuales de la figura 13.15. Observe la diferencia en costo de las diversas fases de producción determinadas por el tamaño y la densidad del microcircuito.

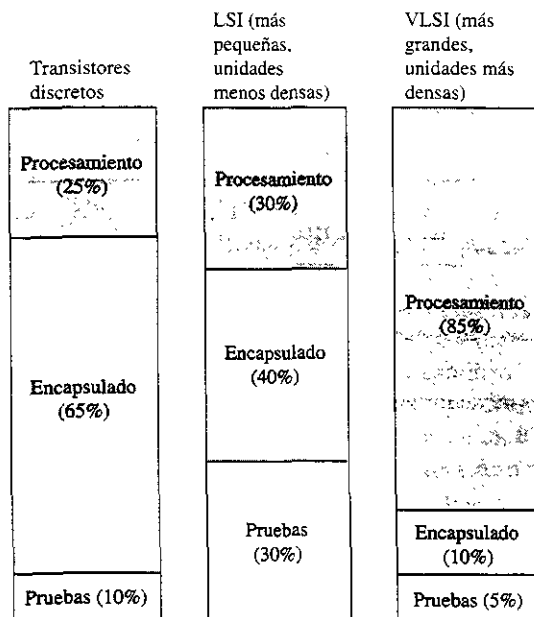


Figura 13.16 División de costos para la fabricación de transistores discretos y circuitos integrados en gran escala (LSI) y circuitos integrados a muy alta escala (VLSI).

La difusión selectiva necesaria en la formación de los diversos elementos activos y pasivos de un circuito integrado se logra mediante el uso de mascarillas, como la que se muestra en la figura 13.17. Las áreas claras son las únicas por las que pueden pasar las impurezas donoras y aceptoras. Las áreas oscuras bloquean la difusión de impurezas, en forma parecida a una sombra que impide que la luz del sol cambie el pigmento de la piel.

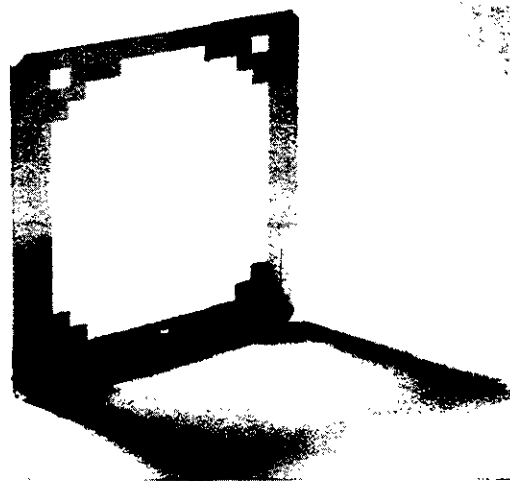


Figura 13.17 Mascarilla. (Cortesía de Motorola, Inc.)



La secuencia de pasos que llevan a la mascarilla final se controla por el ancho en micrones de las características más pequeñas de la oblea. La litografía por rayo de electrones a $0.5\ \mu\text{m}$ ($0.25\ \mu\text{m}$ en el futuro) es la más común que se usa en la secuencia de producción con mascarillas. Hace tiempo la fabricación de una mascarilla requería primero un trazo en estabilene a gran escala de todas las capas. Luego el diseño se transfería a Mylar claro recubierto con un plástico rojo llamado *Rubylite*. Se hacen cortes muy precisos en el material rojo y se retiran las secciones para revelar las regiones donde se llevará a cabo la difusión de impurezas. El patrón resultante se fotografía y se reduce en $500\times$ (500 veces el tamaño deseado para producción) en una serie de pasos hasta que se obtiene el patrón maestro (retícula) deseado. Hoy día, todo se hace en una estación de trabajo de computadora. Los datos son transferidos directamente al sistema de rayos de electrones que se usa para dibujar los patrones necesarios en la retícula. Este método de "escritura directa" usa un sistema como el que aparece en la figura 13.18. Ahorra muchos pasos intermedios "cortando" directamente el patrón de la mascarilla desde la estación de trabajo, con la ayuda de un rayo de electrones como "herramienta de exposición". El disminuir la cantidad de pasos y la exposición directa de la mascarilla reduce la cantidad de fallas y omisiones que pueden aparecer en el producto final. Para unidades VLSI, el tiempo involucrado desde el diseño inicial hasta la disponibilidad de la mascarilla puede extenderse desde unos cuantos días hasta uno o dos meses.

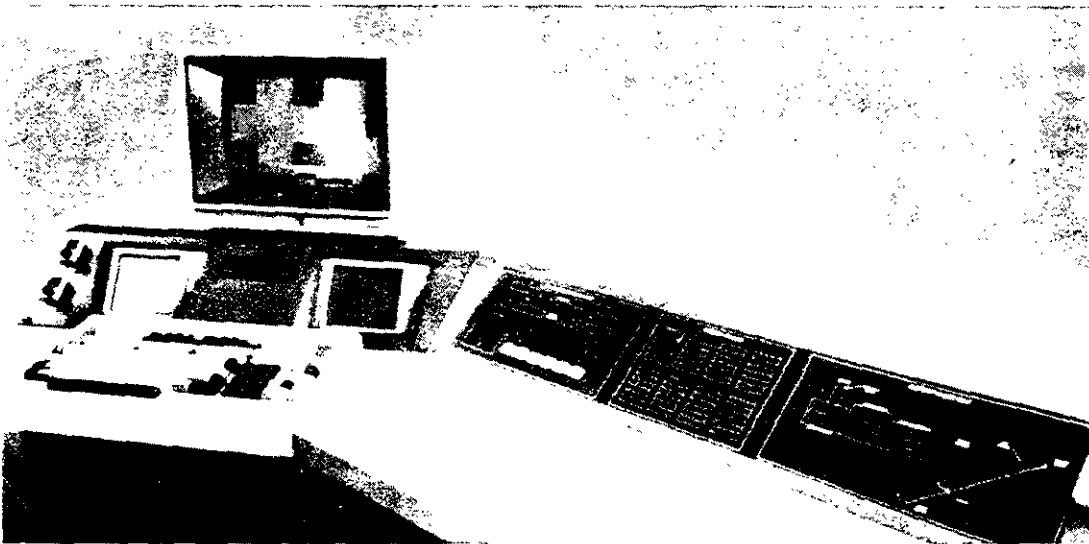


Figura 13.18 Sistema Direct Write E-beam. (Cortesía de Perkin-Elmer Corporation.)

13.7 EL CICLO DE PRODUCCIÓN

Las prioridades no permiten un estudio detallado de cada paso del ciclo de producción, pero se describirán varias de las fases más importantes para desarrollar alguna apreciación de la secuencia de fabricación.

Después de haber "rebanado" el lingote por crecimiento, una oblea de silicio tipo *p* es rectificada y pulida (figura 13.19a) y revisada (figura 13.19b) para producir la estructura de la figura 13.19c. También se le aplica un proceso de corrosión química para alisar todavía más la superficie y eliminar una capa de la oblea que pueda haber sido dañada durante la secuencia de rectificación y pulido.

Luego se hace crecer una región epitaxial tipo *n* sobre el sustrato tipo *p*, como se muestra en la figura 13.20. Se deposita en tal forma que resulte una estructura de monocristal, con la misma estructura y orientación cristalina que el sustrato, pero con un nivel de conductividad

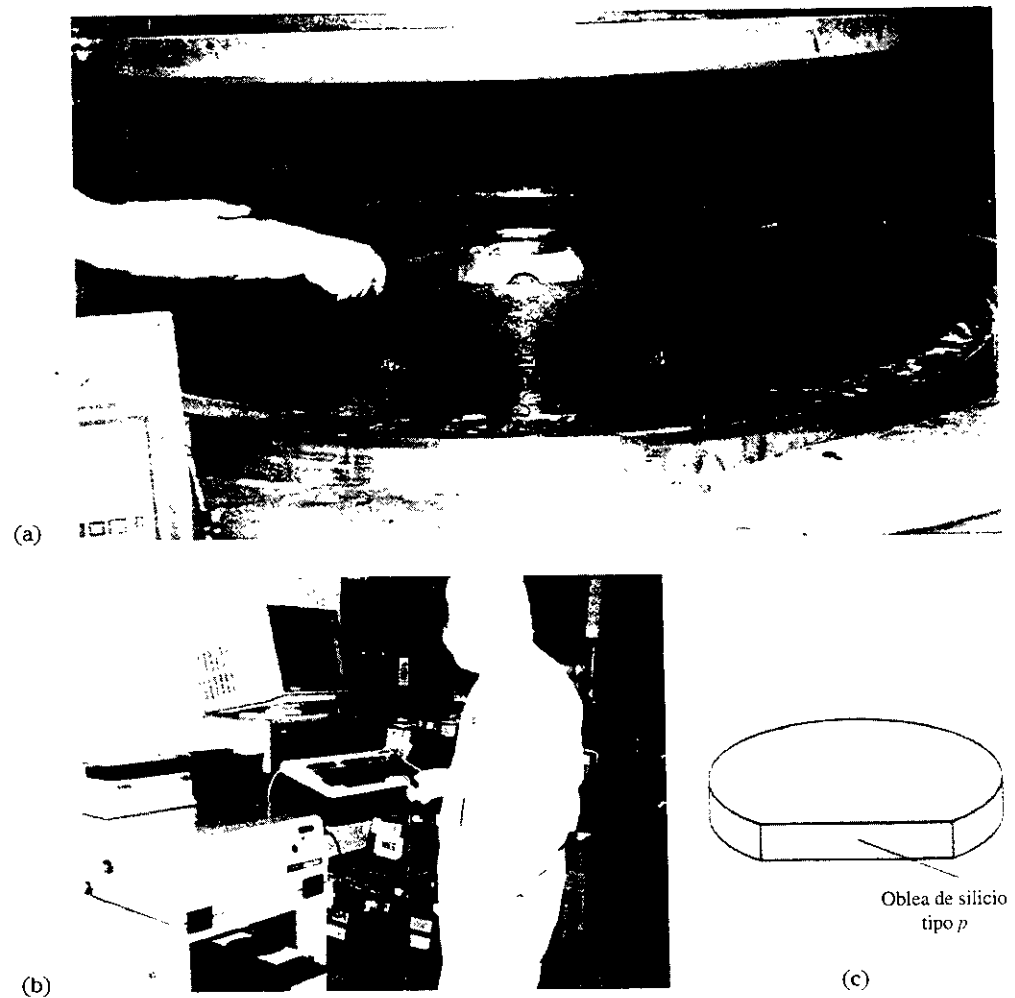


Figura 13.19 a) Etapa de rectificado y pulido en la preparación de obleas; b) revisión de la oblea con computadora; c) oblea de silicio tipo *p*. (Cortesía de Texas Instruments, Inc.)

diferente. Es en esta capa epitaxial delgada en donde serán difundidos los elementos activos y pasivos. El área tipo *p* es esencialmente una estructura de soporte y añade algún grosor a la estructura para aumentar su resistencia y permitir un manejo más fácil.

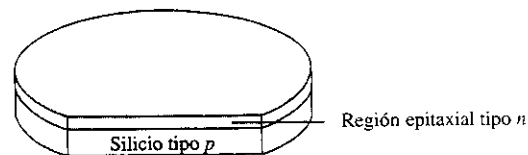


Figura 13.20 Oblea de silicio tipo *p*, después del proceso de difusión epitaxial tipo *n*.

El aparato que con más frecuencia se utiliza en el proceso de depósito es el reactor cilíndrico de calentamiento por radiación de la figura 13.21. El *susceptor* (grafito recubierto de silicio) es una estructura de sección transversal hexagonal sobre la cual se colocan varias obleas en cada cara. Los gases con las impurezas deseadas se inyectan en la cámara y se extraen por la parte superior. Las obleas se calientan mediante lámparas de cuarzo enfriadas con agua. Sosteniendo las obleas en una posición casi vertical (solamente 2.5° de la vertical) hay menos probabilidad de contaminación.

Luego, se tiene que definir la región de estructura monolítica que va a ser dopada. Se hace crecer una capa de dióxido de silicio (SiO_2) en la superficie de la oblea, tal como se muestra en la figura 13.22. Esta capa superficial impedirá que se introduzca cualquier impureza al silicio tipo *p*. Sin embargo, la corrosión selectiva de esta capa de SiO_2 permitirá la implantación de iones y la difusión de las impurezas adecuadas en las áreas indicadas del material tipo *p*.

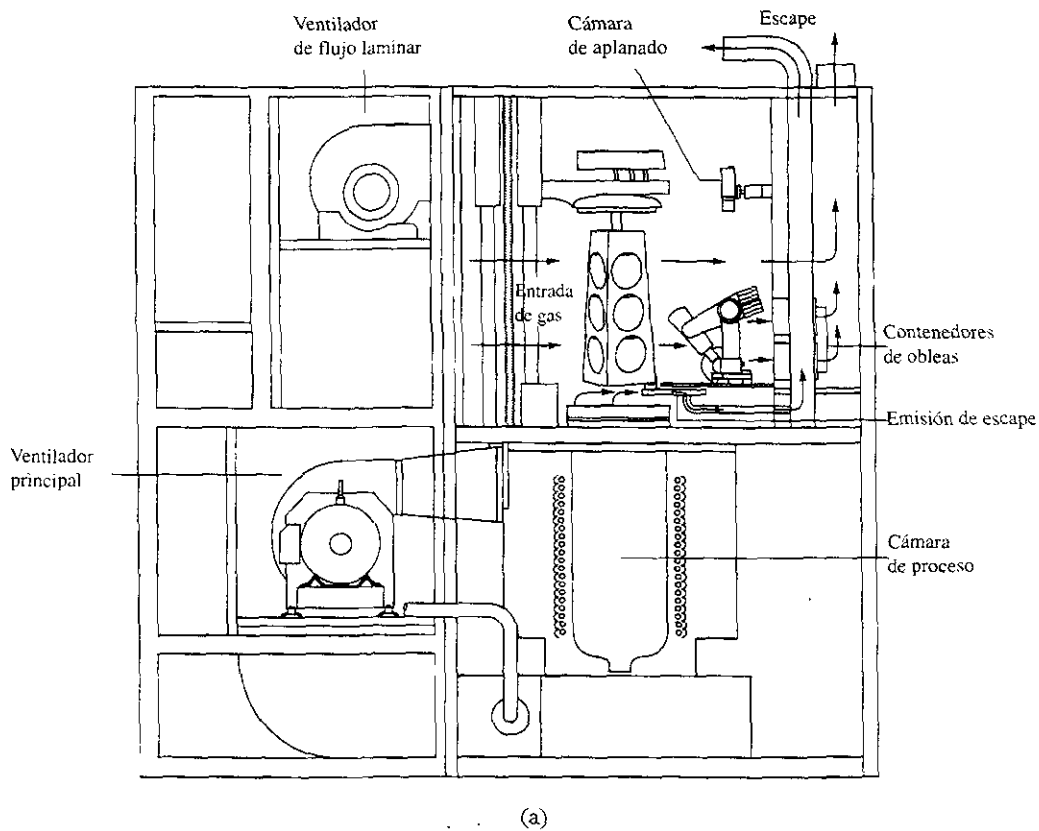
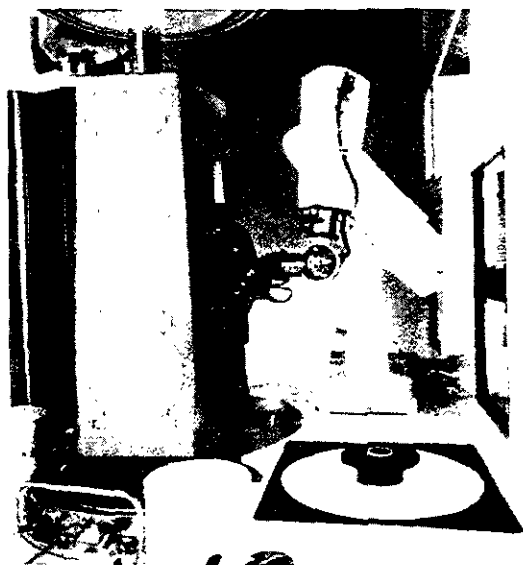
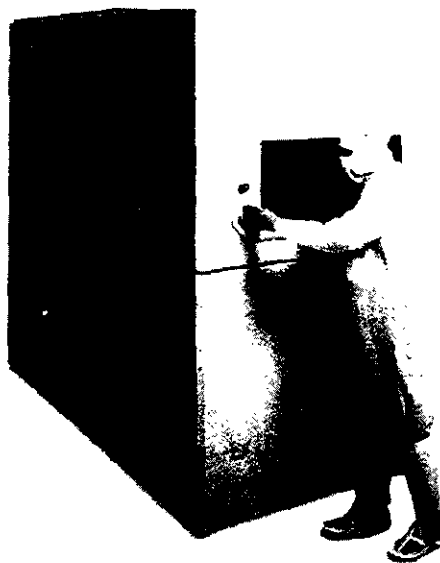


Figura 13.21 Reactor cilíndrico calentado por radiación: a) esquema; b) colocación de obleas no contaminadas; c) control externo. (Cortesía de Applied Materials, Inc.)



(b)



(c)

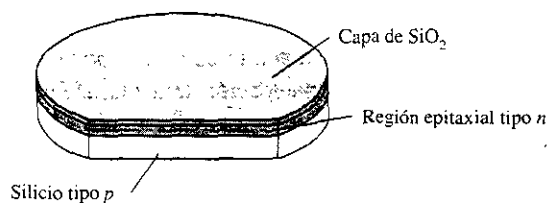


Figura 13.22 Oblea de la figura 13.20 a continuación del establecimiento de la capa de SiO_2 .

El aparato empleado en el proceso de oxidación es similar al que se utiliza para depositar la capa epitaxial en que las obleas son colocadas en el bote (ahora hecho de cuarzo), e insertadas en un tubo de cuarzo; por lo general, se introducen cerca de 200 obleas al mismo tiempo. Sin embargo, en este caso una resistencia de calentamiento alrededor del tubo eleva la temperatura entre 900° y 1,100°C. Se introduce oxígeno húmedo o seco hasta que se establece la capa de SiO₂ deseada. Recientes avances incluyen la elevación de la presión atmosférica en el recipiente para permitir una reducción considerable en la temperatura de procesamiento. Para cada aumento de 1 atm (atmósfera) de presión, hay una reducción de 30°C en la temperatura requerida. A 10 atm, la temperatura puede ser reducida en 300°C. A menores temperaturas de procesamiento, también hay una mejor calidad de óxido, una reducción de los esfuerzos introducidos y una disminución o eliminación de varias limitaciones en el diseño del dispositivo. El tiempo necesario para el proceso de oxidación puede ir desde unas cuantas horas hasta 24, dependiendo del espesor del óxido y la calidad deseada.

La corrosión selectiva de la capa de SiO₂ se logra mediante el uso de un proceso fotolitográfico. La oblea primero se recubre con una capa delgada de material fotosensible, conocido como *fotore Resist*, por medio del sistema que aparece en la figura 13.23. La aplicación del *fotore Resist* se controla completamente por computadora. Se deposita un grupo de obleas dentro de las bandejas receptoras que aparece en la parte izquierda de la figura 13.23. El equipo aplica automáticamente un lavado a alta presión, un proceso de deshidratación, la capa resistiva y un horneado suave. Un equipo similar revela y endurece las obleas.

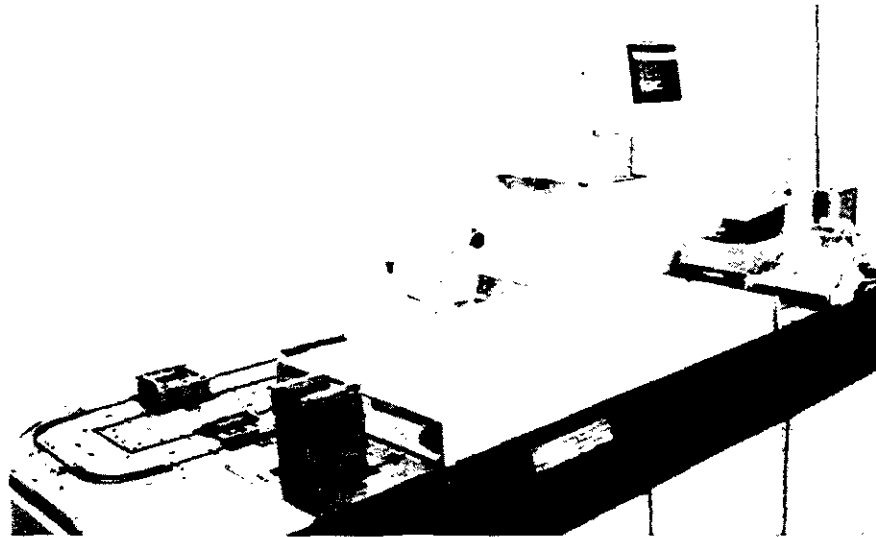


Figura 13.23 Módulo de aplicación de *fotore Resist* controlado por microprocesador. (Cortesía de Motorola, Inc.)

El siguiente paso es usar una mascarilla para determinar las áreas de la capa de SiO₂ que deben eliminarse en la preparación para el proceso de difusión del aislamiento usando un proceso fotolitográfico. Se aplica luz ultravioleta usando un sistema de proyección por pasos, que expone aquellas regiones del material fotosensible que no están cubiertas por el patrón de la mascarilla (figura 13.24).

La oblea resultante se somete luego a una solución química o una corrosión por iones reactivos para eliminar el material fotosensible no expuesto. Una sección transversal de un microcircuito (s-s en la figura 13.24) aparecerá entonces como se indica en la figura 13.25. Una segunda solución corroerá luego la capa de SiO₂ que no esté cubierta por el material fotoresistivo (figura 13.26).

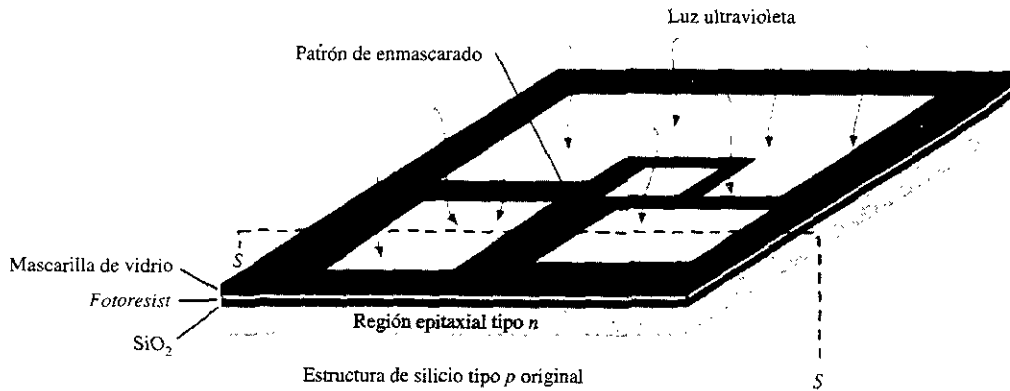


Figura 13.24 Proceso fotolitográfico: la aplicación de luz ultravioleta después de que la mascarilla se coloca de manera correcta; la estructura puede ser solamente una de cientos de miles de circuitos de compuertas NAND que se están formando en una sola oblea.

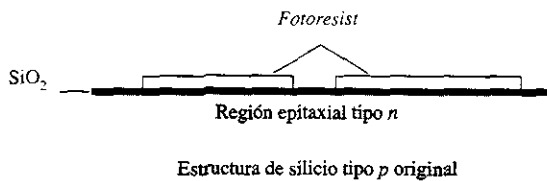


Figura 13.25 Corte transversal (s-s) del microcircuito de la figura 13.24, después de la eliminación del fotoresist no expuesto.

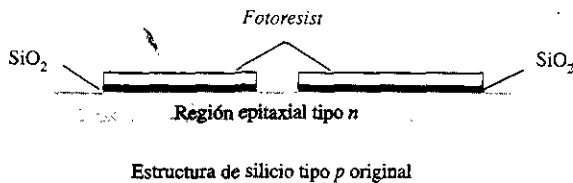


Figura 13.26 Corte transversal de la figura 13.25 después de la eliminación de las regiones de SiO_2 no cubiertas.

Se elimina después el *fotore Resist* (paso innecesario si se usa el proceso de implantación de iones) y luego se somete la estructura a una difusión tipo *p* o a un proceso de implantación de iones, dando como resultado las islas de regiones tipo *n* indicadas en la figura 13.27. El proceso asegura una región tipo *p* altamente dopada (indicada por p^+) entre las islas tipo *p*. Las regiones p^+ darán como resultado mejores propiedades aislantes entre los componentes activos y pasivos que serán formados en las islas tipo *n*.

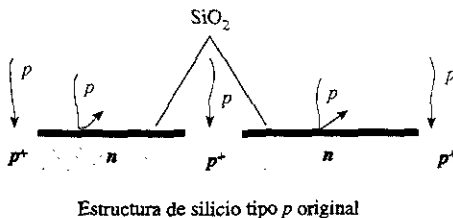


Figura 13.27 Sección transversal de la figura 13.26 después del proceso de difusión del aislamiento.

El aparato empleado incluye un bote y un tubo contenedor de cuarzo (para minimizar la posibilidad de contaminación del ambiente del proceso) que se calienta mediante una resistencia de alambre enrollada alrededor del tubo. La operación de difusión sucede normalmente a una temperatura cercana a los 1200°C . El sistema que aparece en la figura 13.28 es controlado

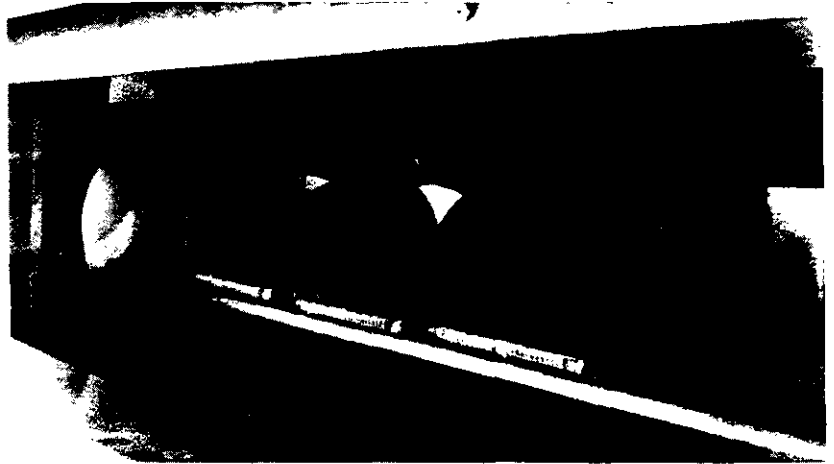
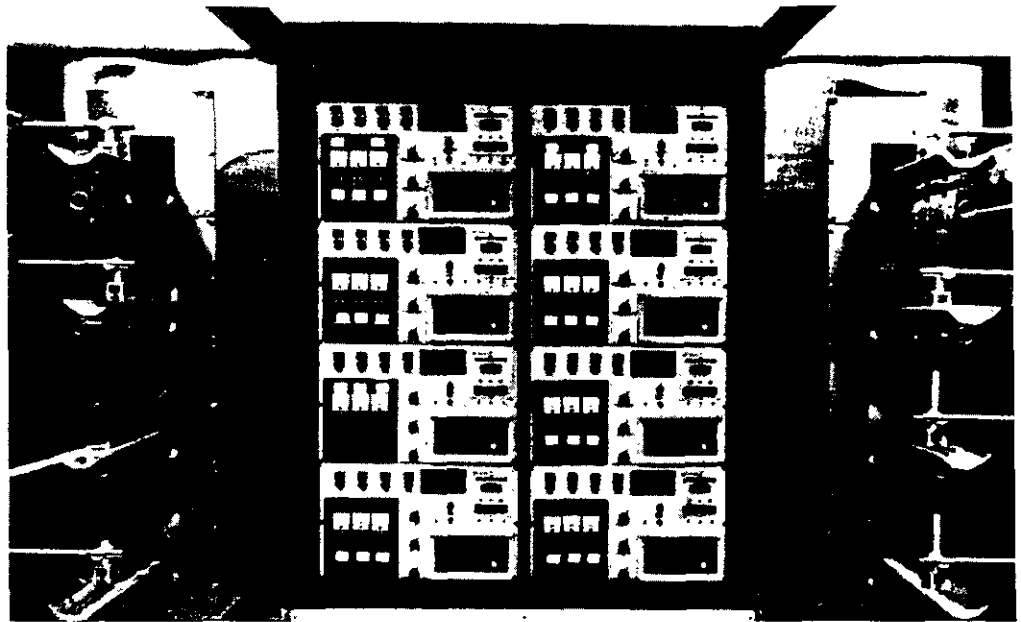
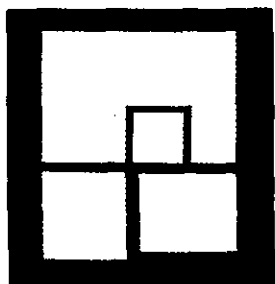


Figura 13.28 Operación de difusión controlada por microprocesador (con obleas de 5 pulgadas). (Cortesía de Motorola, Inc.)

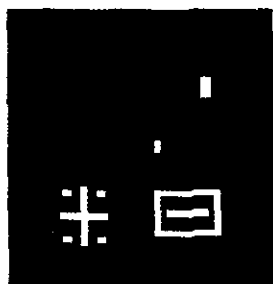
totalmente por un microprocesador. Tres o cuatro personas pueden operar 16 hornos y toda la operación, desde meter y sacar los botes en los hornos hasta monitorear la temperatura y nivel de dopado, es controlada por computadora.

Una alternativa al proceso de difusión a alta temperatura es la *implantación de iones*. Un rayo de iones dopantes (de un tamaño similar a un lápiz) es dirigido hacia una oblea a muy alta velocidad por medio de un acelerador de iones. Los iones penetrarán el medio a un nivel que puede ser controlado a menos de $0.1 \mu\text{m}$. Además de un mejor control, la temperatura de procesamiento es mejor y se dispone ahora de un rango más amplio de parámetros eléctricos. El proceso de difusión o implantación de iones se repetirá en una cantidad de ciclos usando un juego de mascarillas, tales como las que aparecen en la figura 13.29, hasta que resulte la estructura de la figura 13.30. En la sección transversal de la figura 13.30 puede apreciarse que se construyó un transistor *npn*.

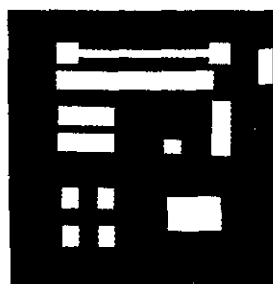
Una mascarilla con el patrón final expone aquellas regiones de cada elemento sobre las cuales se debe hacer un contacto metálico. Luego, la oblea completa se recubre con una capa delgada de aluminio (oro u otras aleaciones para aplicaciones especiales) que, después de haber sido atacada adecuadamente, dará como resultado el patrón de conducción o interconexión deseado. El proceso de metalización terminado aparece en la figura 13.31.



Difusión de aislamiento



Difusión de emisor



Difusión de base

Figura 13.29 Mascarillas empleadas en los ciclos de difusión (o implantación de iones) de aislamiento, emisor y base.

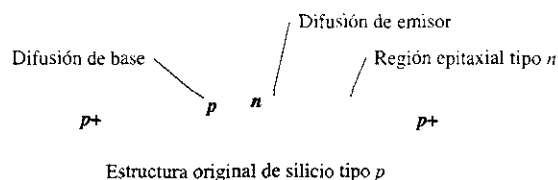


Figura 13.30 Corte transversal del transistor después de los ciclos de difusión de base y emisor.

Los dos métodos que se aplican más para establecer la capa uniforme de material conductor son la *dispersión* y la *evaporación*.

Un sistema de dispersión automatizado que emplea unidades robóticas, como las que se muestran en la figura 13.32, pone el metal fuente (a un potencial negativo muy alto) enfrente, pero sin tocar a una placa de ánodo a un potencial positivo. Un gas inerte como el argón, introducido entre las placas, liberará iones positivos que bombardearán la placa negativa y dispersarán algo del metal fuente. El metal "libre" luego será depositado en las obleas sobre la superficie del ánodo.

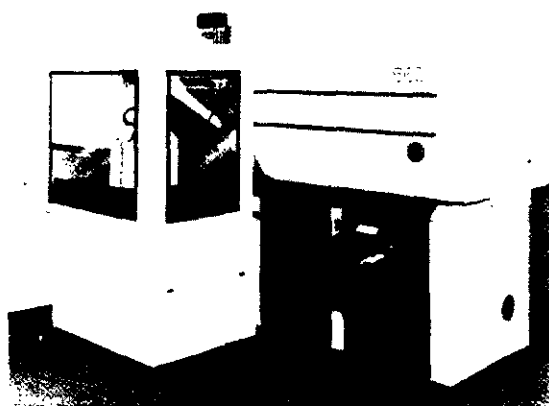
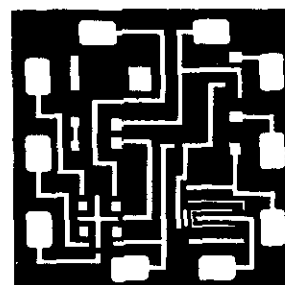


Figura 13.32 Equipo de dispersión automático. (Cortesía de Perkin-Elmer Corporation.)



Metalización

Figura 13.31 Proceso de metalización terminado. (Cortesía de Motorola Monitor.)

En el sistema de evaporación el metal se funde mediante el uso de bobinas calentadoras o bombardeo con una "pistola" de electrones a fin de obtener la evaporación del metal fuente. El material de metalización es, por tanto, dispersado sobre las obleas que están sostenidas mediante sujetadores en un tambor o estructura hemisférica, como se muestra en la figura 13.33.

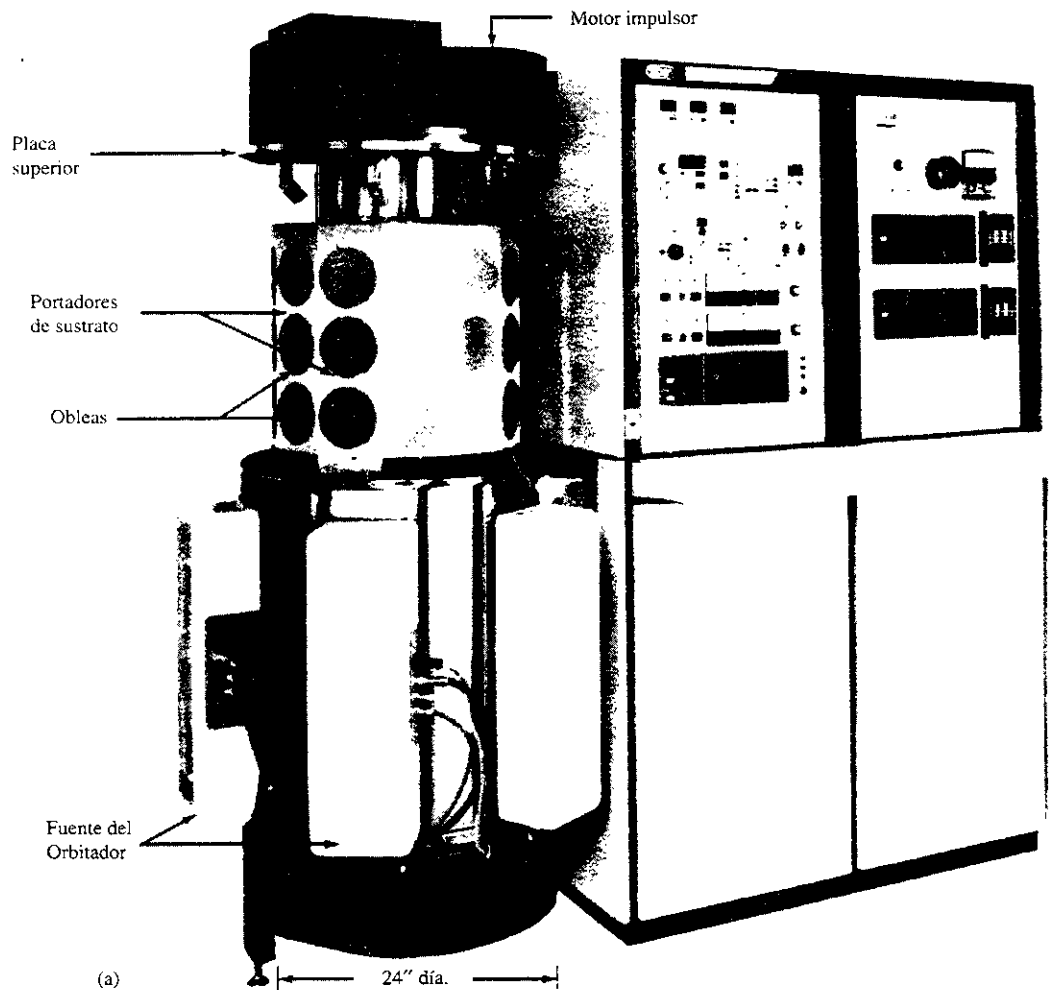


Figura 13.33 Depósito del metal de interconexión mediante evaporación de metal. (Cortesía de Motorola, Inc.)

Con frecuencia se prefiere la técnica de dispersión sobre el método de evaporación, debido a que el recubrimiento es menos visible. Por tanto, existe una capa más uniforme de depósito sobre uniones abruptas.

En la figura 13.34 aparece el circuito completo y la distribución para una compuerta NAND construida en la secuencia anterior. Trate de relacionar las rutas metálicas de interconexión con el diseño original.

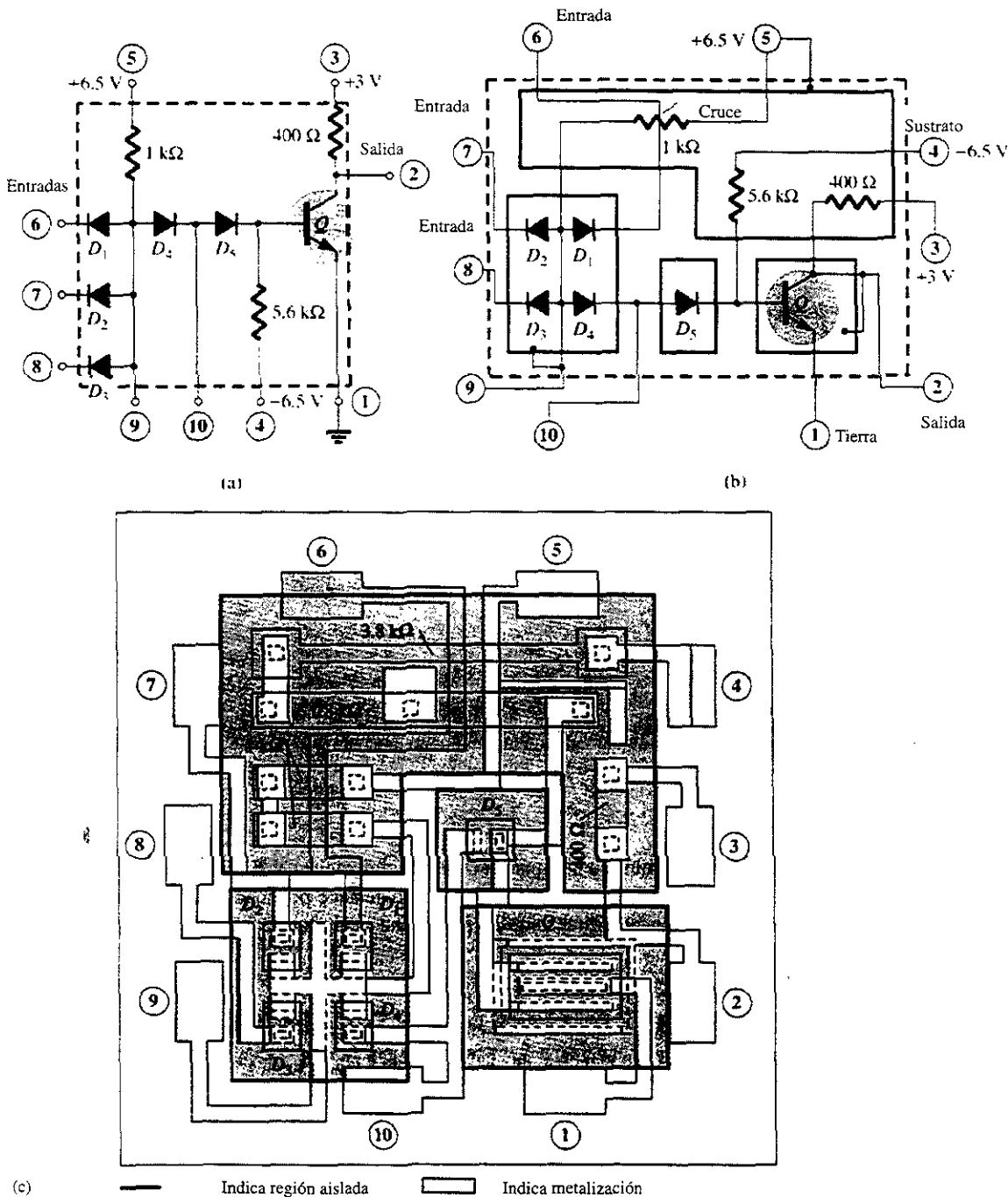


Figura 13.34 Compuerta NAND: a) circuito; b) distribución para fabricación monolítica; c) estructura monolítica.

Pasivación

Una capa de SiO_2 que se depositó sobre la superficie de la estructura completa será una capa de protección efectiva ante el vapor de agua y algunos contaminantes. Sin embargo, ciertos iones metálicos pueden emigrar a través de la capa de SiO_2 y perturbar las características del dispositivo. En un esfuerzo para mejorar el proceso de pasivación, se aplica una capa de vidrio dopado con fósforo (2,000 a 5,000 Å) para atrapar iones, balancear los esfuerzos y reducir aún más el problema de degradación.

Pruebas

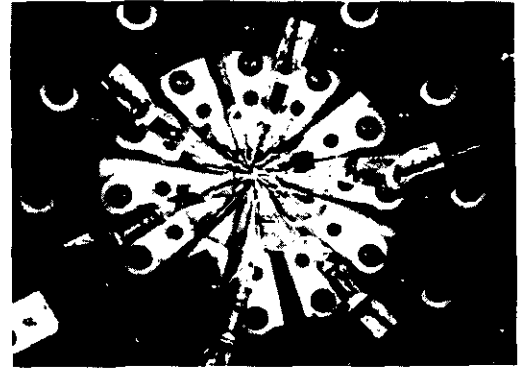
Antes de cortar la oblea en dados individuales, se realiza una prueba eléctrica de cada dado mediante el sistema de inspección que aparece en la figura 13.35. Para reducir aún más el grado de "manejo", el sistema carga y descarga automáticamente las obleas con la ayuda de carruseles. Este proceso, al igual que la mayoría del ciclo de producción, también está controlado por computadora. Hay una tarjeta de prueba para cada IC que permitirá no sólo el rechazo, sino la categorización del tipo de falla (abierto, corto, ganancia, etc.). El dado malo puede identificarse por un punto rojo que deposita automáticamente el sistema de inspección.



(a)



(b)



(c)

Figura 13.35 Prueba eléctrica de los dados individuales. [a) estación de prueba con varios probadores, cortesía de Electroglas Inc.; b) inspección manual, cortesía de Texas Instruments, Inc.; c) contactos multiprueba sobre los microcircuitos, cortesía de Autonetics, North American Rockwell Corporation.]

Encapsulado

Una vez que se han terminado los procesos de metalización y prueba, la oblea debe ser fragmentada en sus microcircuitos individuales. Esto se hace por medio del proceso de corte. Luego puede encapsularse cada microcircuito individual en alguna de las formas que se muestran en la figura 13.36.

13.8 CIRCUITOS INTEGRADOS DE PELÍCULA DELGADA Y PELÍCULA GRUESA

Las características, propiedades y apariencia generales de los circuitos integrados de película delgada y gruesa son similares, aunque ambos difieren en muchos aspectos de los circuitos integrados monolíticos. No se forman dentro de una oblea semiconductora, sino *sobre* la superficie de un sustrato aislante, como vidrio o un material cerámico adecuado. Además, *solamente* se forman elementos pasivos (resistencias, capacitores) por medio de técnicas de película delgada o gruesa en la superficie aislante. Después de que se forman los elementos pasivos, los elementos activos (transistores, diodos) se añaden como elementos *discretos* sobre la superficie de la estructura. Los dispositivos activos discretos se producen la mayoría de las veces gracias al proceso monolítico.

La principal diferencia entre las técnicas de película delgada y gruesa es el proceso empleado para formar los componentes pasivos y el patrón de conducción metálica. El circuito de película delgada aprovecha una técnica de evaporación o de dispersión por cátodo, y el circuito de película gruesa emplea técnicas de serigrafía. Aquí, las prioridades no permiten una descripción detallada de estos procesos.

En general, los componentes pasivos de los circuitos integrados de película pueden formarse con un amplio rango de valores y tolerancias, en comparación a los IC monolíticos. El uso de elementos discretos también incrementa la flexibilidad del diseño de circuitos integra-

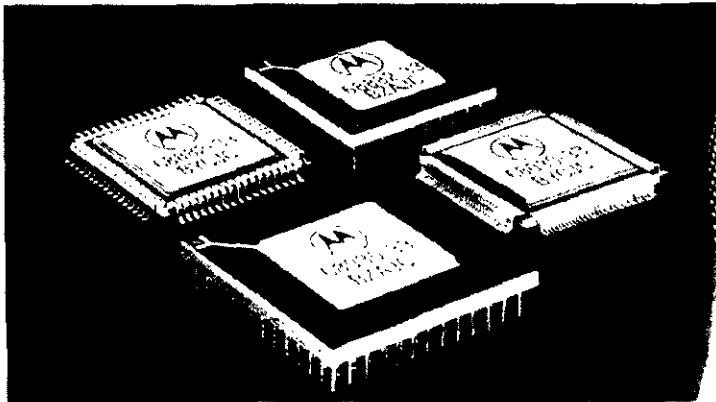
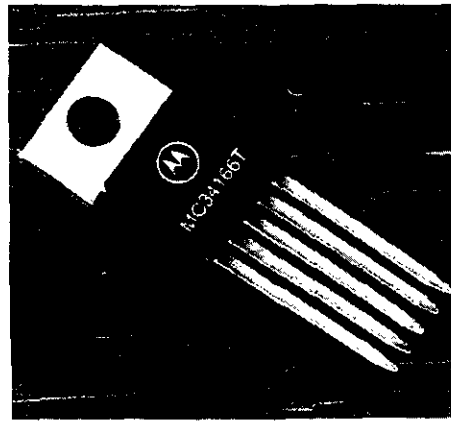
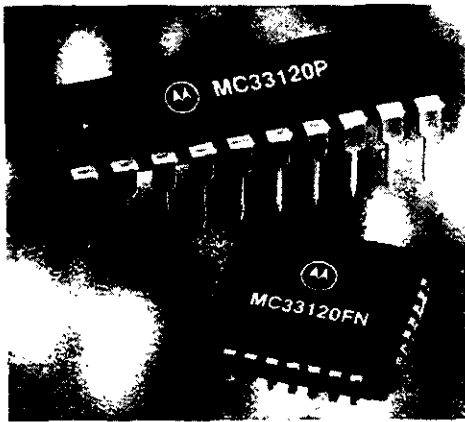


Figura 13.36 Técnicas de encapsulado monolítico. (Cortesía de Motorola, Inc.)

do de película, aunque el circuito resultante será mucho más grande. El costo de los circuitos integrados de película con una gran cantidad de elementos es también considerablemente mayor que el de los circuitos integrados monolíticos.

13.9 CIRCUITOS INTEGRADOS HÍBRIDOS

El término *circuito integrado híbrido* se aplica a una amplia variedad de circuitos integrados formados por varios microcircuitos, y también en aquellos formados por una combinación de las técnicas de película y de IC monolítico. Un circuito integrado por varios microcircuitos emplea las técnicas monolítica o de película para crear los diversos componentes, o juegos de circuitos individuales, que luego se interconectan sobre un sustrato aislante y son encapsulados juntos. En la figura 13.37 aparecen circuitos integrados de este tipo. En un tipo más sofisticado de circuito integrado híbrido, primero se forman los dispositivos activos dentro de una oblea semiconductora, cubierta después con una capa aislante, como el SiO_2 . Después se emplean las técnicas de película para formar los elementos pasivos sobre la superficie de SiO_2 . Las conexiones se hacen de la película hacia la estructura monolítica a través de “ventanas” cortadas en la capa de SiO_2 .

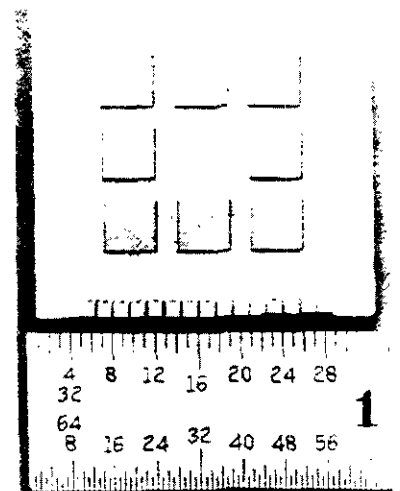


Figura 13.37 Circuitos integrados híbridos. (Cortesía de Texas Instruments, Inc.)

14 Amplificadores operacionales



14.1 INTRODUCCIÓN

Un amplificador operacional, u op-amp, es un amplificador diferencial con una ganancia muy alta, con una elevada impedancia de entrada y una impedancia de salida baja. Los usos más típicos del amplificador operacional son proporcionar cambios de amplitud de voltaje (amplitud y polaridad), osciladores, circuitos de filtros y muchos otros tipos de circuitos de instrumentación. Un op-amp contiene varias etapas de amplificador diferencial para lograr una ganancia de voltaje muy alta.

La figura 14.1 muestra un op-amp básico con dos entradas y una salida, como podría resultar con el uso de una etapa de entrada diferencial. Recuerde lo que se explicó en el capítulo 12, que cada entrada da como resultado una salida de la misma polaridad (o fase) o de la opuesta, dependiendo de si la señal se aplica en la entrada con el signo de más (+) o a la del signo de menos (-).

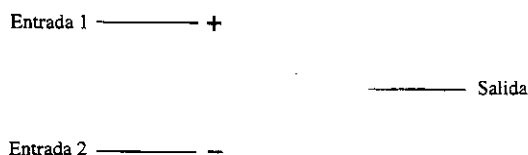


Figura 14.1 Op-amp básico.

Entrada en una sola terminal

La operación con la entrada en una sola terminal resulta cuando la señal de entrada se conecta a una terminal de entrada, mientras la otra terminal de entrada se conecta a la tierra. La figura

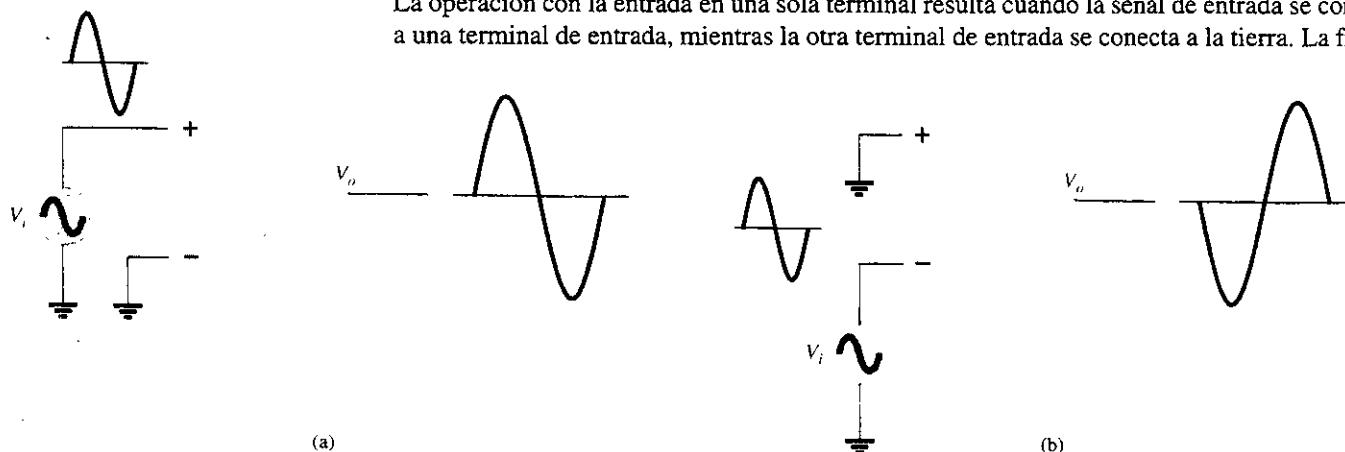


Figura 14.2 Operación en una sola terminal.



14.2 muestra las señales conectadas para esta operación. En la figura 14.2a la entrada se aplica a la terminal de entrada con un signo más (con la terminal de entrada con signo menos a tierra), lo que da como resultado una salida que tiene la misma polaridad que la de la señal aplicada a la entrada. La figura 14.2b muestra una señal de entrada aplicada a la terminal de entrada con un signo menos, siendo la salida opuesta en fase con la señal aplicada.

Entrada en doble terminal (diferencial)

Además de usar una sola entrada, es posible también aplicar señales en cada terminal de entrada, por lo que se convierte en una operación de dos terminales. La figura 14.3a muestra una entrada, V_d , aplicada entre las dos terminales de entrada (nótese que ninguna terminal de entrada está conectada a tierra), con la salida resultante amplificada en fase con la aplicada entre las terminales de entrada con signo más y con signo menos. La figura 14.3b muestra la misma acción que resulta cuando se aplican dos señales separadas a las terminales de entrada, siendo la señal diferencial $V_{i1} - V_{i2}$.

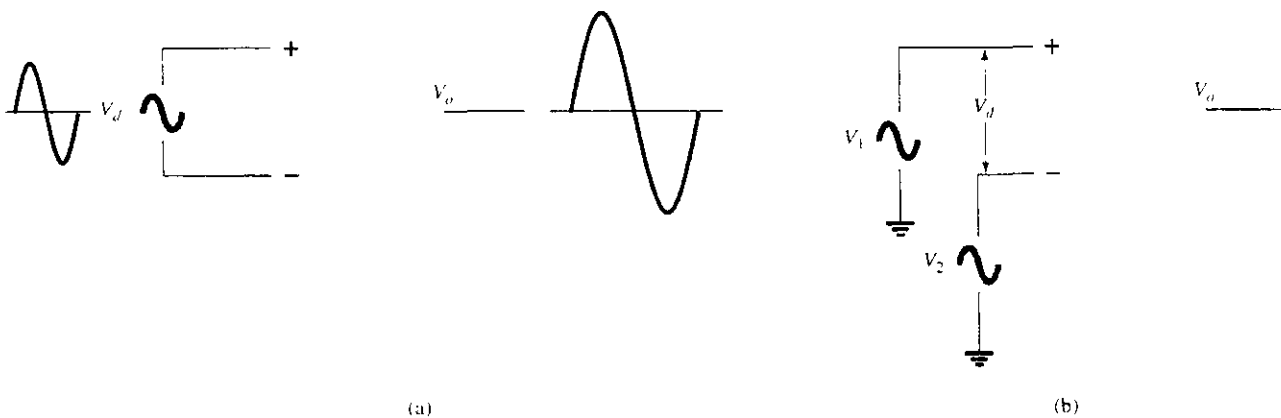


Figura 14.3 Operación en doble terminal (diferencial).

Salida en doble terminal

Aunque la operación tratada hasta ahora ha tenido una sola salida, el op-amp también puede operar con salidas opuestas, como se indica en la figura 14.4. Una entrada aplicada a cualquier terminal de entrada dará como resultado salidas en ambas terminales de salida, siendo estas salidas siempre opuestas en polaridad. La figura 14.5 muestra una entrada de una sola terminal con una salida en dos terminales. Como se muestra, la señal aplicada a la terminal de entrada con signo más, da como resultado dos salidas amplificadas de polaridad opuesta. La figura 14.6

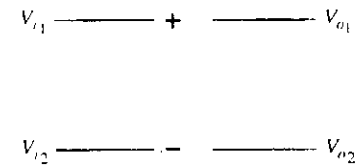


Figura 14.4 Salida en doble terminal.

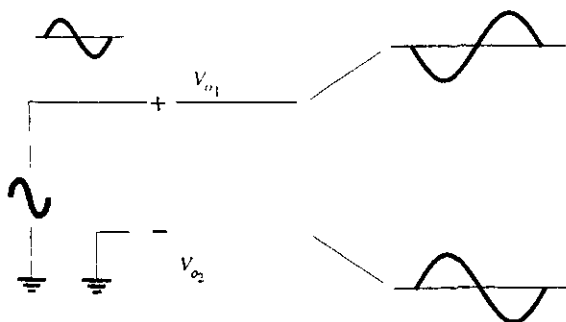


Figura 14.5 Salida en doble terminal con entrada en una sola terminal.

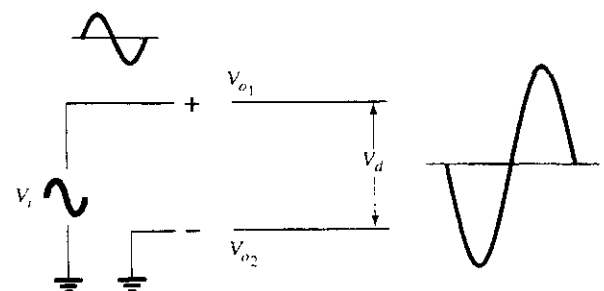


Figura 14.6 Salida en doble terminal.